

MOS デバイス試作への課題

宮地 晃平^{1a)} 川崎 繁男²

Challenges for MOS Prototype Device

Akihira MIYACHI^{1a)}, Shigeo KAWASAKI²

^{1a)} 宇宙航空研究開発機構 宇宙科学研究所 先端工作技術グループ

Advanced Machining Technology Group, Institute of Space and Astronautical Science, Japan Aerospace Exploration Agency,

3-1-1 Yoshinodai, Chuo-ku, Sagami-hara-city, Kanagawa, 252-5210 Japan

² 宇宙航空研究開発機構 宇宙科学研究所 宇宙機応用工学研究系

Department of Spacecraft Engineering, Institute of Space and Astronautical Science, Japan Aerospace Exploration Agency,

3-1-1 Yoshinodai, Chuo-ku, Sagami-hara-city, Kanagawa, 252-5210 Japan

^{a)}E-mail: miyachi.akihira@jaxa.jp

我々は、HySIC（混成半導体集積回路：Hybrid Semiconductor Integrated Circuit）技術開発を目指しており、その実現には Si 基板上に CMOS（金属酸化半導体：Complementary Metal Oxide Semiconductor） FET（電界効果トランジスタ：Field Effect Transistor）回路作製が必要である。そのファーストステップとしてデバイス作製に必要なウェル、チャンネル部等の形成に熱拡散プロセスを適用し、MOS デバイスプロセスの検討を行った。

キーワード 熱拡散, ドーピングプロセス, MOSFET, HySIC

1. はじめに

1951 年に接合型トランジスタの量産が開始され、今日では大規模に集積化された MOS（金属酸化半導体：Metal Oxide Semiconductor）FET（電界効果トランジスタ：Field Effect Transistor）が使用されている。我々は、HySIC（混成半導体集積回路：Hybrid Semiconductor Integrated Circuit）技術を実現したいと考えており、その HySIC では、Si 基板上に接合技術により統合された各種機能性デバイスや高周波用デバイス等を制御するために MOSFET を形成しなければならない。

MOSFET 形成には多岐にわたる技術が使用されているが、その動作の根幹には、P 型、N 型の半導体の組み合わせによる C（相補型：Complementary）MOS 構造の作製が必要である。CMOS 作製はドーピング技術の確立が重要である。

ドーピングでは、ウェルやチャンネル部形成において、固体や気体ソースを用いた、熱拡散法、気体ソースをイオン化し加速させ、基板表面に導入するイオンインプラ法がある。本研究では、装置の規模が比較的小型な熱拡散法を用いる手法によってプロセス技術確立を検討したのでその内容について紹介したい。

2. ウェルおよびチャンネル部形成

2.1 ドーピング

Si 等の半導体材料をトランジスタとして動作させるには、一部のエリアにその動作に必要なキャリアとなる導電性の電子もしくはホールを任意の場所に導入する（ドーピング）ことにより実現する。理想的な単結晶中 Si の密度は、 $4.96 \times 10^{22} [\text{atom}/\text{cm}^3]$ であり、トランジスタ中の不純物濃度は、その機能やドーピング箇所により異なり、 $10^{16} \sim 10^{20} [\text{cm}^3]$ に制御しなければならない。このドーピングについては、ホウ素およびリンを拡散し検討を行った。

2.2 ドーピング手法

ドーピングプロセスは、熱拡散法を使用し、ペースト状の試薬を用い、ドーピング後に P 型半導体となる日立化成製 YT-2300-P および、N 型半導体となる、同社製 YT-2100-N を使用した。このドーピング源は、前者が有機溶媒にホウ酸塩化合物を、後者は同様に有機溶媒にリン酸塩化合物を分散したものであり、図 1 左に示すように、レジスト塗布と同様にスピコート法を用いて基板全面に塗布することが可能である。また、P 型高濃度拡散が必要な部分に関しては、電気化学工業製の円形に成形した窒化ホウ素ウェハーである MBN40 を使用した。ペースト状のドーピング源はスピコートによる塗布後、Si 基板を加熱す

ることでホウ酸塩化合物またはリン酸塩化合物のみがSi基板上に残る。ドーピングペーストおよびウェハー状のMBN40は、窒素や酸素等を管状炉にフローさせながら時間と温度をコントロールすることにより、ドーピング濃度のコントロールが可能である。

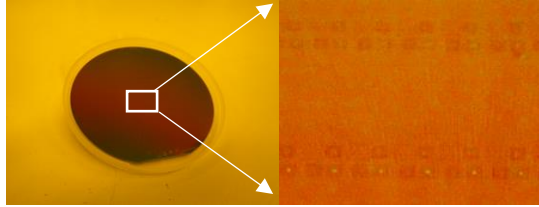


図1左：ドーピングペースト塗布後のウェハー、
右：デバイス付近の拡大図

3. デバイスプロセス

本試作に使用したウェハーは $10^{16}[\text{cm}^{-3}]$ 程度のドーピング濃度が見込まれるN型Siウェハーである。デバイスのパターン形成は、ナノシステムソリューションズ製のマスクレス露光装置 DL-1000/JIC を用いた(図2)。デバイスプロセスは、熱拡散の工程があるため、デバイスの基準位置となる合わせマークはSiウェハー上に深さ200nm程度となるようにウェットエッチング法を用いて形成した。

拡散工程としては、まず、P層拡散を行い、次に、P+層拡散、最後にN+層の拡散を行った。拡散後、ゲート酸化膜形成は、エイコー製E-ALD-P-4を用いて(図3)、熱ALD(原子層堆積：Atomic Layer Deposition)法により形成した。プリカーサーはTMAと H_2O を使用し、 Al_2O_3 膜を約10nm形成し、ゲート絶縁膜とした。

ソース、ドレインの開口部であるオーミック開口、ゲート開口プロセス後、メタル形成し、全面へ SiO_2 膜による層間絶縁膜を形成し、一部を開口後、最上部にAl膜を約300nm程形成した。全体の工程概略を図4に示す。図5左に試作したNMOSデバイス、図5右にデバイス部を拡大したものを示す。



図2 マスクレス露光装置

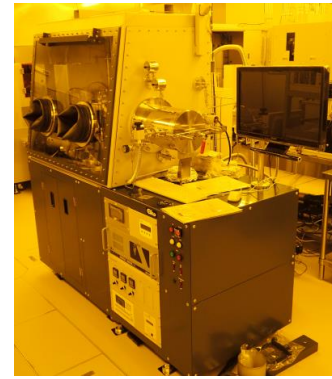


図3 原子層堆積装置

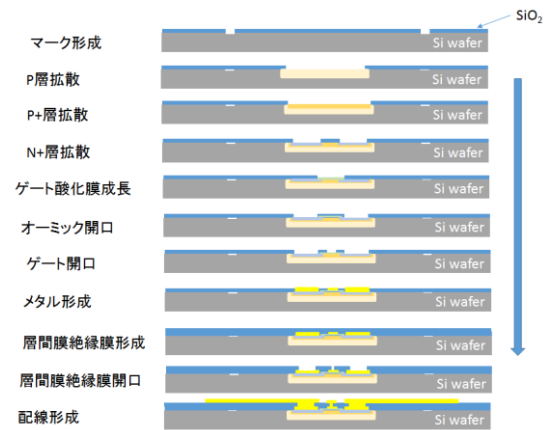


図4 プロセスフロー概略図

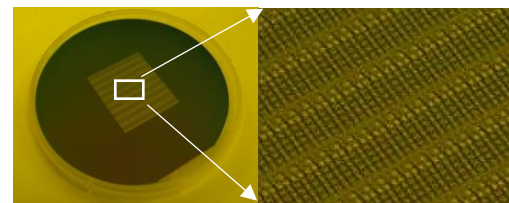


図5左：試作したNMOSデバイスウェハー、
右：デバイス部拡大

4. まとめ

HySICの実現に必要な技術である不純物拡散ドーピングを行い、NMOSデバイスの作製プロセスやプロセスフローについての検討を行った。今後、電気特性、デバイスチャンネル部やウェル部分の拡散深さ、チャンネル分離状況や濃度についてSIMS法等を用いる事で評価を行いたい。今後CMOSデバイス実現にむけて実験を進めたいと思っている。

5. 文献

- [1]河東田隆, “デバイスプロセス” 培風館
- [2]永田穰, 柳井久義, “集積回路工学(1) プロセス・デバイス技術編” コロナ社
- [3]大木義路, 石原好之, 奥村次徳, 山野芳昭, “電気電子材料” 電気学会