

並列計算機のシミュレーション

原 田 公 一*

Simulations for a Parallel Computer

by

Koichi HARADA

National Aerospace Laboratory

ABSTRACT

A simulation program for a parallel computer configured with 128×256 processing elements was implemented on the Numerical Simulator in the National Aerospace Laboratory.

It simulates the memory access and register operations at the clock level and generates time charts along with operation results.

This paper describes the evaluation method for the parallel computer by use of a basic function subroutine, examines the instruction set and the network between the memories and the processing elements and as a result, estimates the maximum efficiency.

1. はじめに

数値シミュレーション技術は計算機の処理性能と密接に関連しており、スーパーコンピュータの出現により実用の段階に移行した。しかし、より複雑な現象を精度よく、迅速に解析するためには、さらに処理性能を大幅に増強した新しいスーパーコンピュータが必要である。特に演算速度の向上のためには、高速な素子の開発、演算器の改良、演算器の並列化が不可欠であり、高性能な1チップ計算機が出現するにやよんでベンチャービジネスと言われる企業から並列計算機が市販されるようになってきた。今後は回路の集積度が進み、パイプラインの1チップ化が容易になればなおのこと性能向上策としての並列化は避けられないものと思われる。しかし処理性能は応用プログラムの性質に大きく依存し、演算器等

の増設と性能向上は同一義ではないことから、並列計算機の性能を以下の方法で検証することを計画した。

(1) 22MHzのクロックで動作し、1MFLOPSの演算器および128KBの記憶装置が2cm × 2cm × 100cm程度の空間に実装できるものと仮定し、それを128 × 256台並べ、全体で32GFLOPSの処理性能を有する並列計算機を想定する。

(2) 上記の並列計算機の動作をクロック単位で模擬するシミュレータを開発する。

(3) 応用プログラムを並列計算機に適応させ、並列計算機に移植する。また必要となるアセンブラを開発する。

(4) 移植したプログラムの命令を追跡し、記憶装置に対する競合、演算器の稼動状況・処理時間を検証し、性能評価を行う。

* 航空宇宙技術研究所

2. 並列計算機の構成

並列計算機として、処理装置間の同期にともなう負荷が大きくなるSIMD方式を基本とし、図1に示す構成を想定した。これは全体を制御・監視する制御処理部、演算を担うデータ処理部および入出力処理部より成る(ただし入出力処理部については今回実装しなかった)。データ処理部はスカラデータ演算器とアレイデータ演算器等にわかれており、前者は制御処理部のスカラデータメモリを共有し、後者は128×256台の演算器と隣接結合による上下左右のシフトレジスタで終端がリング結合しているアレイデータメモリコントロールユニットを経由して結合しているアレイデータメモリからなる(図2)。

図2のDMBDR3/6(k, l)およびDMBAR3(k, l)

はデータおよびアドレスを保持するレジスタを示す。各演算器は演算回路、レジスタおよび定数発生器等から成り¹⁾、制御処理/データ処理/入出力処理のコントローラは命令読出し/解読を行い演算器等を駆動する回路である。また表に現在実装されている命令数を示す。

ここで制御命令はJump等のシーケンス制御等に関する命令を、スカラ命令は制御データ演算器/スカラデータ演算器で処理する命令を、アレイ演算命令はアレイデータ演算器で処理する命令を、会話命令は制御データ演算器/スカラデータ演算器/アレイデータ演算器の間でデータの送受を行う命令である。

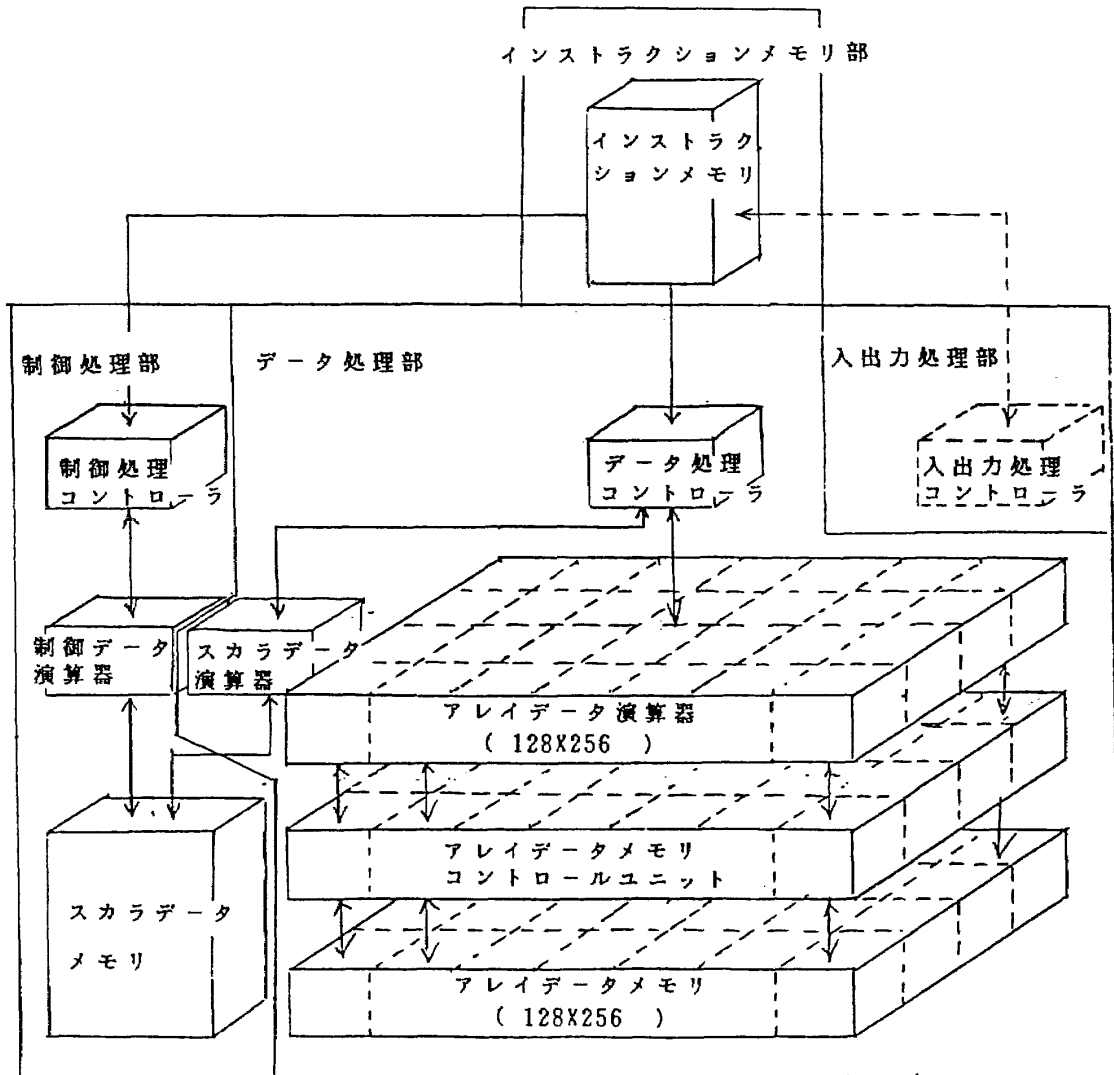


図1 並列計算機の構成

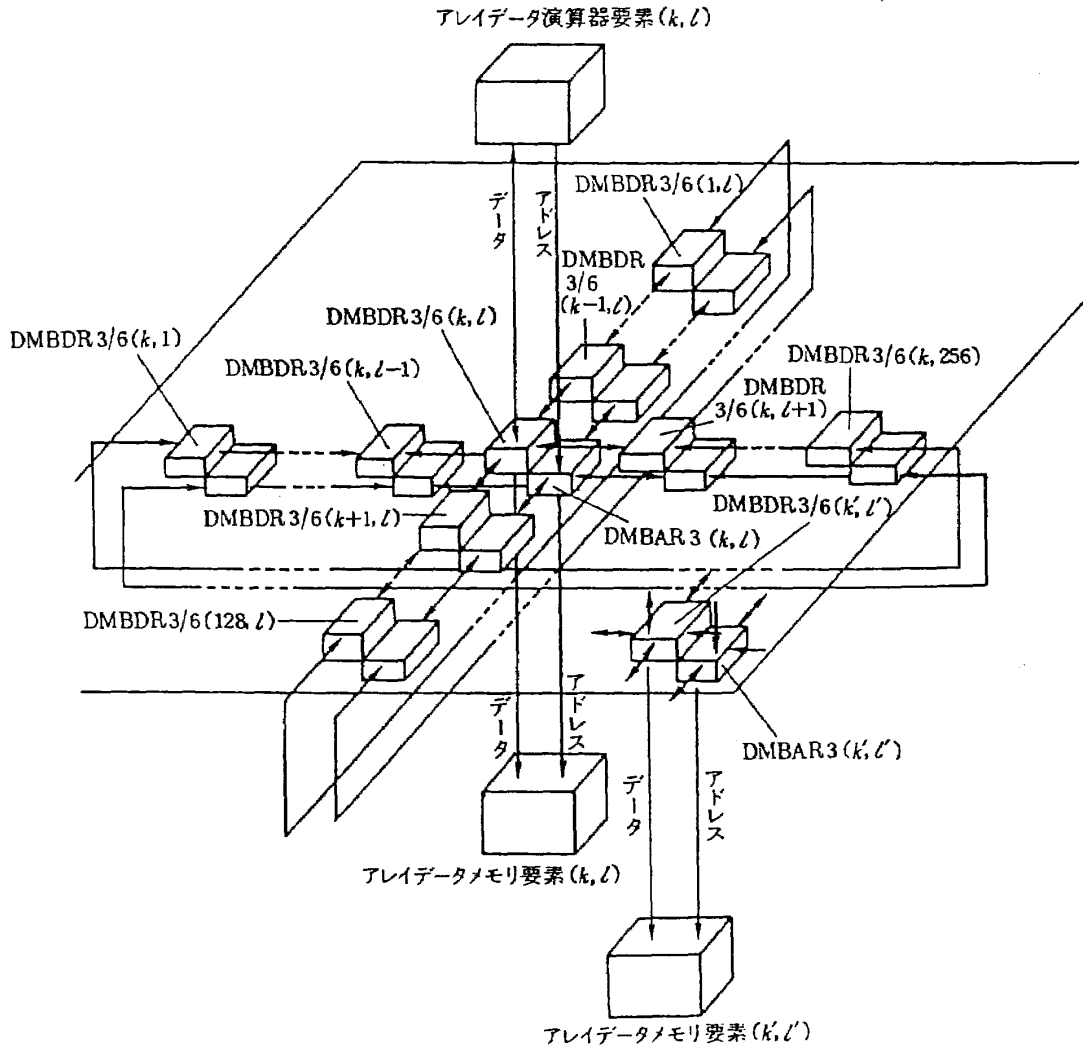


図2 アレイデータメモリコントロールユニットの構成

3. シミュレータの動作

並列計算機の各部動作，効率を検討するため，このシミュレータは命令を処理する手順をタイミングごとに忠実に追跡するように設計されており，演算結果をも得ることができる。図3にその入出力ファイルの関係を示す。シミュレータが起動されると命令列，スカラ/アレイデータの初期値²⁾が読み込まれた後，制御処理部が起動される。以後，内部で刻々と時計を進ませ，それに応じて制御処理部の命令が解読・実行され，演算器・メモリ等の間でデータが移動・加工される状況が模擬される。データ処理部起動命令を解読するとアドレス部から求めたデータ処理部命令の先頭アドレスをデータ処理部に送り起動する。以後，両処理部相互にタイミングに応じた処理を1クロックずつ進め，各自の命令列に停止

表 命 令 数

命 令	制 御 処 理 部	デ ー タ 処 理 部
制 御	6	7
ス カ ラ 演 算	1 4	2 7 (1 3)
ア レ イ 演 算	0	2 7 (1 3)
会 話	3	7

() は浮動少数点演算命令数

命令を解読すると，その部を停止し，両処理部が停止した時点で模擬が終了し，タイムチャートと演算結果が出力される。

4. 命令追跡例

アーキテクチャシミュレータで各アレイデータメモリ要素の先頭に格納されているデータの内から最大値を求めスカラデータメモリに格納するプログラム命令を追跡した。

このアレイデータを

$$\{a_i, j; i=1 \sim 128X, j=1 \sim 256\}$$

とするとその手順は以下の様である。

- ① 制御処理部よりデータ処理部を起動する。
- ② 各アレイデータメモリ要素内の最大値を求める。
- ③ $k=0$ として、 $a_{i,j}$ と $a_{i+2^k,j}$ とを比較し、小さければマスクを設定する。
- ④ マスクが設定された要素だけを大きい $a_{i+2^k,j}$ で置き換える。

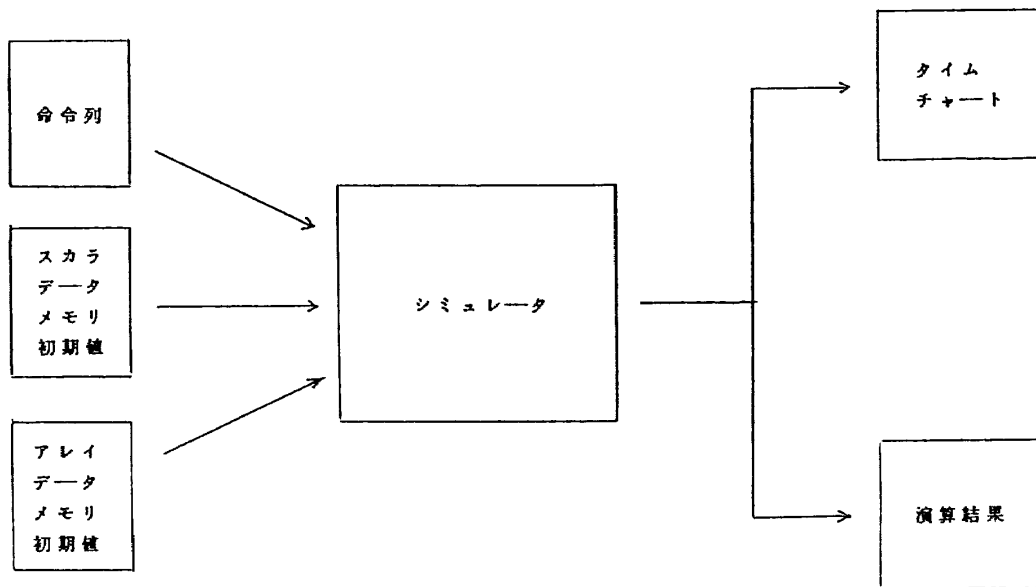


図3 シミュレータの入出力

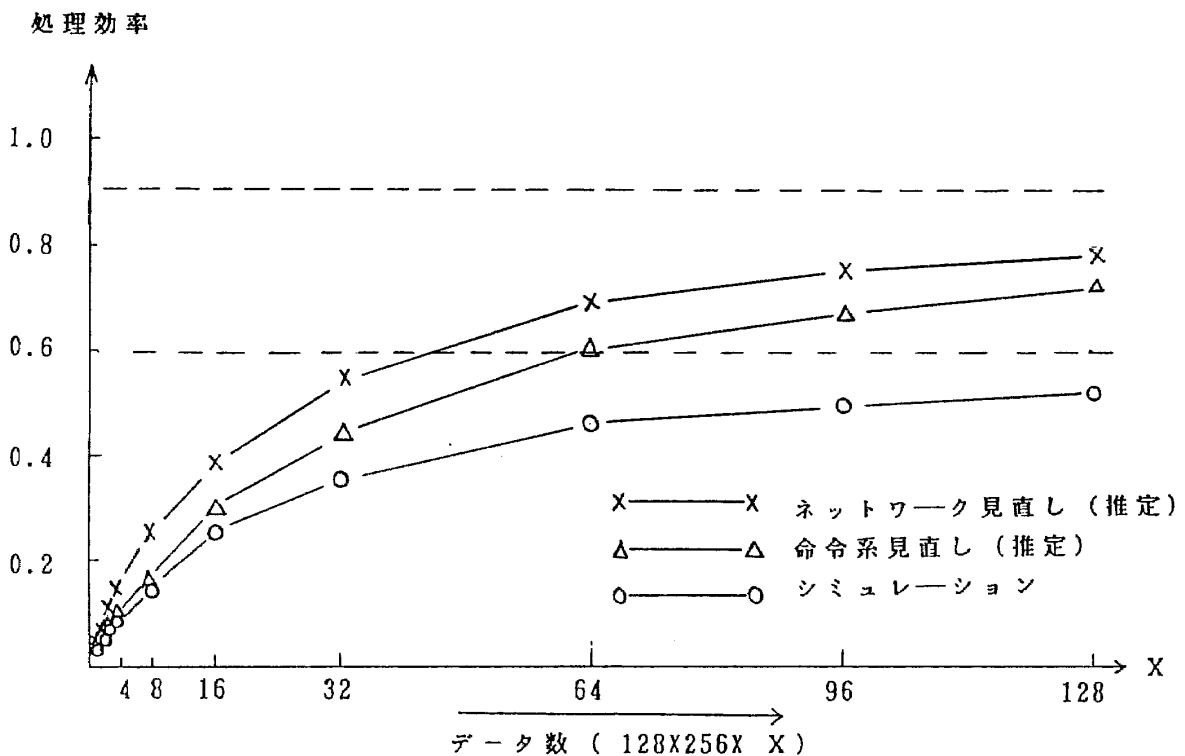


図4 処理効率の推定

に各2クロックを追加するだけで済むため、図4の三角印の線まで効率向上(最大0.9)が期待できる。(2)の原因は③～⑦の処理にあり、ネットワークの改善以外に効率向上策は無い。命令系の見直しに加えてデータがネットワークを移動している時間を全て取り去った時の効率を推定すると図4の×印のようになる。たしかにそれなりの改善は見られるが、データ数が多くなるにつれ、その効果は薄れて行く。従来、並列計算機についてはネットワークをことさら重要視した議論がなされてきたが、むしろマスク操作に関する命令系の適合性がより重要であることを示唆していると思われ、三次元問題を扱う場合には考慮しておくべき事項であろう。

6. おわりに

アーキテクチャシミュレータは約5000フォートランステートメントから成る。今後は各種応用プログラムを並列計算機に移植し、命令追跡することを計画しており、これにより各部の構成/命令系の検討・評価および改良を行う予定である。

最後に、本研究を行うにあたり、富士通(株)を始めとする多くの方々から有益な御意見をいただいた。ここに感謝の意を表する。

参 考 文 献

- 1) 原田：“並列計算機のアーキテクチャシミュレータ”，航空宇宙技術研究所，TM-583，1988.3.
- 2) 原田：“並列計算機のアセンブラ”，航空宇宙技術研究所，TM-586，1988.6.