

数値風洞：要求要件と概略

三 好 甫*

Numerical Wind Tunnel; Requirements and the Outline

by

Hajime MIYOSHI
National Aerospace Laboratory

ABSTRACT

In this paper, it is shown that the Numerical Wind Tunnel (NWT) with an actual performance of more than 100 times higher than Fujitsu-VP400 is feasible using a multi-computer architecture and crossbar interconnection network.

1. 緒 言

筆者は昨年の第8回航空機計算空気力学シンポジウムにおいて、数値シミュレーション技術の長所を活かし、これ迄にCFDが達成した成果を我が国で開始されようとしている航空機の空力技術開発に活用し、更にCFDの一層の高度化を図る為には

(R1) 早急にCFDプログラムの処理速度がFujitsu-VP400(以下VP400と略記する)の少なくとも100倍、データ格納の為の主記憶領域が32GB程度の高速度計算機を開発し、これをNAL計算機システムに導入することが必要である。

ことを提言し、並列計算機方式を採用することにより、この計算機が早急に実現できる可能性があることを示した¹⁾。

本稿では昨年の議論を更に進め

- (1) 我々が数値風洞構想検討において出発点とした事項
- (2) (R1)の性能を持つ計算機を実用に供する為に必要なとされる条件
- (3) (R1)の性能を持つ計算機のハードウェア構

成

(4) プログラム記述とコンパイラに要求される機能の概要について報告することにする。

尚、(R1)の性能要求を満足する計算機の開発目的を念頭におき以下本稿ではこの計算機を数値風洞(以下NWTと略記する)ということにする。

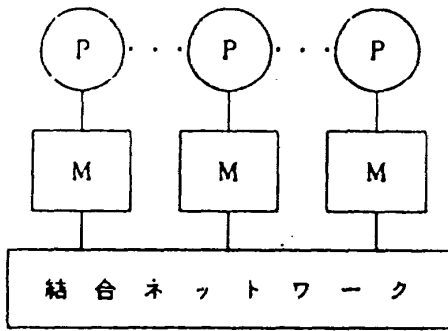
2. NWT 構想の出発点

本章においてはNWT構想の出発点とした事項について簡単に述べる。詳細については文献²⁾に述べてある。

2.1 NWTの方式

(1) NWTは分散主記憶型の並列計算機とする。並列計算機は主記憶構造の観点から共用主記憶型並列計算機と図1の様な分散主記憶型並列計算機に分類できる。我々は計算機の生の処理速度の向上に制約が少ないこと、素子技術の進歩を取り込むことによる将来の性能向上の可能性が大きいこと、および分散主記憶型並列計算機の短所である主記憶アドレッシングの問題も仮想的共用主記憶空間の導入により、或る程度解決できる見通しがある³⁾ことからNWTを分散主記憶型並列計算機と決めた。

* 航空宇宙技術研究所



P : 要素計算機
M : 主記憶

図1 分散主記憶並列計算機

(2) 要素計算機 (以下 PE と略記する) はベクトルレジスタ (以下 VR と略記する) 付ベクトル計算機とする。

これ迄のベクトル計算機の使用経験からチェイニング機能を持つ VR 付ベクトル計算機は CFD プログラム処理に適していることがわかっている。また、この方式に対する Fortran コンパイラの技術は高い水準に達しており、ハードウェアがベクトル処理に関する標準的なハードウェア機能を有していれば CFD プログラムのベクトル化率は 99% 或いはそれ以上に達する。以上の理由により PE は VR 付ベクトル計算機と決める。

2.2 CFD プログラムに関する前提条件

CFD プログラムの並列化率もベクトル化率も 99% 以上に達する。

現在、航技研の大部分の CFD プログラムのベクトル化率は 99% 以上に達している。問題規模に即して並列度を定めれば CFD プログラムの並列化率もまた 99% 以上に達する。しかも、並列化率もベクトル化率も並列度に対して問題規模が大きくなればなる程向上する。

2.3 使用可能なハードウェア素子

(1) 論理素子

図2は最近の論理素子の速度向上のトレンドを示したものである。縦軸はゲートのスイッチング遅延時間を示し、横軸は年次を示している。図3は論理素子の密度向上のトレンドを示したものであり、縦軸はチップ当たりのゲート密度を示し、

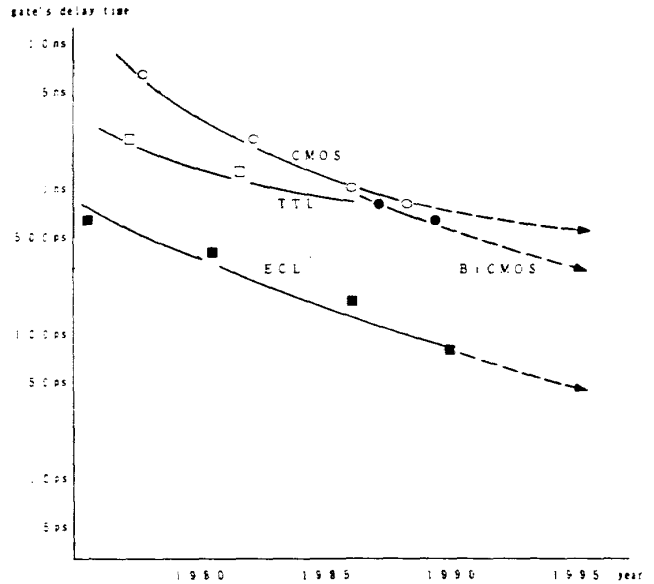


図2 論理素子の速度向上

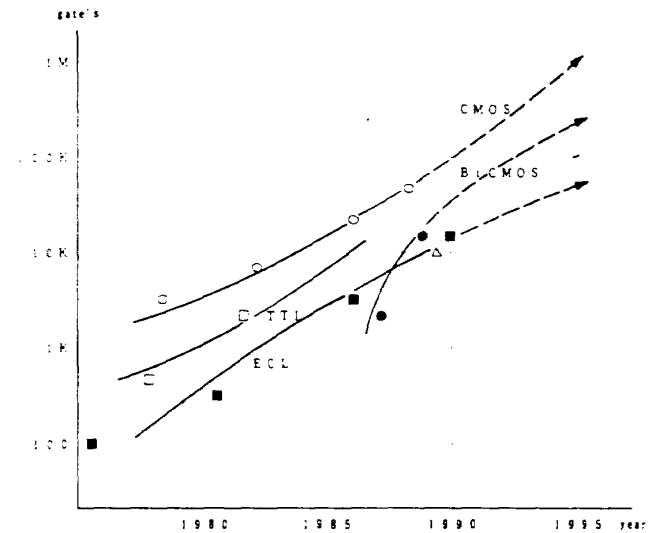


図3 論理素子の密度向上

横軸は年次を示している。この2つの図と最近の論理素子のチップ当たりの消費電力のトレンドから NWT の使用素子として

- (I) 30000ゲート /chip,
スイッチング遅延時間 50ps (10⁻¹² 秒),
消費電力 40w /chip の ECL ゲートアレイ
 - (II) 100000ゲート /chip,
スイッチング遅延時間 350ps (10⁻¹² 秒),
消費電力 20w /chip の BiCMOS ゲートアレイ
 - (III) 200000ゲート /chip,
スイッチング遅延時間 600ps (10⁻¹² 秒),
消費電力 10w /chip の CMOS ゲートアレイ
- のいずれもが使用可能であることが期待できる。

(2) 主記憶素子

主記憶素子に関しては4Mbit/chipのSRAMが量産に入りつつある状況にある。従って、NWTの主記憶素子として4Mbit/chipまたは1Mbit/chipのSRAMを使用して30~40GBの主記憶は実装可能である¹⁾。両者いずれかの選択はコストと速度を判断基準に決定すれば良い。

3. 数値風洞実用化の為に必要な条件

緒言で我々は数値風洞の目標性能を確定したが、性能を定めただけではその実現に対する計算機工学からの解答は一意に定まらない。数多くの技術的選択肢が存在する。

ここでは種々の技術項目において選択を行う場合の判断基準となる幾つかの条件について簡単に述べる。

3.1 数値風洞のコスト

航空機等の空力技術を研究開発する立場から数値風洞を見ると、数値風洞は伝統的な風洞と並ぶ空気力学試験設備の一つである。従ってコストが高ければ計算機の利点を生かした航空機等の空力設計の為にパラメトリックスタディ等に数値風洞は使用できない。

従って、数値風洞の実現においては性能の実現ばかりではなく、その開発・製造コストおよび運転コストも削減に向かって努力する必要がある。その際、風洞試験のデータセット当たりのコストは当然念頭におくべきものであろう。RANS方程式に基づく数値シミュレーションはデータの信頼性ばかりでなくデータのコストをも考慮すべき時代に到達している。

この条件からスーパーコンピュータを数十台結合したNWTは実現困難になる。

3.2 信頼性

近年の素子技術および実装技術の向上が計算機の信頼性の向上に及ぼす効果は著しいものがあるが、それでも信頼性の向上の為に措置が性能の向上およびコストの低減に逆行することがしばしば

であるというのは良く知られている。

数値風洞の場合、その使用物量は膨大なものとなるであろうが、信頼性と保守性の向上の為に投ぜられる物量はどの程度が妥当であろうか。数値風洞の利用主体はCFDの研究者および技術者であって計算機工学の専門家ではないので故障に対しては厳しい態度を取るであろう。更に、数値風洞は単なる実験計算機ではなく実用計算機でもあるので、数値風洞のハードウェアの信頼性を高い水準に維持することは目標性能の実現と並んで数値風洞の成功、不成功の鍵の一つとなるものである。

3.3 要素計算機の性能に対する要求

分散主記憶型並列計算機であるNWTを計算機の専門家でない普通の利用者の中に普及させる為には、

(I) Fortranの並列記述に関するスタンダードを確立し、それを用いて記述されたFortranプログラムの最適化コンパイラ、或いは現在のFortranで記述されたプログラムを並列化に関して自動最適化するコンパイラ。

(II) プログラムのディバックおよびチューニング等の並列化プログラム作成支援の為にソフトウェア。

等の整備が必要である。

我々は実用機を計算機の専門家ではないCFDの技術者および研究者の中に導入し、計算機専門家と普通の利用者の対話の中で(I)および(II)の整備を図ると同時に、それにより、利用者間に並列計算機の高度利用に必要な知識の普及を図る方策を取る。

この方策を取る場合には数値風洞は利用者に対して最低限度以下の事項は保証する必要がある。

(R2) VP400を用いて処理するのが適当である様なjobの処理はプログラムを変更することなく1台の要素計算機で処理が行え、その処理速度はVP400以上であること。

3.4 結合ネットワークに対する条件—結合ネットワークとCFD計算法との適合性

最近のCFD計算法の趨勢を並列計算機の視点

に立って展望すると

- (1) 計算スキームは高精度化の為複雑化する傾向にある。
- (2) 構造体格子と並んで非構造体格子の研究が進められている。
- (3) 解法は陰解法、特にIAF法が陽解法よりも優勢であるが、今後非定常問題等陰解法の利点があり無様な問題に関心が集中する様になれば現在の状況は変化するかも知れない。しかしながら実際の技術開発問題への適用に関してはIAF法の実績はここ当分無視は出来ない。

(1)は並列計算機の結合ネットワークのデータ転送に関する性能に対して厳しい要求を突きつけることになる。

(2)の非構造体格子を採用したCFDプログラムの処理においてはリストベクトルの処理は必須であって、これは結合ネットワークのデータ転送の性能ばかりではなく、ハードウェアおよびソフトウェア機能に関しても厳しい要求を突きつけることになる。

(3)の陰解法における線型方程式の解法においては3次元空間の一軸方向に逐次計算法の採用が必要となる。

図式的に単純化すると構造体格子の場合、一軸方向に逐次計算法を採用する計算法を無視することは現実的でないので、ベクトル化に一軸を使用すると残りの一軸で並列化することになる。

これは(R1)の性能を持つ数値風洞が想定している問題規模が格子点数にして数千×数百×数百程度であることを考えると並列計算機の台数に対する制限となつてはねかえてくる。

特に陰解法で重要なIAF法は逐次計算の軸がX、Y、Z軸と変化するので結合ネットワークのデータ転送の性能に対して厳しい要求を突きつけるだけでなく、結合ネットワークのトポロジーおよび数値風洞を構成する要素計算機の台数にも厳しい要求を突きつけることになる。

我々の数値風洞はCFDの手法の全てに効果的に対処出来るものでなければならない。CFDの特定の手法に対してのみ高性能を発揮するが、他の手法に対しては不十分な性能しか発揮出来ない様な

結合ネットワークは採用すべきではない。

3.3で示した(R2)とこの節で示した条件から数千台～数万台のマイクロプロセッサによるNWTの実現は困難になる。

4. NWTハードウェアの構成と性能

4.1 PEの構成と性能

VR付ベクトル計算機の処理速度は主として以下の要因により定まる。

- (i) マシンクロックサイクル時間(以下 τ と略記する)
- (ii) パイプライン多重度
- (iii) パイプラインの種類と本数および同時平行動作可能なパイプラインの本数
- (iv) 主記憶のデータ供給能力
- (v) VRの個数と長さ
- (vi) 各種パイプラインの立ち上り時間
- (vii) 命令実行制御形式
- (viii) スカラ命令処分方式、レジスタ構成、キャッシュメモリの量と制御方式

まず、(vii)と(viii)はVP400と同等と仮定した上で、我々は(ii)～(vi)に示したハードウェア資源の数量とタイミングをPEの設計パラメータとして数多くのPE候補モデルを作成した。次に航技研の代表的CFDプログラムからベクトル命令の個数、各種ベクトル命令の構成比率、ベクトルロード/ストア命令とベクトル算術演算命令の比率等の特性に関して代表的なものを18個選び出し、ベクトル長が32および128の場合における各種PEモデルの18個のDOループの処理速度の推定をベクトル計算機の動作をシミュレートするソフトウェアシミュレータVTAPを用いて行った。18個のDOループのVP400の処理速度に関するVTAPのシミュレーション誤差は±10%以内、誤差の平均は6.8%である。

図4は一つのPEモデル系列に対する結果をまとめたものである。このPEモデル系列はパイプライン多重度を1, 2, 4, 8, 16と変化させ、他のパラメータは固定した6モデルより成る。

図の横軸はパイプライン多重度を示し、縦軸はマシンクロック時間 τ を示す。

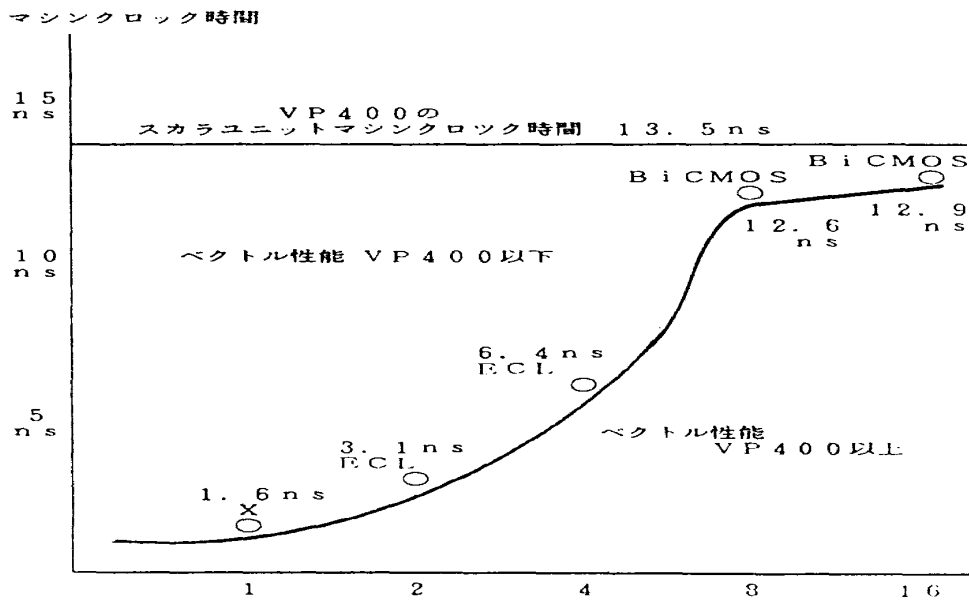


図4 PEパイプライン多重度 (VR128個)

ここで、PEのCFDプログラム処理速度がVP400以上という要求(R2)を(R2')に変更する。
 (R2')ベクトル長32およびベクトル長128における18個全てのDOループに対してPEの処理速度のVTAP推定値 > VP400の処理速度のVTAP推定値となること。

図4の中の1.6ns, 3.1ns, 6.4ns, 12.6ns, 12.9nsはそれぞれパイプライン多重度が1, 2, 4, 8, 16であるPEモデルが(R2')を満足するための最大マシンクロック時間をシミュレーション結果から計算し、それを安全の為、更に10%短縮したPEの必要マシンクロック時間である。図中ECLおよびBiCMOSはそのマシンクロック時間の実現の為に採用すべき論理素子名であり、×印は使用可能な論理素子によってこのτの値は実現困難であることを示す。

このPEモデル系列以外の種々のPEモデルに対するシミュレーション結果を比較検討した結果、このPEモデル系列は我々の検討したPEモデルの中で最も効率的なPEモデル系列である。

ECL素子を使用したパイプライン多重度2, τ=3.1nsのPEとBiCMOS素子を使用したパイプライン多重度8, τ=12.6nsのPEの消費電力を比較することにより我々は後者のPEモデルをNWTに採用した方が良いと判断した。尚、BiCMOS素子

を使用した場合マシンクロック時間10ns程度は達成されるところと良い。

表1はこのPEモデルの航技研の2つのCFDプログラムNS3DとNSMDに対するVTAPによる処理速度(MFLOPS値)の推定値とVP400およびVP200の実測MFLOPS値とVTAPによる推定MFLOPS値を示したものである。表からNWTのPEはVP400の1.4倍のCFDプログラム処理速度が期待できることがわかる。

4.2 NWTのハードウェア構成と性能

4.1でNWTのPEの性能がVP400の1.4倍程度であることが判明した為(R1)を満足するNWTは200台以下のPEにより構成できる可能性が開けた。PE台数が200台以下であれば結合ネットワークとしてクロスバー結合或いは完全結合をベースとしたものが採用できることとなった。強力なネットワークを採用することによりPEの効率は0.5程度が期待できる。この場合、

- R1を満足する為にはPE台数は150台以上であれば良い。PE1台当たりの主記憶容量を256MBとすればNWTの主記憶容量は約38GBとなる。図5にNWTの概念ブロック図を示す。

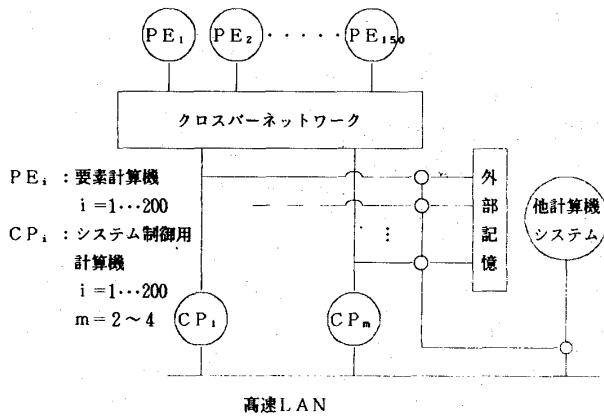


図5 NWTのブロック概念図

5. NWTのプログラム記述 + コンパイラ (以下P & Cと略記) に必要な機能

本章ではNWTのPEの効率を0.5以上に維持する為にP & Cに要求される主な機能について概観する。これらの機能はプログラム記述(プログラマの負担)とコンパイラのいずれか、或いは双方の協力により実現できれば良い。

図6-1, 6-2はそれぞれプログラムを1台のPE, n台のPEで実行させた時の実行概念図である。図中の記号の意味は以下の通りである。

S_i : プログラムの i 番目の逐次処理に必要な実行時間

- SO_i : S_i の処理に必要な OS 実行時間
- SI_i : S_i の処理に必要な I/O 処理の為の OS 実行時間
- I/O_i : S_i の処理に必要な I/O 実行時間
- P_j : プログラムの j 番目の並列処理可能な部分を 1 PE で処理した時の実行時間
- PO_j : P_j の処理に必要な OS 実行時間
- PI_j : P_j の処理に必要な I/O 処理の為の OS 実行時間
- I/O_j : P_j の処理に必要な I/O 実行時間
- $ParaOS_i$: 並列処理を行うために必要となる OS 処理の時間
- $P_{j,1}$: P_j を並列処理する場合, PE_1 (1 番目の PE) の処理すべき P_j の部分の実行時間
- $S/R_{j,1}$: $P_{j,1}$ の処理に必要なデータを S/R (データの転送) するのに必要な OS 実行時間
- $S/R_{j,1}$: データを転送するのに必要な時間
- $PO_{j,1}$: $P_{j,1}$ の処理に必要な OS 処理の実行時間
- $PI_{j,1}$: $P_{j,1}$ の処理に必要な I/O 処理の為の OS 実行時間
- $I/O_{j,1}$: $P_{j,1}$ の実行に必要な I/O 実行時間

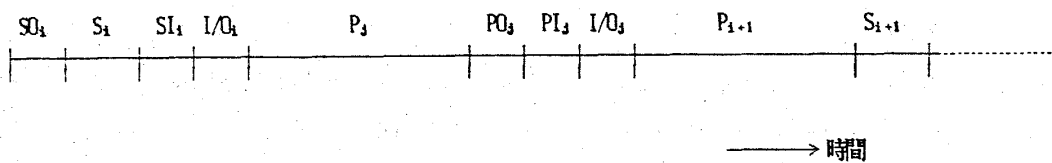


図6-1 PE1台でJobを実行した場合の実行概念図

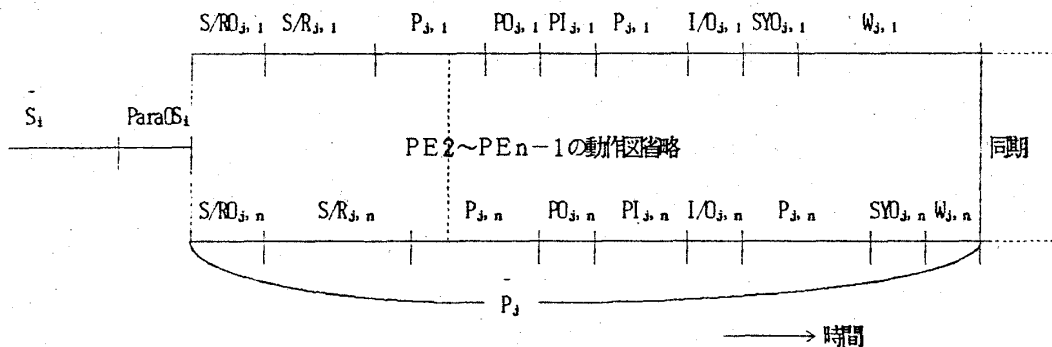


図6-2 PEn台でJobを並列実行した場合の実行概念図

$SYO_{j,1}$: PE₁が他のPEと同期をとる為に必要なOS処理の実行時間

$W_{j,1}$: PE₁の同期待ち合わせ時間

$$\bar{S}_i = SO_i + US_i + UI/O_i$$

$\bar{P}_j = P_j$ を並列処理した場合の実行時間

1台のPEでプログラムを処理する時間(TS)

およびn台PEで処理する時間(TPN)はそれぞれ

$$TS = \sum_{i=1}^I \bar{S}_i + \sum_{j=1}^J \{P_j + PO_j + PI_j + I/O_j\}$$

$$TPN = \sum_{i=1}^I \{\bar{S}_i + \text{ParaOS}_i\} + \sum_{j=1}^J \bar{P}_j$$

である。今、全プログラムの実行に必要な浮動小数点演算(P_j または S_i にのみ含まれる)の数をFとするとPE1台のプログラム処理速度は F/TS となる、n台のPEのプログラム処理速度は $(F/TS) \times (TS/TPN)$ である。従って並列処理による速度向上の為に TS/TPN を可能な限り大とすることが不可欠である。それを実現する為にP&Cに要求される機能の概念は図6-1および図6-2から明らかである。主要なものを以下に示す。

- (イ) S_i の短縮および ParaOS_i の頻度減少の為、P&Cによる並列処理可能部分の発見能力の向上
- (ロ) $S/R_{j,1}$ の頻度の減少と処理時間の短縮の為、データ転送量とその頻度の減少を容易にするP&Cの能力の向上
- (ハ) $P_{j,1}$ と $S/R_{j,1}$ の並列動作を可能とするP&Cの機能

(ニ) $PI_{j,1}$ と $P_{j,1}$ の並列動作を可能とするP&Cの機能

(ホ) $SYO_{j,1}$ の頻度を減少させる為に他のPE内に格納されたデータの参照の量と頻度を削減することを可能にするP&Cの機能

(ヘ) $W_{j,1}$ を可能な限り小さくする為に

(1) P_j の $P_{j,1}$ への分割の均等化を図る為のP&Cの機能

(2) 全ての1に対して $S/R_{j,1}$ を等しくする為には $S/R_{j,1}$ 処理がネットワーク上で可能な限り競合しない様にする必要があるが、その為のP&Cのスケジューリング機能

ハードウェアおよび計算法も(イ)–(ヘ)の実現を容易にする様協力することは当然であるが、(イ)–(ヘ)の達成度が向上すればP&Cにより我々のNWTのCFDプログラム処理速度は(R1)を満足することができる。

文 献

- 1) 三好 甫 ; CFD推進に必要な計算機性能, NAL SP-13, pp.1~26, 1990年9月.
- 2) 三好 甫 ; 航技研超高速数値風洞(UHSNWT)の構想, NAL TR-1108, 1991年5月.
- 3) 岡田 信, 高村守幸 ; CFD向け並列計算機のソフトウェア, NAL SP-13, pp.109~116, 1990年9月.

