

宇宙用200MIPS級64ビットMPUの開発

Development of 200MIPS class High-Speed 64bit MPU for space application

総合技術研究本部 部品・材料・機構技術グループ

Electronic, mechanical components and material engineering group,

Institute of Aerospace Technology

新藤 浩之, 佐藤 洋平, 久保山 智司, 田村 高志

Hiroyuki Shindo, Yohei Sato, Satoshi Kuboyama, Takashi Tamura

Abstract

In recent years, many space projects require high-speed computer in order to construct small and high-performance electronics for spacecrafts. We started the research and development about 200MIPS class high-speed 64bit microprocessor in fiscal year 2001. This year, QT (Qualification Test) has been successfully completed. In JAXA, the evaluation to apply this MPU to the future system is in progress. Moreover, the demonstration plan of MPU on the satellite orbit is progressing.

1. はじめに

将来の科学衛星や実用衛星プロジェクトにおいて、これまでにない大容量の情報を高速に処理することが可能な衛星搭載機器の開発が求められている。この要求を満たすことが可能な、小型高速の搭載コンピュータを実現することが出来れば、高分解能の画像センサや恒星センサ、GPS受信機、ロボット関節組込プロセッサ等、広範囲で利用が可能となり、衛星の小型高機能化・自動自立化に大きく寄与することが出来る。ところが、高速搭載コンピュータの中核を担うMPUに関しては、宇宙用として将来のプロジェクト要求を十分に満たす性能を有するものは、現状では宇宙用部品市場にはなく、衛星技術の高度化を阻害する大きな要因となっている。また、米国の宇宙用ペンティアム開発プロジェクトに代表されるように、MPUは宇宙機システムの成否を左右する戦略部品として認識されており、日本の衛星技術の高度化を進め、独自性を維持するためには、次世代の宇宙用高速MPUの開発に向けた技術研究に早急に着手する必要がある。

以上のことから、本研究では平成13年度より、200MIPS (Million Instructions Per Second) クラスの高速動作が可能な宇宙用64ビットMPUの実現に向け、要素技術の研究開発を開始した。

2. 研究の概要

本MPUに関しては、昨年度までに技術開発が既に完了している。また、OSやデバッガ等の開発支援環境についてもすでに整備済みである。これらをFig.1~3に示す。MPUコアのアーキテクチャとしては、MIPS Technologies Inc. が提供する64bitMPU (MIPS64 5kf)を採用している。また、共通的に使用されると予想されるPCIやメモリコントローラ、UART等の周辺機能に関しては、コアとともにワンチップ化し高速化を図っており、これによってボード設計の大幅な簡素化が可能となる。最高動作周波数は200MHzで、MPUの性能を表す指標であるMIPS値（1秒間に100万回の命令を処理する能力を1MIPSと定義）に換算すると、320MIPSの性能を有している。

本年度実施した主要項目を以下に示す。

- 昨年度に製造したデバイスを用いた開発確認試験（QT）の実施
- 諸特性評価試験、パッケージ熱抵抗測定、加速寿命試験の実施
- 軌道上デモンストレーションに向けた評価システムの検討

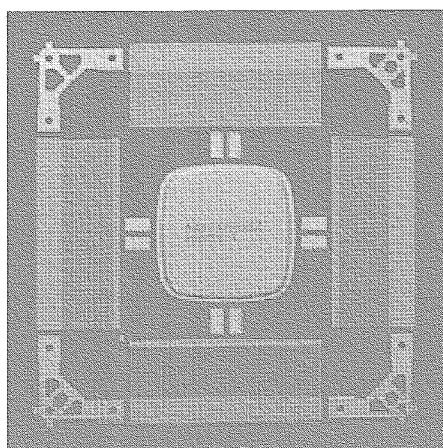


Fig.1 200MIPS class 64bit MPU

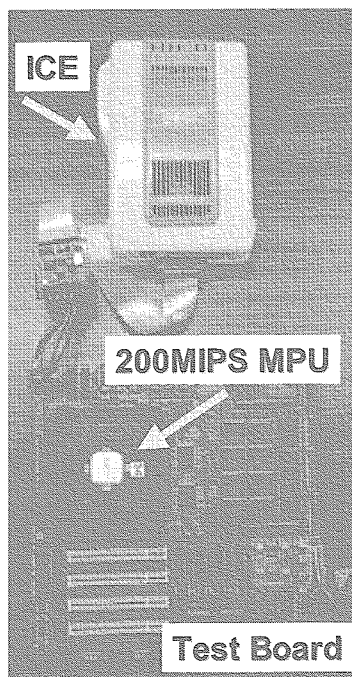


Fig.2 ICE (In-circuit Emulator) and Test board

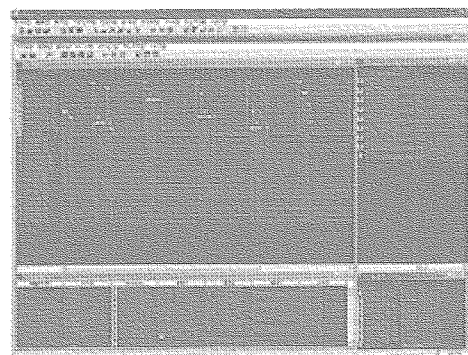


Fig.3 Real-time Operating system for 200MIPS 64bit MPU

*System: eBinder (eSOL)

*Kernel: μ ITRON 4.0

*Compiler: GCC for MIPS

3. 成果の概要

3.1 開発確認試験（QT）の実施

昨年度製造したデバイスを用いて開発確認試験を実施した結果を以下に述べる。

開発確認試験で実施した試験項目と数量をTable 1に示す。試験内容、条件および方法についてはNASDA-QTS-2010に準拠とし、MIL-STD-883F method 5004も参考に検討した。また、工程内のデータで代替できる項目や、既開発品と同一要素であることから評価済みで問題ないと判断される項目（具体的にはグループB試験全体およびグループC試験のサブグループ2）については、ここでの実施は省略し、これらのデータで置き換えることとした。

スクリーニング試験で選別されたデバイスに対してTable 1に示す各試験を実施した結果、いずれも不良の発生はなく、各試験実施後の電気特性値の変動も規格値に対して十分にマージンがあることを確認した。各特性のサンプル間でのばらつきも平均値の10%以下と小さく、問題ないレベルであることを確認した。また、今回の開発確認試験にて省略した試験項目についても、組立工程で実施する工程内検査結果および昨年度の開発予備試験にて不良の発生はなかったことをすでに確認している。以上の結果より、本MPUの設計、製造ともに問題のないことが確認できた。

Table 1 Test Conditions of QT

Test Group and Sub-Group		Parameters			Number of samples	
Group A	Sub-Group 1	Electrical parameters test	Static tests	T _A =25°C	46	
	Sub-Group 2			T _A =Max.		
	Sub-Group 3			T _A =Min.		
	Sub-Group 7		Functional tests	T _A =25°C		
	Sub-Group 8			T _A =Max. & Min.		
	Sub-Group 9		Switching tests	T _A =25°C		
	Sub-Group 10			T _A =Max.		
	Sub-Group 11			T _A =Min.		
Group C	Sub-Group 1	1a	Steady state life test		22	
		1b	End-point electrical parameters test			
	Sub-Group 3	3a	ESD test		3	
		3b	End-point electrical parameters test			
Group D	Sub-Group 1	1a	Thermal shock		15	
		1b	Temperature cycling test			
		1c	Moisture resistance			
		1d	Visual inspection			
		1e	End-point electrical parameters test			
	Sub-Group 2	2a	Constant acceleration		15	
		2b	Mechanical shock			
		2c	Vibration test			
		2d-1	Hermeticity test (Fine)			
		2d-2	Hermeticity test (Gross)			
		2e	Visual inspection			
		2f	End-point electrical parameters test			
	Group E	Sub-Group 1	1a	Total ionizing dose test		6
			1b	End-point electrical parameters test		

3.2 諸特性評価試験、パッケージ熱抵抗測定、加速寿命試験の実施

本MPUの特性を評価する目的で、諸特性評価試験（電気特性の評価）およびパッケージの熱抵抗測定を実施した。また、高温バイアスおよび温度サイクルによる加速寿命試験を実施し、本MPUの予想故障率を算出した。ここで取得したデータは、本MPUの適用データシートに記載されることとなる。

諸特性評価試験の項目に関しては、MIL-STD-883および既開発品のNASDA-R4901-IDFPRで実施した諸特性評価試験項目を基に検討を行い、静特性試験、機能試験、スイッチング試験、出力バッファ回路部の特性試験、温度—動作電流特性試験、動作周波数—動作電流特性試験を実施し、これらの結果を適用データシートに記載した。

パッケージの熱抵抗値に関しては、本セラミックパッケージの開発メーカーから計算値として0.85[°C/W]が提示されているが、この計算結果の妥当性を確認するために実際に恒温槽を用いて実測を行った。ケース温度、接合部温度、消費電力の実測を行い、これらの関係から熱抵抗値を導出した結果、0.88[°C/W] ($\sigma=0.18$)となり、メーカーから提示されていた値とよく整合して

いることが確認できた。

加速寿命試験に関して、高温バイアス条件下で1000時間の試験を実施し、この結果から導出された予測故障率をTable 2に示す。予測故障率は<100 FIT程度であることが確認された。

Table 2 Failure rate prediction

Use temp.	Failure rate [FIT]
60°C	12
65°C	18
70°C	25
75°C	36
80°C	50
85°C	69

3.3 軌道上デモンストレーションに向けた評価システムの検討

MPUの軌道上での動作デモンストレーションに向け、本MPUを中心とした計算機ボード実験システムの設計検討を現在進めている。Fig. 4は、SOHLA-1（まいど1号機）への搭載がすでに決まっているMPU評価ボードである。このボードは、リソースの制約から25Mhz動作の仕様となっており、軌道上での動作確認と放射線によるデータ反転や誤動作の発生についてデータ取得を実施する計画である。現在検討中の高速計算機ボード（200MHz動作）構成案をFig. 5に示す。将来の小型衛星等での実証機会を利用することで軌道上での実績データの蓄積を図ることが、今後ユーザを拡大していくためには必要であると考えられる。

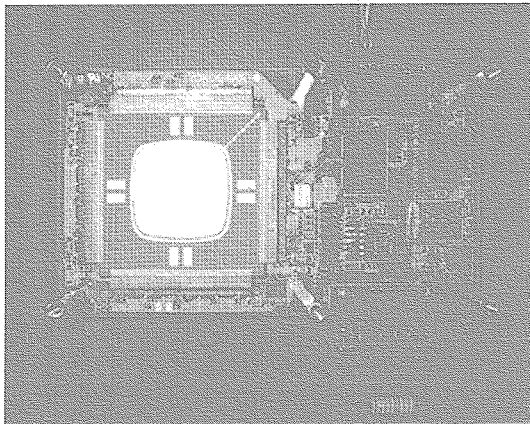


Fig.4 MPU evaluation board for SOHLA-1 satellite

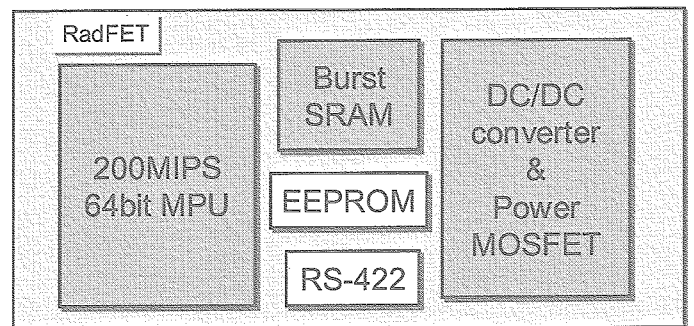


Fig.5 Block diagram of advanced microprocessing in-orbit test system

4. まとめ

高速搭載コンピュータの中核を担う次世代高速MPUの実現に向け、平成13年度より、要素技術の研究開発を開始し、昨年度までに技術開発を完了した。また、RTOSやインサーキットエミュレータ、コンパイラ、デバッガ等の開発環境をあわせて整備し、ユーザが本MPUを利用するために必要となる環境を構築した。

今年度は開発の最終段階である開発確認試験を完了し、その設計・製造に問題がないことを確認することが出来た。本MPUは、平成18年中に宇宙用認定部品としてリリースされる予定である。総研本部内ではすでに、SSRやSTTでの適用検討が進められており、今後の宇宙機ミッションで本MPUが広く適用されることを期待する。