

SOI デバイスを用いた宇宙用半導体部品の開発

小林大輔¹ 福田盛介² 廣瀬和之¹ 齋藤宏文²

¹ 宇宙科学研究本部宇宙探査工学研究系, ² 宇宙科学研究本部宇宙情報・エネルギー工学研究系
229-8510 神奈川県相模原市由野台 3-1-1 (d.kobayashi@isas.jaxa.jp)

Development of Space-Application Microelectronics Employing Silicon-on-Insulator Semiconductor Devices

Daisuke Kobayashi¹, Seisuke Fukuda², Kazuyuki Hirose¹, and Hirobumi Saito²

¹Department of Spacecraft Engineering, ISAS; ²Department of Space Information and Energy, ISAS

Abstract

This paper describes a brief overview and research results of ISAS/MHI space-application microelectronics development project. The collaboration between ISAS and MHI have been developing radiation hardened VLSI components with a 0.2- μm fully-depleted silicon-on-insulator technology, and provides them as basic design units called standard cells. Chip designers can create various types of radiation hardened VLSI chips optimized for space research missions by properly combining the standard cells as they design conventional VLSI chips. The collaboration have also established an economically-efficient chip fabrication system. In FY2005, high-performance circuits have been included in the ISAS/MHI standard cells to realize high-performance space-application-specific microelectronics like a radiation hardened microprocessor with its operating frequency exceeding 100 MHz.

1 はじめに

宇宙科学研究本部で計画している宇宙科学ミッションでは、深宇宙探査や月面探査に向けた探査機、編隊飛行を行う小型人工衛星等において高度な自律的制御や理学観測データ処理を要求しており、それらを実現するために高処理能力を有した半導体部品が要望されている [1]。これら探査機や人工衛星では消費電力が厳しく制限されるため、半導体部品は高処理能力と低消費電力という相反する要求を同時達成しなければならない。加えて、半導体部品の処理能力向上、すなわちデバイスの微細化は一般にノイズマージンの低下を伴うため、放射線耐性をいかに確保し信頼性を維持するかが課題となる。

本研究は上記課題を克服するデジタル半導体部品の開発を目的とする。これは戦略的開発体系 STRAIGHT 計画^{*1}の一部として行われているものであり、三菱重工業株式会社名古屋誘導推進システム製作所と宇宙科学研究本部による産学連携の協同体制によって 1997 年度から実施している。本連携の意図は三菱重工業の半導体開発技術と、本研究本部の耐放射線強化技術を融合する事にある。我々は三菱重工業が有する高信頼用途向けの半導体開発技術によって宇宙科学ミッションに向けた高性能半導体部品を開発できるようになり、三菱重工業においては我々が有する耐放射線強化技術の学術的知見を利用して自動車、建設機械、原子力機器等に向けた耐環境性かつ信頼性に優れた半導体部品を実現することが可能となる。また、本研究には東京大学、総合研究大学院大学の学生諸氏も参加しており、その教育的効果も大きい。回路技術を提案したり試作チップの放射線照射試験に携わったりと、学生諸氏は理屈だけでなく実体験として関連技術を習得しエキスパートへと成長する。同時に諸氏らの柔軟で時には大胆な発想により研究が飛躍的に進歩することも多く、相互発展の重要な役割を果たしてくれている。

本研究は大別して 2 点の特徴を有する。1 つ目は「高処理能力」「低消費電力」「高放射線耐性」と言ったそれぞれ相反する要求を満たすために「SOI^{*2}デバイス」を採用している点である。SOI デバイスは処理性能を維持したまま低消費電力化できるという利点を有する。また、ラッチアップが原理的に起きないためソフトエラー対策のみ施せば耐放射線強化部品として速やかに提供できるという利点もある。2 つ目は我々が開発した技術を用いて誰もが宇宙用半導体部品を作れるように「宇宙用半導体部品開発環境」を整備し公開している点である。惑星探査機のように極限まで使用電

^{*1} Study on Reduction of Advanced Instruments weiGHT program ^{*2} Silicon On Insulator 「絶縁膜上シリコン」

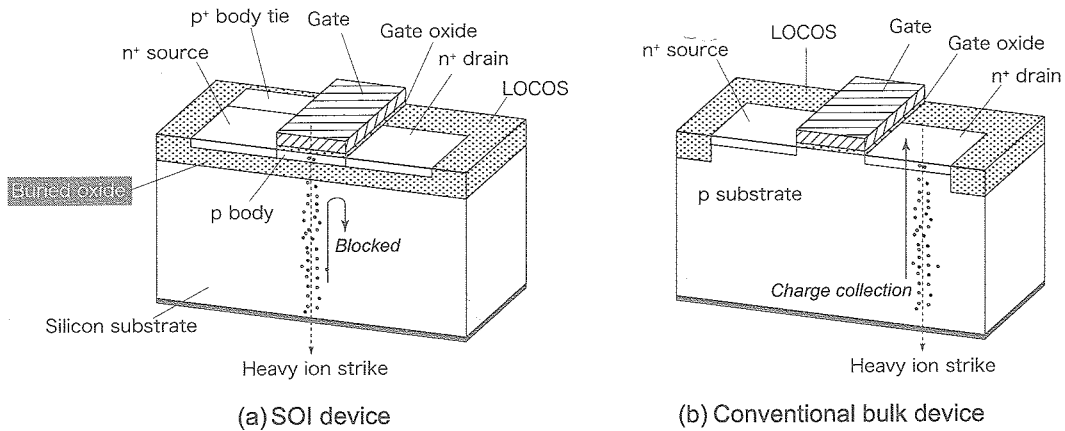


Fig.1 Conceptual drawings of SOI device (a) and conventional bulk device (b). MOS FETs are illustrated here as a device example. SOI devices differ from conventional bulk devices in that they are fabricated on an electrical insulator “buried oxide”. This insulator reduces device collected charges induced by irradiation, thus increasing soft error resistance of the device.

力が制約された環境では、不必要なものを徹底的に削ぎ落とした専用半導体部品 ASIC^{*3}を用いることが望ましく、その都度最適化した宇宙用 ASIC を作成することが要望される。しかし、多種多様に渡る ASIC を我々だけで設計し供給するには限界がある。一般の LSI 設計者、すなわち宇宙環境や耐放射線強化技術の知識を持たない設計者でも宇宙用 ASIC を設計・開発できるようにする必要がある。加えて、宇宙用 ASIC はその利用数の少なさから 1 チップあたりの製造コストが増加するため、そのコスト低減を図る必要がある。これら 2 つの要望を満たす宇宙用半導体部品開発環境を我々は提供している。

本稿では、本研究の概要と昨年度（2005 年度）に実施した研究内容を紹介する。第 2 節では概要として SOI デバイスと提供する宇宙用半導体部品開発環境について述べる。第 3 節において昨年度実施した研究の概要を紹介し、第 4 節においてその結果を述べる。第 5 節にて結論と今後の展望を述べる。

2 SOI デバイスとそれを用いた宇宙用半導体部品の開発環境

2.1 SOI デバイス

SOI デバイス (SOI MOS^{*4} トランジスタ) は図 1 (a) のような構造からなる。シリコン基板中に数百マイクロメートル厚の埋め込み酸化膜層を有する点で、図 1 (b) に示した既存のバルクデバイスと構造的に異なる。デバイスは埋め込み酸化膜層上の極めて薄いシリコン層 (SOI 層) に作成される。

SOI デバイスはバルクデバイスと比較して、まず動作速度が向上しつつ消費電力が減少する。すなわち宇宙用半導体部品に要求される「高処理能力」「低消費電力」の二つが実現される。これは埋め込み酸化膜層の存在によって寄生容量が小さくなることに起因するものである。次に放射線特性について比較すると、バルクデバイスより SOI デバイスの方が高耐性を有する事が一般に知られている。これは埋め込み酸化膜層により基板からの電荷収集が阻止されることに起因する。ただし、同時に寄生バイポーラ効果という収集電荷増幅現象も起きるのでその点に注意が必要である。我々は寄生バイポーラ効果を徹底的に抑えるために完全空乏型^{*5} SOI デバイスにボディタイ構造を導入した。ボディタイとはボディ領域の電位を制御する電極であり、完全空乏型 SOI デバイスには通常利用されない。通常の利用範囲では寄生バイポーラ効果の影響がほとんど無視できるからである。しかし宇宙線のような高エネルギー放射線による寄生バイポーラ効果を抑えるためには、完全空乏型 SOI デバイスにもボディタイを導入する必要があると考え、ボディタイを実装面積増加ペナルティなしに実現する技術を開発した。これに耐放射線回路技術を適用して、世界最高の耐放射線性能を有する SRAM^{*6} を実現している [2]。

本研究ではデバイス製造に沖電気工業の 0.2 μm 完全空乏型 SOI プロセスを利用する。90 nm や 65 nm 等、より微細化されたプロセスが現存する中、我々が 0.2 μm プロセスを採用したのは次の理由からである。まず、数十ナノメートル

^{*3} Application Specific Integrated Circuit 「特定用途向け集積回路」 ^{*4} Metal Oxide Semiconductor 「金属酸化膜半導体」 ^{*5} 完全空乏型とはオフ状態においてボディ部が完全に空乏化しキャリアが存在しないことを意味する。 ^{*6} Static Random Access Memory 「スタティック RAM」 RAM は「随時書き込み読み出しメモリ」。

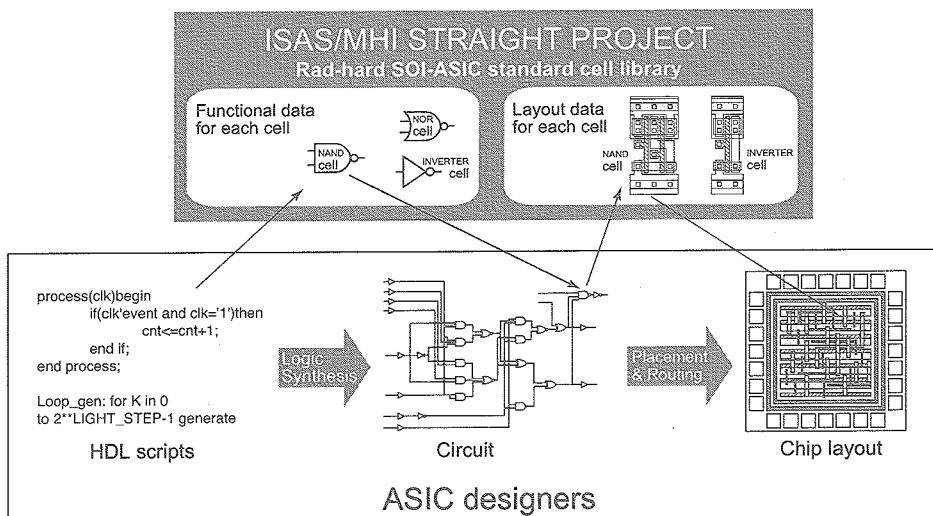


Fig.2 Chip design flow in ISAS/MHI space-application ASIC program. This is based on the standard-cell design style: chip designers build ASIC chips by properly combining basic functional units “standard cells.” ISAS/MHI provides a standard cell library with 100 radiation-hardened and performance-optimized standard cells. Chip designers create radiation hardened ASIC chips as they design usual VLSI chips by using ISAS/MHI standard cell library without paying their attention to radiation hardness techniques.

ル領域の極微細ナノプロセスでは、原子サイズでの制御技術が必要になるため製造コストが飛躍的に増加する傾向がある。宇宙用 ASIC のような少数開発ではその製造コスト増はとりわけ重くのしかかる。また、極微細ナノプロセスで実現されるギガヘルツ動作周波数の超高速半導体部品が宇宙科学ミッションに要求されるかと言うと決してそうではない。我々の調査によると 100 MHz もあれば宇宙科学ミッションに十分対応可能であるという声が大多数である。これらを鑑みると 0.2 μm 程度のプロセスが費用対効果上で最適であると言える。加えて極微細ナノプロセスと違い本プロセスではアナログ回路も同一チップ上に実装可能であるため、アナログからデジタルまで全てを集約し、かつ無駄は一切省いた宇宙用 ASIC の理想形「宇宙用 SoC^{*7}」を実現することが可能である。宇宙用アナログ半導体部品に関しては宇宙科学研究本部の池田教授らによって研究が進められており [3]、アナログ・デジタル混載宇宙用 SoC の実現に向けた協同の取り組みを始めている。

2.2 宇宙用半導体部品開発環境

宇宙用 ASIC セルライブラリを用いた設計 宇宙用 ASIC 設計の技術的負担を軽減するために、セルベース方式の設計手法による部品開発環境を構築した。セルベース方式による宇宙用 ASIC 設計の流れを図 2 に示す。まず、我々は耐放射線強化技術を施した多数の基本回路（セル）をライブラリとして纏め、これを設計者に提供する。これを用いて設計者は次のように設計する。

1. 論理設計：VHDL や Verilog-HDL といったハードウェア記述言語（HDL^{*8}）を用いてテキストで機能設計する。
2. 論理合成：記述された HDL を回路図に変換する。ライブラリから各セルの論理機能・応答特性を読み出し、それらを組み合わせて、所望の機能を実現する回路図を作成する。これは開発ツールによってほぼ自動的に行われる。
3. 配置配線：回路図を実際のレイアウト図に変換する。回路図中で使われている各セルのレイアウトデータをライブラリから読み出し、それらをチップ領域に配置する。これらを回路図通りに配線する。これも開発ツールによってほぼ自動的に行われる。

ASIC 設計者からすれば地上用半導体部品設計と何ら変わらない。使用しているライブラリが我々が開発した宇宙用のものか、そうでないかだけの違いであり、耐放射線強化技術を施したことによる固有の難しさが生じる訳ではない。すなわち、通常通りに設計すると自動的に耐放射線強化されたセルが割り当てられ宇宙用 ASIC が完成する。放射線強化技術の導入に伴う設計者への負担は存在しない。

^{*7} System on Chip. 「システムオンチップ」 ^{*8} Hardware Description Language

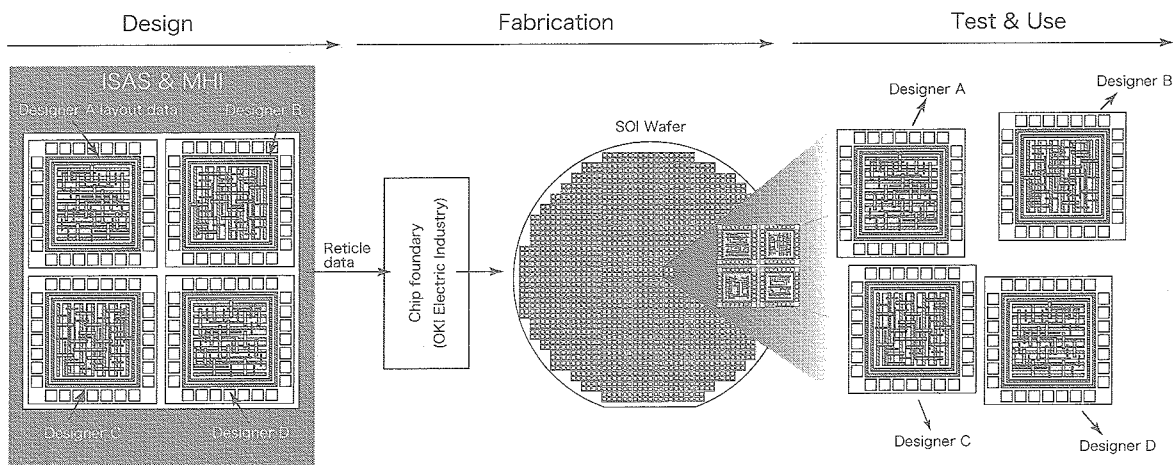


Fig.3 Chip fabrication flow in ISAS/MHI space-application ASIC program based on “multi job run” style. Some chip designers share a wafer to reduce a fabrication cost of each chip.

我々が提供する宇宙用 ASIC セルライブラリには 2004 年度までの成果により 100 種類近くの基本セルが登録されており、通常要求される演算を実装するのに十分なものとなっている [4].

マルチジョブラン方式による試作製造 少数 ASIC チップの製造に対応するために、我々が提供する試作環境ではマルチジョブラン方式を採用している。これは国内の VDEC [5] や米 MOSIS [6], 仏 CMP [7] 等で採用されている方式であり、1 回のチップ作成に複数のチップ試作者が相乗りする方式である。図 3 に示すように、複数の設計レイアウトデータを我々がとりまとめ、チップ製造時の最小繰り返し単位であるレチクル用レイアウトデータを生成する。このデータを沖電気工業に渡しチップを製造する。作成されたチップは切り分けられ各ユーザへと配布される。このように利用者が 1 回の試作費用を相互負担する事で 1 チップあたりの試作費用を抑える仕組みである。我々の産学連携体制は本試作環境の運営にも重要な役割を果たしている。本試作環境の安定的運営にはユーザ数の確保が欠かせず、宇宙科学分野のユーザだけでは十分ではない。大口ユーザである三菱重工業の参画によりユーザ数の確保が維持されることで、本試作環境の運営は成立している。

3 2005 年度に実施した研究の概要

当年度は大別して 2 つの研究を実施した。まず、宇宙用 ASIC マルチジョブランを一般に公開し稼働させた。当年度は 2 社の応募があり、作成されたチップは現在各社において評価が進められている。

次に、より高性能な ASIC を実現するためにライブラリの拡充を行った。本ライブラリ拡充作業は 2004 年度から継続して実施しているものである。2004 年度に実施したシミュレーションによる動作特性の検証並びに放射線耐性の評価を踏まえた上で、当年度は評価用チップを試作しその電気特性並びに放射線特性を評価した。放射線試験は米ブルックヘブン国立研究所タンデム・バンデグラーフ加速器 [8] を利用し、イオン種として炭素、ニッケル、臭素、ヨウ素を利用した。

4 研究成果

紙面の都合上、宇宙用 ASIC セルライブラリの拡充に関する成果を中心に報告する。セル化し評価した回路群を図 4 に示す。高機能回路とアナログ回路に大別される。本研究はデジタル論理回路を想定しており、ここで言うアナログ回路とはそのデジタル論理回路を駆動するクロック生成に関するものである。詳細を以下に説明する。

4.1 高機能回路

高機能演算回路 複合論理ゲート並びに乗算器用要素回路のセルを試作し評価した。これらセルにより、同一論理演算を既存の基本セル群で実装する場合に比べて動作速度の向上及び実装面積の低減が実現される。

図 5 に試作した高機能演算回路の動作特性を示す。一例として負論理出力積和ゲート・セルと乗算器用セルの結果を示す。論理演算が正しく行われている事は別途検証しており、ここではゲート一段当たりの動作速度（遅延時間）の評価結果を示す。測定結果は SPICE シミュレーションの結果と良い一致を示しており、所望の回路が正しく作成された

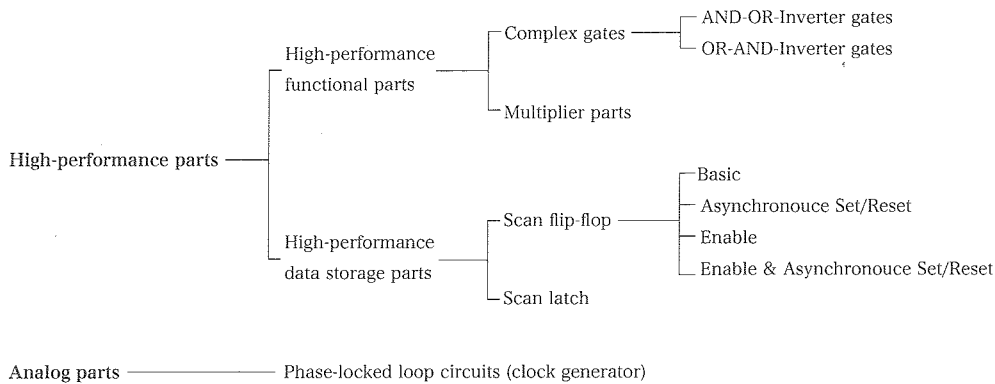


Fig.4 Standard cells that we added and tested in FY2005. They provide high-performance functionality, thus enabling us to develop high performance ASIC chips like a microprocessor with its operating frequency exceeding 100 MHz. The analog parts are under verification.

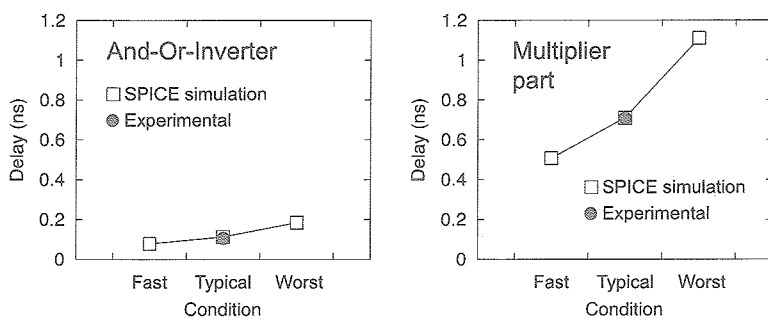


Fig.5 Experimental results of fabricated high-performance functional cells: and-or-inverter gate (left) and multiplier part (right). Delay times were measured and compared with SPICE simulation results. “Fast”, “Typical”, and “Worst” represent operating conditions.

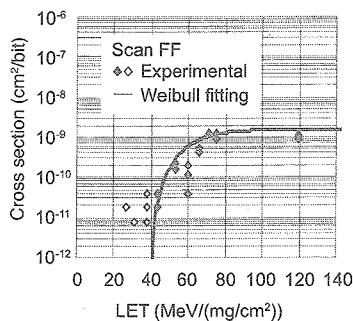


Fig.6 Radiation hardness characteristics of a fabricated high-performance data storage cell: scan flip-flop. Each open symbol indicates that no error was observed in the experiment and its real cross section is below the value pointed by the symbol.

事を示している。全ての追加回路に渡って同様に論理検証及び動作速度検証を行い、正しく作成された事を確認したのでセルライブラリに追加した。

高機能データ保持回路 スキャン付きフリップフロップ並びにスキャン付きラッチのセルを試作し評価した。スキャンとはデータ保持回路の記憶値を外部から直接参照並びに設定するための回路技術である [9]。製造後の半導体部品を動作検証するために使われる技術であり、近年の超大規模回路においては必須の技術となっている。これらの回路をセル化したことにより大規模宇宙用 ASIC 開発の容易性並びに確実性向上が実現される。

評価結果の一例として図 6 にスキャン付きフリップフロップの放射線特性を示す。閾値 LET が 40 MeV/(mg/cm²) 以上であること並びに飽和反転断面積が 10⁻⁸ cm²/bit 以下であることが確認され、宇宙環境での利用に問題がないことを確認できる。同様の結果を全ての高機能データ保持回路に渡って確認したのでセルライブラリに追加した。

4.2 アナログ回路

内部クロック生成用の位相同期回路 PLL^{*9}をセル化し試作評価した。本開発環境で作られるデバイスは数百メガヘルツの動作周波数に対応可能である。しかし、そのような高周波クロック信号を外部から直接入力することは困難であ

*9 Phase-Locked Loop

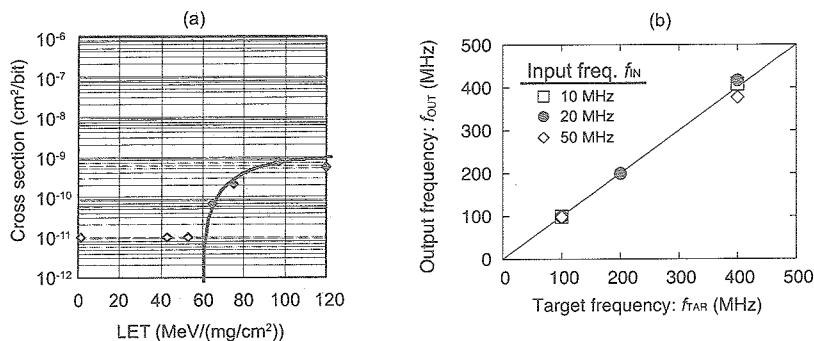


Fig.7 Experimental results of fabricated PLL circuits. (a) Radiation hardness characteristics of a data storage part used in the PLL circuits. (b) Multiplication characteristics of the PLL circuits.

り、チップ内部で自己生成する必要がある。PLL回路はそのためになされた回路であり、外部入力された低周波参照クロック信号を逡倍して出力する機能を有する。

図7に試作したPLL回路の動作特性を示す。図7(a)はPLL内部で利用されているフリップフロップの耐放射線性能を評価したものであり、閾値LETが60 MeV/(mg/cm²)以上であること並びに飽和反転断面積が10⁻⁸ cm²/bit以下であることが確認できる。図7(b)は周波数逡倍機能を評価したものであり、目標クロック周波数に対して実測値がどのような分布を持つかが評価したものである。入力した参照クロックが逡倍化され所望のクロックとなっていることが確認できる。PLL全体の放射線特性に関しては継続して評価中である。

5 まとめ

本稿では、本研究の概要と昨年度(2005年度)実施した研究内容を紹介した。我々が進めているSOIデバイス为主要素子とする宇宙用半導体部品開発は、ユーザが自ら所望の宇宙用半導体部品を作成できるという魅力的な特徴を有しており、着実にその利用が広まってきている。昨年度の成果として、高機能回路をセル化し、高性能ASICの作成に十分なライブラリを構築した。これにより更なる利用拡大が見込まれる。

今後はPLL回路の評価を進め、100 MHz周波数で動作する高速宇宙用ASICの実現を目指す。その際にはシングルイベントトランジエントSET^{*10}という論理回路に起因するソフトウェアエラーに対策する必要がある[10-12]、その研究も現在進めている。例えば、SET幅の直接測定に世界で初めて成功しており[13]、それに基づくSETフィルタの設計に着手している。これら本研究の成果は今後ますます高度化する宇宙科学ミッションに欠かせないものになると考えられる。

謝辞

三菱重工業株式会社名古屋誘導推進システム製作所の黒田能克様、池淵博様、石井茂様、高橋大輔様に謹んで感謝の意を表します。

参考文献

- [1] 「宇宙科学研究本部紹介パンフレット」2006年7月。
- [2] K. Hirose, H. Saito, Y. Kuroda, S. Ishii, Y. Fukuoka, and D. Takahashi, "SEU resistance in advanced SOI-SRAMs fabricated by commercial technology using a rad-hard circuit design," *IEEE Trans. Nucl. Sci.*, vol. 49, no. 6, pp. 2965-2968, Dec. 2002.
- [3] 池田博一「アナログ集積回路のすすめ」ISASニュース、2006年8月。
- [4] 宇宙科学研究本部「耐放射線ASICセルライブラリ」第1.0版、2006年2月28日。
- [5] The VDEC website. [Online]. Available: <http://www.vdec.u-tokyo.ac.jp/>
- [6] The MOSIS service website. [Online]. Available: <http://www.mosis.org/>
- [7] The CMP website. [Online]. Available: <http://cmp.imag.fr/>
- [8] The Brookhaven National Laboratory website. [Online]. Available: <http://www.bnl.gov/world/>
- [9] M. Abramovici, M. A. Breuer, A. D. Friedman, *Digital systems testing and testable design*, revised printing ed., New Jersey: Wiley-IEEE Press, 1994.
- [10] S. Buchner, M. Baze, D. Brown, D. McMorro, and J. Melinger, "Comparison of error rates in combinational and sequential logic," *IEEE Trans. Nucl. Sci.*, vol. 44, no. 6, pp. 2209-2216, Dec. 1997.
- [11] M. J. Gadlage, R. D. Schrimpf, J. M. Benedetto, P. H. Eaton, D. G. Mavis, M. Sibley, K. Avery, and T. L. Turflinger, "Single event transient pulse widths in digital microcircuits," *IEEE Trans. Nucl. Sci.*, vol. 51, no. 6, pp. 3285-3290, Dec. 2004.
- [12] J. Benedetto, P. Eaton, K. Avery, D. Mavis, M. Gadlage, T. Turflinger, P. E. Dodd, and G. Vizkelethy, "Heavy ion-induced digital single-event transients in deep submicron processes," *IEEE Trans. Nucl. Sci.*, vol. 51, no. 6, pp. 3480-3485, Dec. 2004.
- [13] Y. Yanagawa, K. Hirose, H. Saito, D. Kobayashi, S. Fukuda, S. Ishii, D. Takahashi, K. Yamamoto, and Y. Kuroda, "Direct measurement of SET pulse widths in 0.2-μm SOI logic cells irradiated by heavy ions," *IEEE Trans. Nucl. Sci.*, vol. 53, no. 6, Dec. 2006, to be published.

*10 Single Event Transient