

200MIPS級64ビットMPUの開発成果

200MIPS class High-Speed 64bit MPU for space use

総合技術研究本部 宇宙用部品開発共同センター

Space Component Engineering Center, Institute of Space Technology and Aeronautics

新藤 浩之, 浅井弘彰, 山田理子, 久保山 智司, 松田 純夫

Hiroyuki Shindo, Hiroaki Asai, Noriko Yamada, Satoshi Kuboyama, Sumio Matsuda

Abstract

In recent years, many space projects require high-speed computer in order to construct small and high-performance electronics for spacecrafts. We started the research and development about 200MIPS class high-speed 64bit microprocessor in fiscal year 2001. This year, Pre-QT (Qualification Test) has been successfully completed and QT lot is ready to start formal QT.

1. はじめに

将来の科学衛星や実用衛星プロジェクトにおいて、これまでにない大容量の情報を高速に処理することが可能な衛星搭載機器の開発が求められている。この要求を満たすことが可能な、小型高速の搭載コンピュータを実現することが出来れば、高分解能の画像センサや恒星センサ、GPS受信機、ロボット関節組込プロセッサ等、広範囲で利用が可能となり、衛星の小型高機能化・自動自立化に大きく寄与することが出来る。ところが、高速搭載コンピュータの中核を担うMPUに関しては、宇宙用として将来のプロジェクト要求を十分に満たす性能を有するものは、現状では宇宙用部品市場にはなく、衛星技術の高度化を阻害する大きな要因となっている。また、米国の宇宙用ペンティアム開発プロジェクトに代表されるように、MPUは宇宙機システムの成否を左右する戦略部品として認識されており、日本の衛星技術の高度化を進め、独自性を維持するためには、次世代の宇宙用高速MPUの開発に向けた技術研究に早急に着手する必要がある。

以上のことから、本研究では平成13年度より、200MIPS (Million Instructions Per Second) クラスの高速動作が可能な宇宙用64ビットMPUの実現に向け、要素技術の研究開発を開始した。

2. 研究の概要

本MPUに関しては、昨年度までに技術開発が既に完了している。また、OSやデバッガ等の開発支援環境についてもすでに整備済みである。これらをFig.1~3に示す。MPUコアのアーキテクチャとしては、MIPS Technologies Inc. が提供する64bitMPU (MIPS64 5kf)を採用している。また、共通的に使用されると予想される周辺機能に関しては、コアとともにワンチップ化し高速化を図っている。本年度は、開発品の品質確認に係る以下の項目について実施した。

- スクリーニング試験の実施
- 開発予備試験 (Pre-QT) の実施
- 開発確認試験用のデバイスの製造

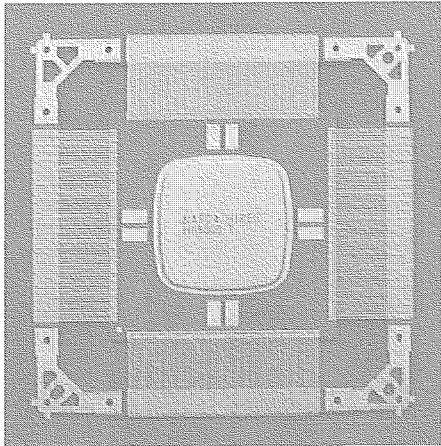


Fig.1 200MIPS class 64bit MPU

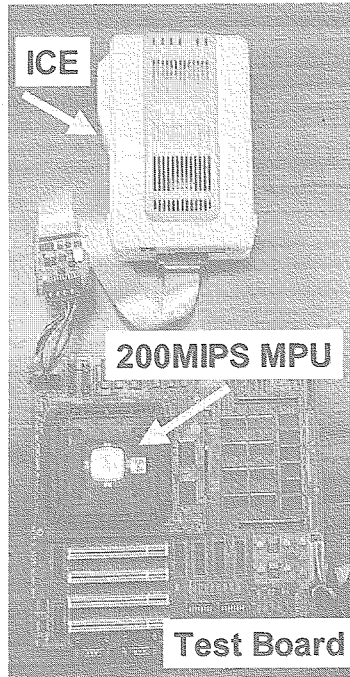


Fig.2 ICE (In-circuit Emulator) and Test board

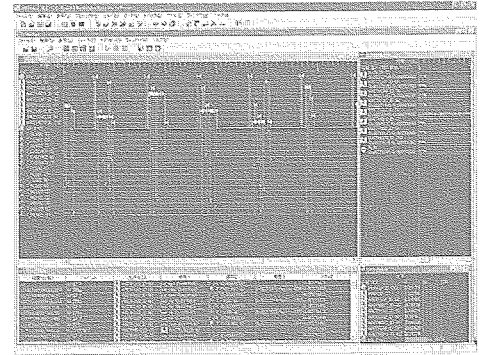


Fig.3 Real-time Operating system for 200MIPS 64bit MPU

- *System: eBinder (eSOL)
- *Kernel: μ ITRON 4.0
- *Compiler: GCC for MIPS

3. 成果の概要

3.1 スクリーニング試験の実施

開発予備試験の実施に先立って、まずサンプルのスクリーニング試験を実施した。スクリーニング項目についてTable 1に示す。試験内容、条件および方法については、NASDA-QTS-2010に準拠とし、MIL-STD-883F method 5004も参考に検討した。スクリーニング実施数量は、次で述べる開発予備試験にて使用予定のエンジニアリングサンプル36個である。結果、全数合格でありスクリーニングにおける不良は確認されなかった。

Table 1 Test Conditions of the screening

Test Item	Test condition
Stabilization bake	It was omitted. (Because it is a preliminary examination.)
Temperature cycling	The same condition as NASDA-QTS-2010
External visual inspection	The same condition as NASDA-QTS-2010
Radiographic inspection	It was omitted. (Because the Rad-Hard package is used.)
Electrical parameters test	The same condition as NASDA-QTS-2010
Burn-in test	Only the condition of Ta=125°C is executed.
Hermeticity test (Fine)	The same condition as NASDA-QTS-2010
Hermeticity test (Gross)	The same condition as NASDA-QTS-2010
Electrical parameters test	The same condition as NASDA-QTS-2010
External visual inspection	The same condition as NASDA-QTS-2010

3.2 開発予備試験 (Pre-QT) の実施

次に、開発予備試験結果について述べる。開発予備試験の目的は、開発確認試験に先立ち、あらかじめ問題点を抽出することにある。このため、開発予備試験は開発確認試験よりも若干少ないサンプル数で実施している。また、工程内のデータで代替できる項目や、既開発品と同一要素であることから問題ないと判断される項目は開発予備試験では省略した。

試験内容、条件および方法についてはスクリーニング試験時と同様に、NASDA-QTS-2010に準拠とし、MIL-STD-883F method 5004も参考に検討した。開発予備試験で実施した試験項目と数量をTable 2に示す。

スクリーニングした部品に対して開発予備試験を実施した結果、試験結果はすべて合格であった。以上の結果により、開発確認試験を実施するにあたり大きな問題はなく、試験に移行できる目処を得ることができた。

Table 2 Test Conditions of Pre-QT

Test Group and Sub-Group			Parameters	Number of samples	
Group A	Sub-Group 1	Electrical parameters test	Static tests	T _A =25°C	28
	Sub-Group 2			T _A =Max.	
	Sub-Group 3			T _A =Min.	
	Sub-Group 7		Functional tests	T _A =25°C	
	Sub-Group 8			T _A =Max. & Min.	
	Sub-Group 9		Switching tests	T _A =25°C	
	Sub-Group 10			T _A =Max.	
Sub-Group 11	T _A =Min.				
Group B	Sub-Group 2	2a	Resistance to solvents	3	
Group C	Sub-Group 1	1a	Steady state life test	10	
		1b	End-point electrical parameters test		
Group D	Sub-Group 1	1a	Thermal shock	10	
		1b	Temperature cycling test		
		1c	Moisture resistance		
		1d	Constant acceleration		
		1e	Visual inspection		
		1f	End-point electrical parameters test		
	Sub-Group 2	2a	Mechanical shock	10	
		2b	Vibration test		
		2c-1	Hermeticity test (Fine)		
		2c-2	Hermeticity test (Gross)		
		2d	Visual inspection		
Sub-Group 3	2e	End-point electrical parameters test	5		
	3a	Salt atmosphere test			
Group E	Sub-Group 1	3b	Visual inspection	3	
		1a	Total ionizing dose test		
		1b	End-point electrical parameters test		

3.3 開発確認試験用のデバイスの製造

開発確認試験に供するためのデバイス製造を実施した。ウェハ製造からサンプル組立てまでの流れをFig.4に示す。今回製造したウェハは6枚であり、このうち3枚を使用（残り3枚は予備として保管）し、この中からチップを選別した。選別したチップ数は250個であり、これは開発確認試験に供する予定のサンプル数116個に対し、工程歩留まりを勘定して決めた数量である。

3枚のウェハについてダイシングを実施し、チップ外観検査を実施した後に組立て作業を問題なく終了した。これらのサンプルは、開発確認試験にて使用する予定である。

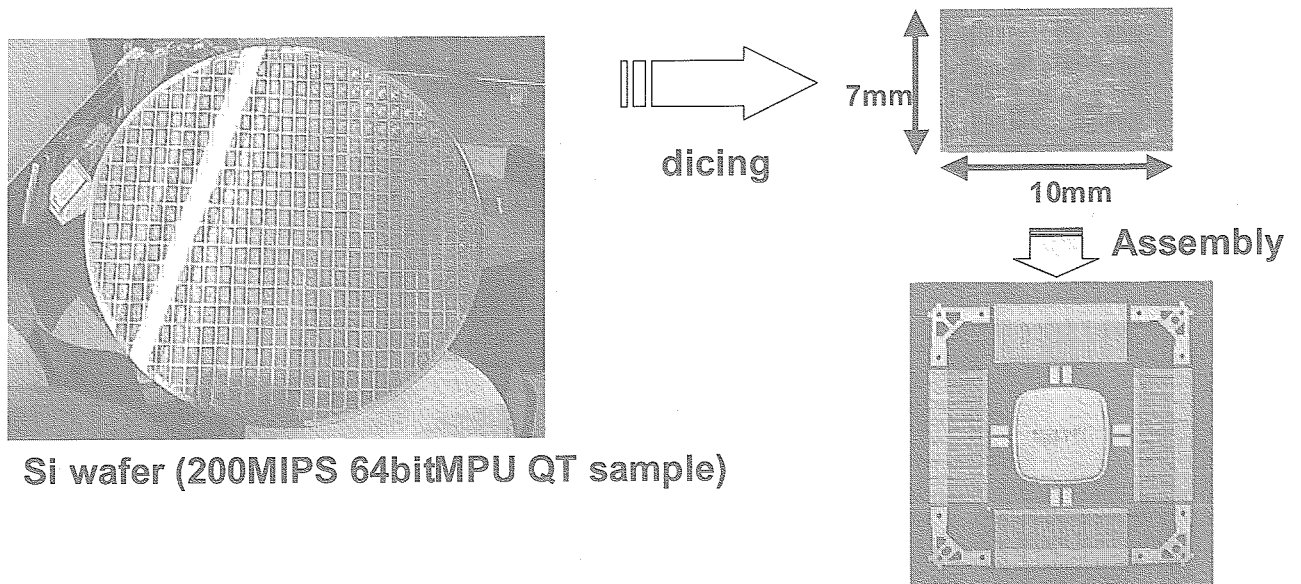


Fig.4 Flow from wafer manufacturing to sample assembly

4. まとめ

高速搭載コンピュータの中核を担う次世代高速MPUの実現に向け、平成13年度より、要素技術の研究開発を開始した。このなかで昨年度までに、MPUコアおよびPCIコントローラ等の周辺機能の仕様をフィックスさせ、試作評価を実施した。また、RTOSやインサーキットエミュレータ、コンパイラ、デバッガ等の開発環境をあわせて整備し、ユーザが本MPUを利用するために必要となる環境を構築した。

今年度はエンジニアリングサンプルを用いたスクリーニングおよび開発予備試験を実施した。その結果、大きな問題は発生せず、開発確認試験に移行する目処が得られた。また、開発確認試験用のサンプル製造を実施し、開発確認試験の準備を完了した。次年度、開発確認試験とフライトロットの製造を実施し、本MPUの開発を完了させる予定である。総研本部内ではすでに、SSRやSTTでの適用検討が進められており、今後の宇宙機ミッションで本MPUが広く適用されることを期待する。