

民生部品を生かすHBD技術

HBD methodology that promotes space application of COTS

総合技術研究本部 宇宙用部品開発共同センター

Space Component Engineering Center, Institute of Space Technology and Aeronautics

新藤 浩之, 浅井弘彰, 池田直美, 山田理子, 久保山 智司, 松田 純夫

Hiroyuki Shindo, Hiroaki Asai, Naomi Ikeda, Noriko Yamada, Satoshi Kuboyama, Sumio Matsuda

Abstract

Hardness-By-Design (HBD) approach for 0.15 μm fully depleted CMOS/SOI process was studied. We designed logic cells hardened for SEU/SET and performed the irradiation tests in order to evaluate the effectiveness of this methodology. Excellent hardness was achieved, and it is thought that state-of-the-art parts can be applied to space by using this technique.

1. はじめに

一般に半導体素子を宇宙空間で使用すると、宇宙放射線（重粒子・陽子）の影響による誤動作や損傷（総称してシングルイベント現象と呼ぶ）が発生することが古くから知られている。近年の宇宙機では、画像処理や高精度の位置決定等の目的で、大容量のデータを高速に処理する電子機器が必要とされており、使用される半導体素子に対してもいわゆるディープサブミクロンクラスの設計ルール（0.1 μm クラス）を適用した小型高集積化・高機能化が強く望まれている。素子の微細化・低電圧化が進むと回路を駆動するのに必要な電子の数も激減し、放射線入射によって生じる外乱に対して非常にセンシティブになるため、その対応策を確立することが宇宙開発を進める上での重要課題となっている。

従来の宇宙用デバイスの開発手法では、耐放射線性と高信頼性を確保するために、製造プロセスに対して必要に応じて変更を加え、メモリやFlip Flop等のシングルイベント対策が必要な個所に対しては、冗長系を組むことで対応してきた。ところがこのような手法では、開発期間の長期化、製造コストの増大を招き、また性能面でも最先端の民生用デバイスとの大きなギャップが生じてしまう。また最近では半導体デバイスの微細化により製造にかかるコストの高騰が続いているため、少量しか需要の期待できない宇宙用耐放射線性デバイスを従来の手法で商業的に生産することは現実的でなくなってきた。

これらの問題を打開する方法として、回路・パターン設計技術だけによって耐放射線性を確保し、地上用とまったく同じ最新の製造プロセスを使って耐放射線性デバイスを製造するHBD (Hardness-By-Design) 技術が注目されている。HBDによる放射線対策に関してはその研究の歴史は長く、これまでもさまざまな研究者によって幾つか考案されている^{[1][2]}。HBD技術の大きなメリットは、半導体プロセスに特殊な変更を加えないため、最先端の製造プロセスを適用することが可能であるということである。また、HDL言語(Hardware Description Language)で記述された設計データを論理合成する際に、HBD技術により強化されたLatch やFlip-Flop回路をライブラリとして構築しておけば、設計者は放射線対策を意識することなくデバイスの設計を進めることができる。反面、回路上で放射線対策を施すため、回路面積や伝播遅延時間が増大するというデメリットもある。実用上は、得られる効果とこれらデメリットとのトレードオフによる判断となる。

本研究では、平成13年度よりさまざまなタイプの耐放射線性回路を実際に試作し、放射線照射試験による評価を実施し、MPU等で適用可能な実用回路のライブラリの整備を進めている。昨年度までの研究では、0.18 μm CMOS プロセス (Si基板) に適用可能な耐放射線性強化型 Latch 回路の試作評価を実施し、その成果を200MIPS 64bitMPUの開発に適用することに成功した。本年度は、Si基板とは異なるタイプの基板であるSOI (Silicon On Insulator)基板素子へのHBD技術の適用について試作評価を実施した。SOIを使うことで、回路の低消費電力化・高速化が期待できるだけでなく、放射線耐性に関してもSi基板より有利と言われており、次世代の宇宙用部品の基板として期待されている。

2. 研究の概要

本年度は、以下の項目について実施した。今回ターゲットとした製造プロセスは、0.15 μm SOI プロセスである。これは、次期宇宙用MPUや、FPGA等の開発に向けて期待されるプロセスである。

- 0.15 μm SOI用放射線対策付きLatch回路の設計検討
- 試作サンプルの重イオン照射試験による放射線耐性評価

3. 成果の概要

3.1 0.15 μm SOI用放射線対策付きLatch回路の設計検討

SOI素子は、その構造上、寄生サイリスタ(PNPN)構造が存在しないため、CMOSバルク素子のようにラッチアップ現象は原理的に発生しない。このため、SOI素子を適用する上で考慮すべき現象は主にシングルイベントアップセット(Single Event Upset: SEU)とシングルイベントトランジエント(Single Event Transient: SET)の2つである。SEUとは、回路中に保持されている情報が放射線入射により反転する現象である。SETとは、放射線入射によって生じる過渡的なノイズによって、ロジックが誤動作してしまう現象である。SETに対する対策の重要性は、プロセスが微細化になるほど増してくる。基本的に、放射線入射によるSETパルスの発生は、トランジスタ間をP-Nジャンクションによって分離しているCMOSバルク素子においては、発生自体を阻止することは不可能である。従って、CMOSバルク素子では、SETパルスが発生しても、それが回路に影響を与えないよう、パルス幅をパラメータとしたSET識別回路を作成することが必要となる。しかし、CMOSバルク素子において発生するSETパルス幅は、LETが60MeV/(mg/cm²)で1ns以上になると考えられ、このように幅の広いSETパルスを識別するSET識別回路を作成し実際に回路中に使用することは、回路の動作速度限界を低くしてしまう要因となる^[3]。一方、SOI素子では、全てのトランジスタが絶縁膜によって電氣的に分離されている。従って、CMOSバルク素子とは異なり、SOI素子では回路のデザインによってSETパルスの発生を除去することが可能である。このSOIの特徴は、CMOSバルク素子に対する非常に大きなアドバンテージである。

今回の試作では、沖電気のスタンダードフリップフロップセル (F-STD) に加えて、HBD手法で設計された6種類の放射線対策ラッチセルを搭載した (沖電気の0.15 μm 完全空乏型CMOS/SOIプロセスを対象に設計)。以下に設計した各回路について簡単に説明する。

今回設計した回路をFig.1~Fig.6に示す。L-M2回路は、よく知られている放射線対策付きのメモリ回路であるDICE回路^[1]をベースに設計した回路である。DICE回路の中には、4個の記憶ノードがある。1個の記憶ノードは1個ずつのPch/Nchトランジスタで構成されている。ある1個の記憶ノードのトランジスタでSETが発生し記憶データが反転した場合、その記憶ノードと隣り合った左右計2カ所の記憶ノードによって記憶データの反転を訂正する仕組みになっている。

DICE回路は、セル内部記憶ノード部のトランジスタのSETに対しては非常に効果的な耐性を持っているが、データまたはクロック入力端子への外部から伝搬されてきたSETに対しては、そのままでは弱い。しかし、今回は外部からの要因よりもラッチセルそのもののSEE耐性について評価することを目的としたため、L-M2にはクロック及びデータ入力部のSET対策は施していない。L-B回路は、同様によく知られている放射線対策付きのBazeインバータ^[2]をベースにした回路である。Bazeインバータ自体がSET耐性を持っているため、このインバータを使ってラッチセルを設計することで、ラッチ自体にもSEE耐性を持たせることが期待できる。L-RTr回路は、伝統的な、帰還抵抗を使って放射線耐性を向上させたラッチセルである。記憶ノードでの信号の伝搬速度を、帰還抵抗と容量のRCによって遅くさせ、SETを記憶ノード内でラッチさせないのがこの回路の原理である。帰還抵抗には、ポリシリコン抵抗を、容量にはMOSトランジスタのゲート容量を使用して設計した。RCの設計値は、500psとした。帰還抵抗を使った対策と同じ効果を期待して、高ON抵抗ソース/ドレイントランジスタを記憶ノード部のインバータ回路に使用したラッチセルを設計した(L-RDS回路)。L-N回路^[4]およびL-T回路^[5]は、SETフリーインバータを記憶ノード部のインバータ回路として使用したラッチセルである。SETフリーインバータは、2個のPchトランジスタと2個のNchトランジスタを直列に接続している。L-Tでは、このSETフリーインバータの、2個のPch/Nchトランジスタの中央が接続されている。これによって電位を同等に保ち、強電界領域を分散させることでSETの発生が抑制できることを期待した回路である。

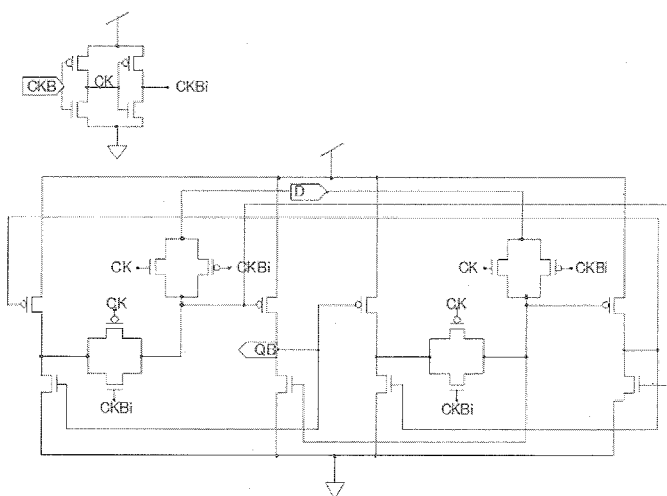


Fig.1 L-M2 circuit

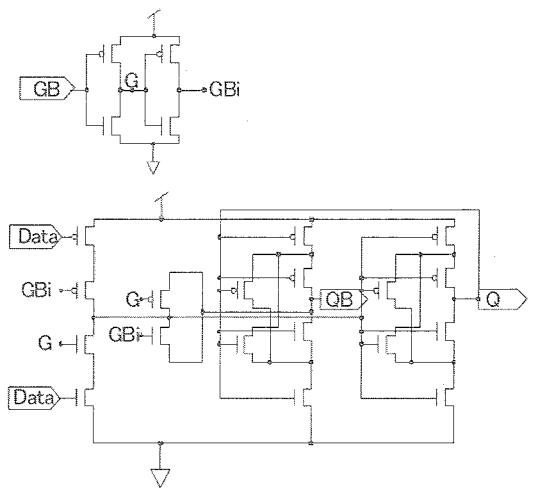


Fig.2 L-B circuit

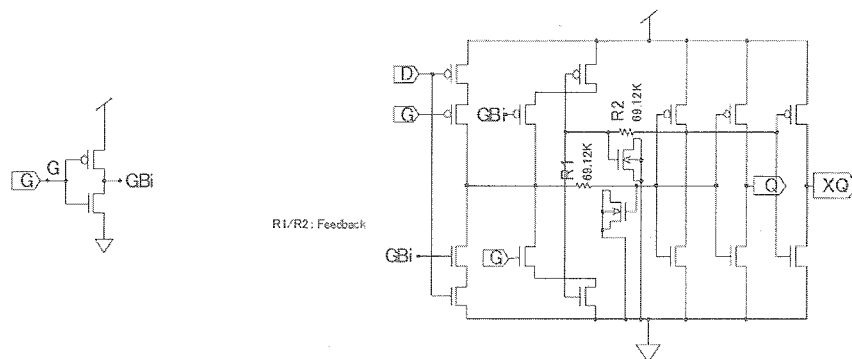


Fig.3 L-RTr circuit

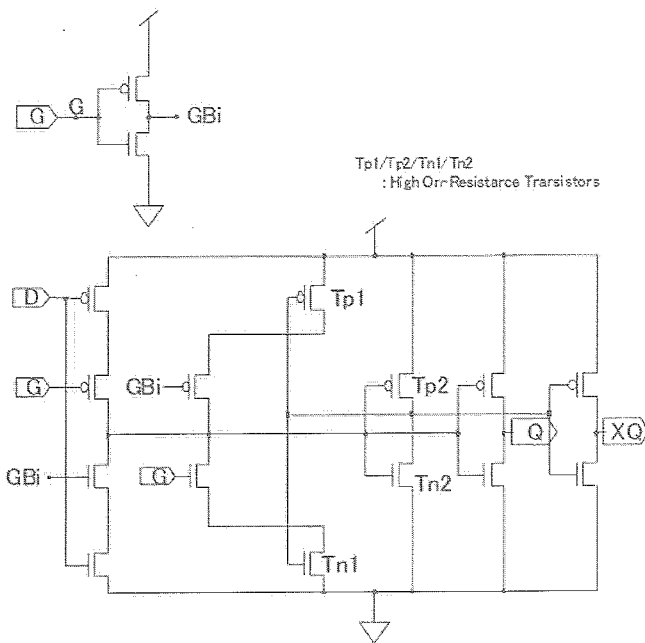


Fig.4 L-RDS circuit

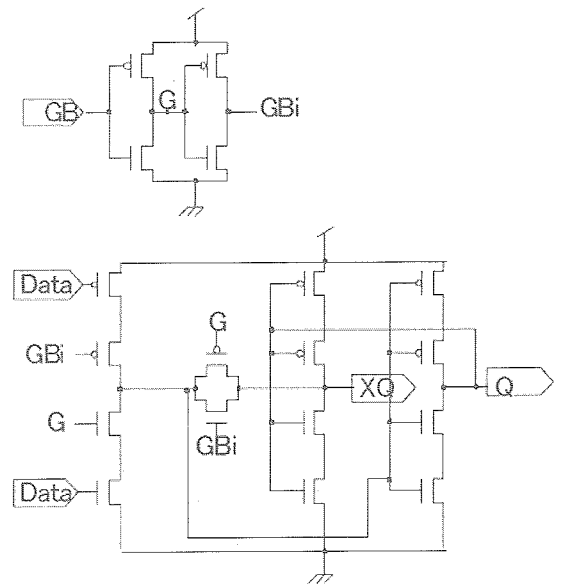


Fig.5 L-N circuit

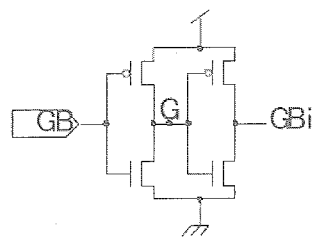
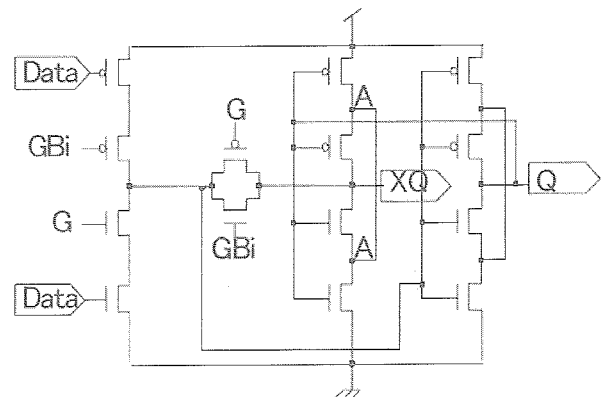


Fig.6 L-T circuit



3.3 試作サンプルの重イオン照射試験による放射線耐性評価

前述した各HBDラッチを、それぞれ512ビットのSRAMブロックとして設計し、評価用デバイスに搭載した。試作したサンプルの放射線耐性を評価するために、重イオン照射試験を実施した。照射試験は、日本原子力研究所 高崎研究所イオン照射研究施設にあるAVFサイクロトロン設備を利用した。ビームラインをFig. 7 に示す。試験条件は、スタティック状態（照射試験前に任意のデータを書き込み、照射後読み出してデータ反転の有無を確認）で実施した。なお、SETの影響を評価するため、照射中の入力データのロジックレベルをInvertedケース/Non-invertedケースに分け実験を行った。Non-invertedケースでは、ラッチに書き込まれているデータと同じレベルのデータを、照射中の入力データとしてラッチに与える方法である。このケースにおいてSEUが発生した場合、その原因はラッチセルそのもののSEU耐性によるもの、と考えられる。ラッチに書き込まれているデータとラッチのデータ入力端子に入力されているデータが同じなので、クロック入力端子でSETが発生または伝搬されてきても、ラッチに書き込まれているデータのビット反転は発生しないからである。Invertedケースでは、ラッチに書き込まれているデータと逆のレベルのデータを、照射中の入力データとしてラッチに与える方法である。このケースでSEUが発生した場合、クロック入力端子におけるSET耐性が弱いと考えることができる。

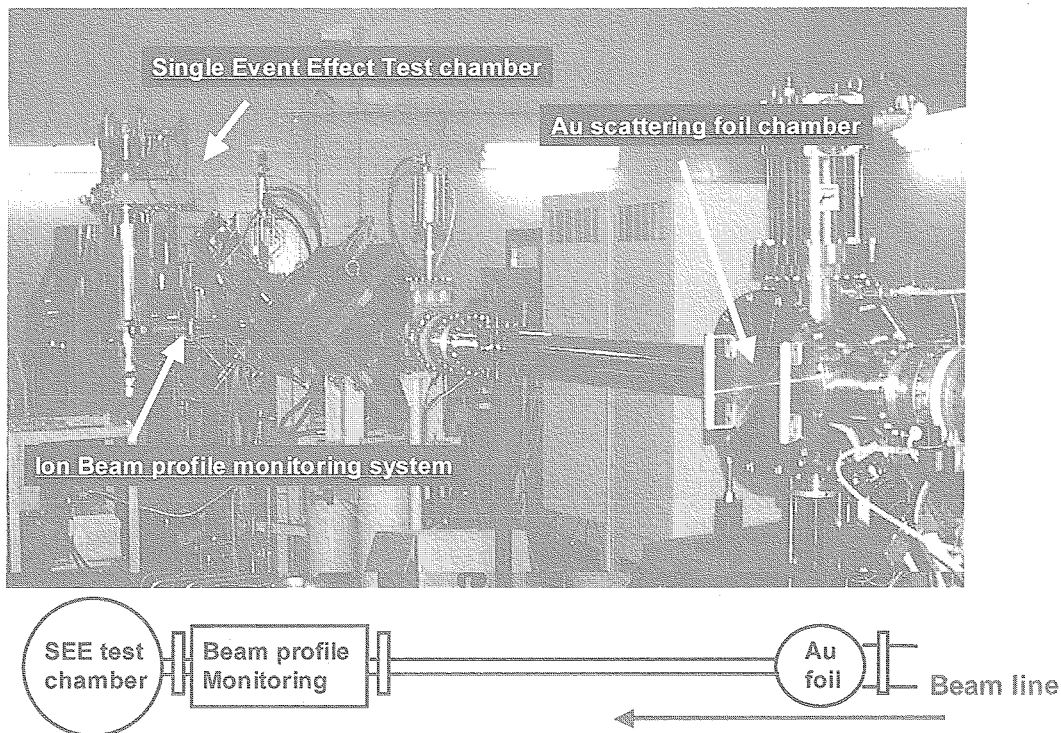


Fig.7 Irradiation test system (JAERI)

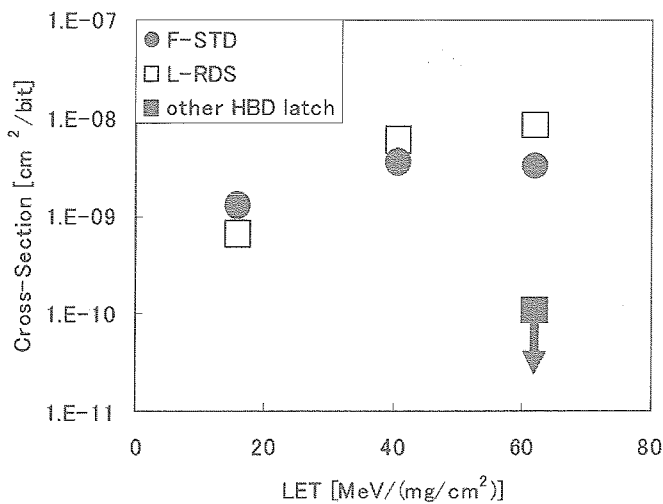


Fig.8 Irradiation test result (Non-Inverted)

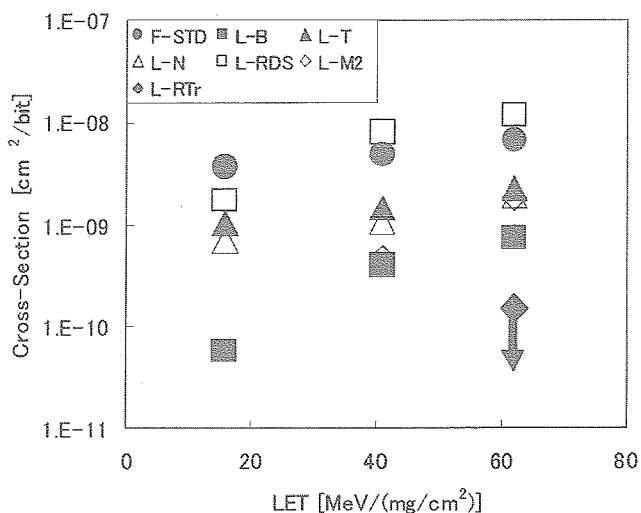


Fig.9 Irradiation test result (Inverted)

重イオン照射試験結果をFig.8およびFig.9に示す。F-STD及びL-RDSは、全ての重イオンの種類、及びInverted/Non-inverted両ケースにおいて、SEUの発生が見られた。L-RTrは、全ての重イオンの種類、及びInverted/Non-inverted両ケースにおいて、SEU発生がみられず、非常に強いSEU耐性を示した。しかし、帰還抵抗を挿入したことによるレイアウト面積上のペナルティや、SETパルス幅以上の遅延値をRCとして設定する必要があることによる動作速度のペナルティが発生するため、速い動作速度が求められる回路へは適していない。L-M2、L-B、L-N及びL-Tは、Non-invertedケースでのSEU発生は無く、InvertedケースのみでSEU発生がみられた。従って、これらのラッチは、

ラッチ自身のSEUには問題はなく、クロック入力部のSET耐性に問題があったことが分かる。この中でも、L-M2は非常に良いSEU耐性を示したが、L-M2のクロック入力部にSET対策を盛り込むとなると、SETパルス幅をパラメータとしたSET識別回路を入れる必要があり、速い動作速度を実現しようとしたとき大きなペナルティとなる。L-B、L-N、及びL-Tは、InvertedケースにおいてSEU発生がみられたが、これらのラッチのクロック入力部にはSET対策を盛り込んでいなかったため、これらの結果は妥当と言える。この点を改善するために、クロック入力部には、ダブルトランジスタ構造を持つSETフリーインバータを使用することで、SET/SEU発生を抑制可能であると考えている。これら3種類のHBDラッチの中では、一番トランジスタ数が少なく、レイアウト面積も小さいL-Nが、CMOS/SOIのHBDラッチとして最も適している候補と考えられる。最後に、今回適用したSOI基板のトータルドーズ耐性を評価した結果をFig.10に示す。この結果から見てわかるように、宇宙用としても十分なトータルドーズ耐性 (>1[kGy]) を有していることが判る。

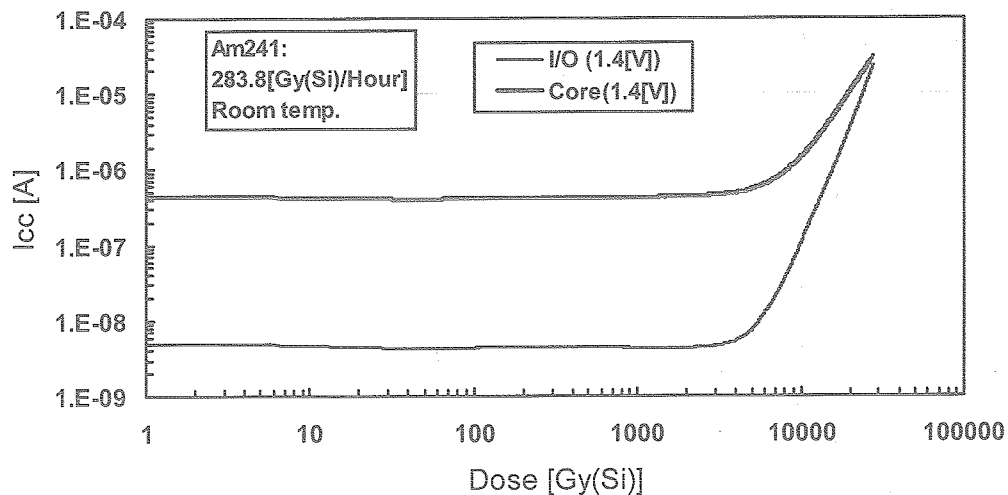


Fig.10 Total Ionizing Dose characteristic

4. まとめ

本研究では、Hardness-By-Design手法を0.15 μ m SOIプロセスに適用してサンプルの試作評価を実施した。結果、SETフリーインバータ構造をベースとした設計によって、シングルイベント耐性の非常に強い回路を構築することが可能であることが判明した。SOI素子はその潜在的な能力から現在、次世代のMPUやFPGAへの適用も検討されている素子である。ここで述べたHBD手法を組み合わせることで非常に高機能かつ放射線に強い宇宙用デバイスを実現する目処が得られたといえる。今後の課題としては、さらに微細化の進んだ素子(>90nm)に対しても本手法が適用可能かどうか、さらに検討を進めたいと考えている。

[参考文献]

- [1] T. Calin et al, "Upset Hardened Design for Submicron CMOS Technology," IEEE Trans. Nucl. Sci., Vol. 43, pp. 2874-2878, Dec. 1996.
- [2] M. P. Baze et al, "A Digital CMOS Design Technique for SEU Hardening," IEEE Trans. Nucl. Sci., Vol. 47, pp. 2603-2608, Dec. 2000.
- [3] P. E. Dodd et al, "Production and Propagation of Single-Event transients in High-Speed Digital Logic ICs," submitted to IEEE Trans. Nucl. Sci., Vol. 51, Dec. 2004.
- [4] L-N ; U.S. Patent Application Serial No. 10/377,884で回路を特許申請中
- [5] L-T ; Japan Patent Application Serial No. 2004-027818で回路を特許申請中。