

外部磁場印加型二次元 MPD スラスタのための電源開発

A Development of Power supplies for AF 2D-MPD

○井出 舜一郎(東大)・月崎 竜童・國中 均(宇宙航空研究開発機構)

○Shunichiro Ide(The University of Tokyo)・Ryudo Tsukizaki・Hitoshi Kuninaka (JAXA)

Abstract (概要)

A MPD thruster (Magneto-Plasma-Dynamic thruster)¹⁾ is an electric propulsion device which has two characteristics; a high thrust density and a high specific impulse. ISAS/JAXA has researched the two dimensional applied-field MPD thruster. The MPD thruster is operated by two PFNs (Pulse Forming Network). These PFNs supply a current to the discharge chamber and the external magnetic field coils respectively. In this study, a new PFN is tested, which composed of EDLC (Electric Double-Layer Capacitors) for the power supply and IGBT (Insulated Gate Bipolar Transistor) for its switching.

記号の説明

V_{ce} : IGBT にかかる電圧

V_{ge} : IGBT の駆動電圧 (順バイアスで ON, 逆バイアスで OFF)

I_{load} 通電回路に流れる電流

1. 背景

これまで電気推進システムは、静止衛星の南北制御や“はやぶさ”に代表される深宇宙探査機のメインエンジンとして採用されてきた。そして今後は、惑星間軌道航行や有人宇宙ミッションなどの大規模輸送の手段としての適用が検討されている。そのためには、電気推進エンジンの特徴である高い比推力に加えて、パワフルな推力密度が要求される。

その要求から、投入電力に比例して推力の向上が顕著な MPD(Magneto Plasma Dynamics)スラスタがその有力な候補として期待されている。しかし、放電電流による自己誘起磁場のみで加速する自己誘起型のスラスタは、十分な性能を発揮するには MW 級の電力を必要とするため、近い将来の実現は難しい。そこで放電室の外部にコイルを配置して磁場を増強するアイデアの元に研究が始まった外部磁場型スラスタが実際の候補である。宇宙科学研究所では、その中でも比較的単純な構造を持つ二次元型の研究が行われている。

本研究における外部磁場印加型二次元 MPD スラスタは、実験環境上の困難から定常作動が行えていない。そこで PFN(Pulse Forming Network)で短時間の電力供給を行い、準定常状態として性能を評価している。今後その作動時間を

伸ばし、より正確な性能評価を行わなければならない。そのためにはより大電力の電源の開発が必須である。

2. 先行研究

2.1 外部磁場印加型二次元 MPD スラスタ 図 1 に外部磁場印加型二次元 MPD の放電室の簡単な図を示す。推進剤で満たされた室内の Anode と Cathode 電極間に高電圧をかけることで気体放電を発生させる。これに伴って垂直方向に誘起される磁場をさらに外部に配置したコイルで増強する。放電によりプラズマ化されたガスは電場と磁場によりローレンツ力を受けて排出方向に加速される。これを推力として作動するのが本研究のスラスタである。その概観を図 2 に示す。

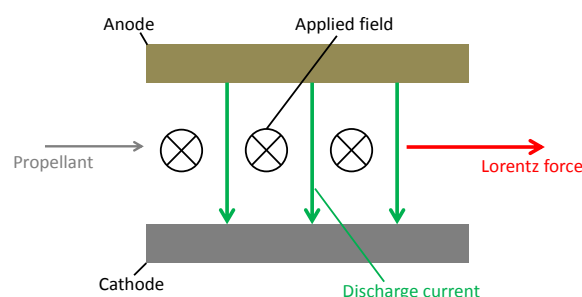


図 1 外部磁場印加型二次元 MPD スラスタの放電室

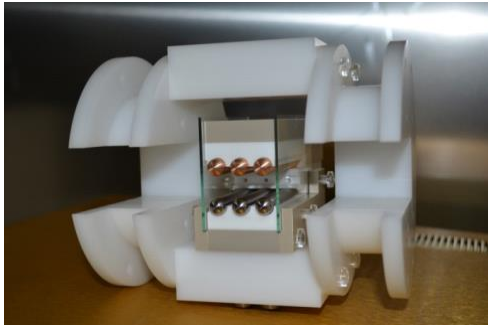


図2 本研究で用いられるスラスタ

2.2 スラスタ作動のシステム 本研究で用いられるスラスタの作動に関するシステム全体のブロック図を図3に示す。電力系として1つのPFNを電極間放電用と外部磁場印加用に同時作動させている。放電に関しては、200mg/sを超える高流量条件下での着火安定化のために、種火としてイグナイタというモジュールを用いている。推進剤に関しては、FAV(Fast Acting Valve)という高速電磁弁を用いて推進剤であるアルゴンを数msオーダーで供給できる。これらを適切なタイミングで並行作動させるためにシーケンサで時間差のパルストリガを各モジュールに送信している。このシステムで作動させたスラスタの放電時間波形を図4に示す。電源開発以前に用いられていた旧来のPFNでのスラスタ作動時間はおおよそ0.5msである。準定常作動として評価するために、放電が安定している時間をスラスタの作動時間としている。

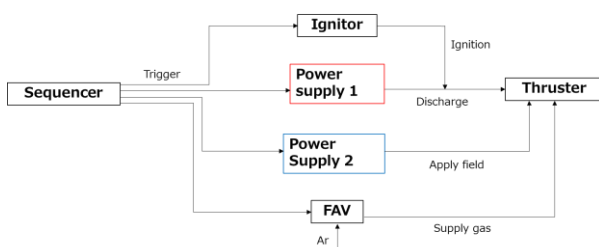


図3 本研究でのMPDスラスタシステムのブロック図

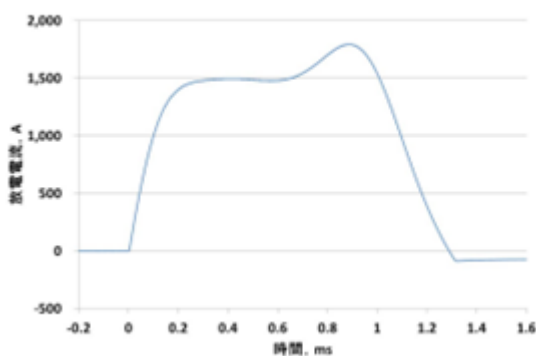


図4 PFNによる電極間の放電時間波形

2.3 新電源の開発 旧来のPFNを用いた場合のスラスタ作動時間は0.5msであった。これでは定常として換算できる準定常作動としては時間が短い。そこで作動時間を延長すべく、作動の根幹を担う電源系の開発に着手した。要求される電源のスペックとして、放電時間が数msで且つ放電時間が可変なものを製作し、これらを電極間放電用と外部磁場印加用それぞれ独立に2つ作成することで、さらに幅の広い評価が行えるのではないかと考えられた。外部磁場印加用に作成された新電源のコイルへの通電時間波形を図5に示す。通電時間はおおよそ5msにまで延長され、同様に電極間放電用電源を製作することで、スラスタ作動時間は5msにまで延長されることが期待される。

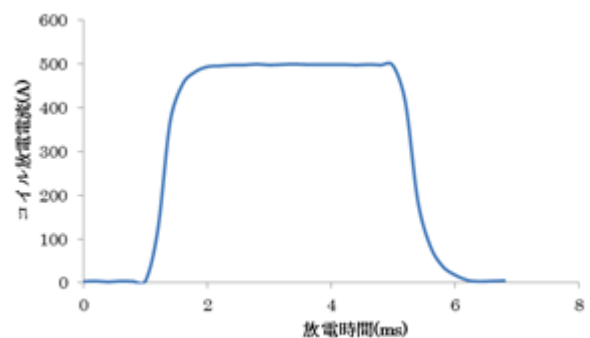


図5 新電源によるコイルへの通電時間波形

2.4 新電源のモジュール 大幅な通電時間を達成した新電源には2つの革新的なモジュールが用いられている。

1つが電気二重層キャパシタである。陽極陰極各層の両面で起こる電気二重層という物理現象を利用した構造により、静電容量を大きくしたキャパシタである。これにより旧来のPFNのようなLCラダー回路を用いなくとも放電時間を延長することに成功した。本研究では一台165Fの電気二重層キャパシタを6直列にして耐圧を上げた状態で使用している。本研究で用いる電気二重層キャパシタの概観を図6に示す。

もう1つがIGBT(Insulated Gate Bipolar Transistor)である。高速性と大電流制御性に優れた半導体素子で、MOSFETよりも高耐圧なため、主に大電力のスイッチングに用いられている。本研究でもこれをON-OFFスイッチングに用いることで、安全にkW級の大電力を制御できる。本研究で用いられたIGBTの概観を図7に示す。

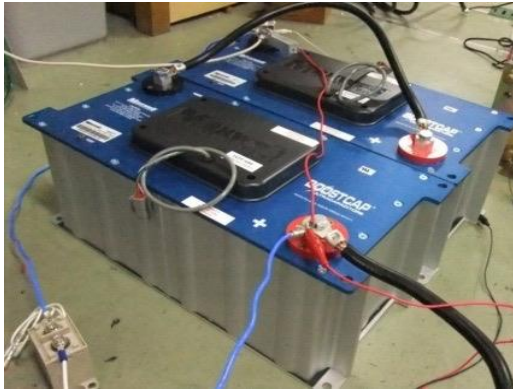


図 6 本研究で用いられる電気二重層キャパシタ



図 7 本研究で用いられる IGBT

2. 本 研 究

2.1 異常放電の発生 先行研究で完成されたかに見えた新電源で作動時に異常放電が発生してしまった。その時の通電時間波形を図 8 に示す。通電の OFF 時に IGBT が正常に作動せず、図 8 右半分のようにキャパシタに充電された電荷が流れっぱなしになったことが原因だと考えられる。その理由は、OFF 時に回路内で発生した図 8 中央付近の赤いインパルスが示すサージ電圧(数 kV と推測)が IGBT の耐圧を一時的に超えて IGBT が破損したと考えられるからである。一般的な放電回路におけるサージ電圧は以下のように計算できる。

$$V_{\text{surge}} = L_s \frac{di_{\text{load}}}{dt} \quad (1)$$

L_s は回路全体のインダクタンスであり、本研究での回路ではコイルと配線がその多くを占めている。サージ電圧を軽減させるには回路内のインダクタンスを減らすか、通電電流の時間変化つまりスイッチングスピードを遅くするかのいずれかであることがわかる。スイッチングスピードを遅くすると、放電・通電波形に蛇足部分が形成され、推力計測

の余分な誤差として評価されるおそれがあるため、今回は前者の方法で新電源の改良を行った。

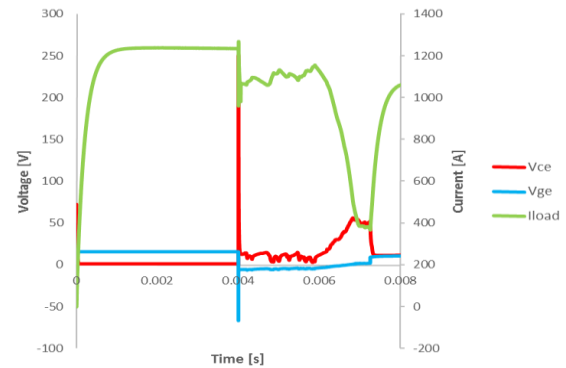


図 8 新電源 200V 充電における通電時間波形

2.2 回路シミュレーションによる評価 異常放電の原因であるサージ電圧を軽減するために、回路の寄生インピーダンスを減らすようなシミュレーションを行った。簡略化した電源回路を図 9 に示す。キャパシタに充電した電荷を IGBT でスイッチングして、スラストのコイルに通電させるものである。FWD(Free-Wheel Diode)は OFF 時に発生するコイルの逆起電力による還流電流を吸収するためのもので、還流ダイオードと呼ばれている。

回路シミュレーションソフト PSIM を用いて、サージ電圧を軽減するような回路を設計した。その結果以下の様な改良を施すとサージが軽減できることがわかった。

- ・回路内の配線を 1/10 程度に短縮
- ・FWD とコイルのループ領域を拡大

その回路の通電時間波形を図 10 に示す。下段青の波形が IGBT にかかる電圧である。OFF 時のサージ電圧が 200V 程度にまで軽減されている。これをもとに実際の回路を改良した。

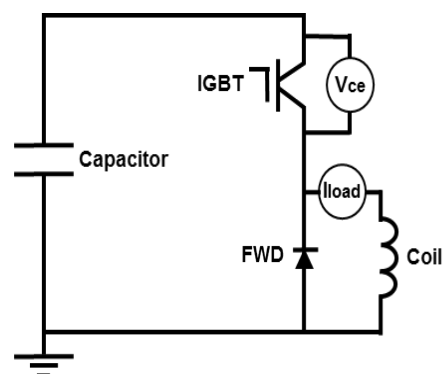


図 9 新電源（外部磁場印加用）の通電回路

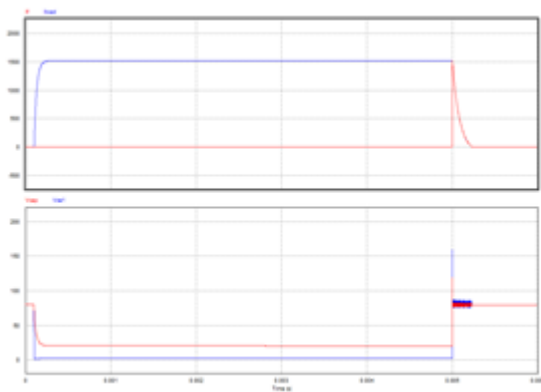


図 10 シミュレーションによる電源回路の通電時間波形

2.2 新電源の改良 シミュレーションをもとに実際の回路を改良した。改良後の新電源の通電時間波形を図 11 に示す。OFF 時のサージ電圧は 250V 程度に軽減されたため、IGBT が正常に作動して、4ms 後に通電が OFF されていることがわかる。

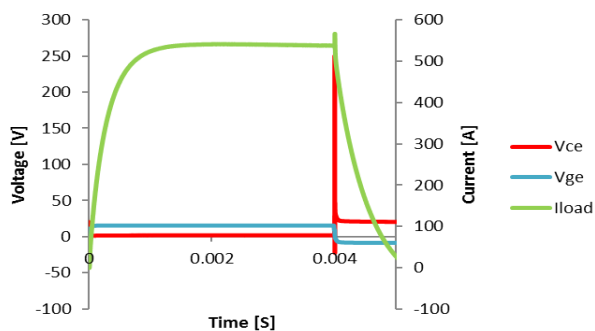


図 9 改良後の新電源 20V 充電における通電時間波形

2.2 結論と課題 図 12 に各電源の性能比較を示す。先行研究で開発された新電源(Sugimoto, Old_Ide)をシミュレーションを用いて改良した結果が赤(New_Ide)である。寄生インダクタンスを減らしたことにより、安全性が増したことに加えて、従来 250V 充電して行っていた通電を 50V で達成している。本研究により外部磁場印加用の新電源は、安全で高性能なものに改良された。

本研究で得られた知見をもとに電極間放電用の新電源も同様に製作し、より長時間通電・放電可能な電源系を接タップすることで、スラスタの長時間作動を実現することが今後の課題である。

3. 引 用

- 1) R.G.Jahn : “Physics of Electric Propulsion.”, McGraw-Hill, New York, 1968.

- 2) 田窪将也 : “直交外部磁場型 2 次元 MPD スラスタに関する研究”, 横浜国立大学大学院工学府システム総合工学専攻機械システム工学コース修士論文, 2013.
- 3) 杉本 諒 : “電気二重層キャパシタを用いた外部磁場印加型 2 次元 MPD スラスタの開発”, 静岡大学大学院工学研究科機械工学専攻航空宇宙講座修士論文, 2014.
- 4) 五十嵐征輝 : “パワー・デバイス IGBT 活用の基礎と実際”, CQ 出版社, 2011.