

外部磁場型二次元 MPD スラスタの 準定常作動のための電源設計に関する研究

○杉本 諒(静岡大学・院), 月崎 竜童(ISAS/JAXA)
國中 均(ISAS/JAXA), 山極 芳樹(静岡大学), 松井 信(静岡大学)

Keywords: Magneto-Plasma-Dynamics, Electric propulsion

1. 序論

これまでに電気推進機は、その高い比推力を活かして静止衛星の長寿命化や、深宇宙探査の主推進機として実用化されてきた。これらに引き続き、惑星間・軌道間航行や軌道間の大規模輸送などが提案されており、このようなミッションを達成するためには大推力と高排気速度を両立する推進機が必要となる。

MPD スラスタ(Magneto-Plasma-Dynamic Thruster)⁽¹⁾は、これらの要求を満たす電気推進機として有望視され、研究が行われてきた。しかし、現在までに主に研究が行われてきた自己誘起磁場型 MPD スラスタは、効率のよい作動を行うためには数 MW の電力が必要であるが、現時点において宇宙機に搭載できる電力を大きく超えるため、実用化には程遠い(国際宇宙ステーションで電力規模は 120kW 程度)。一方で外部磁場型 MPD スラスタは数百 kW クラスの電力で高効率を達成することが出来るために実用化が期待されており、ISAS/JAXA でもこのタイプの MPD スラスタの研究が行われ、様々な知見が得られている。この外部磁場型 MPD スラスタは将来的に定常作動することを目指しているが、現状では実験設備の制約から定常作動を行うことができない。従って、パルス電源を用いた準定常作動を定常換算して研究を行っている⁽²⁾。しかし、現在の設備では放電時間が 1ms 以下と短く、準定常作動できているか明らかでないため、正確な定常換算がされているかわからない。従って、放電時間を 10ms 程度に延ばすことで、準定常といえる環境を作りたい。

本研究では、MPD スラスタの準定常作動度を向上するために放電時間が可変で最大 10ms の放電時間を持つような電源を制作することを目的とし、目的達成に必要な回路の制作・設計などを行った。

2. 外部磁場型二次元 MPD スラスタ

現在 ISAS/JAXA では Fig.1 のような外部磁場型二次元 MPD スラスタを使用して研究が行われている。MPD スラスタの推進原理は、放電室内に推進剤を供給し放電を起こすことによって推進剤を電離、プラズマ化する。また、発生した磁場とプラズマ内を流れる放電電流によりローレンツ力が発生する。このローレンツ力により推進剤プラズマが加速・排気され、この反力によって推力を発生させている。外部磁場型二次元 MPD スラスタは放電室両側にコイルが設置されているため、外部磁場によるローレンツ力の方向が直接排気方向を向くなどの特徴を持つ。従って性能特性と磁場強度の関係を解明すると共に、磁場形状の設計変更や最適化を行う事に適した MPD スラスタである。本研究で用いる直行外部磁場型 MPD スラスタは Fig.2 に示すように放電電流に直交する一様な外部磁場を印加している。

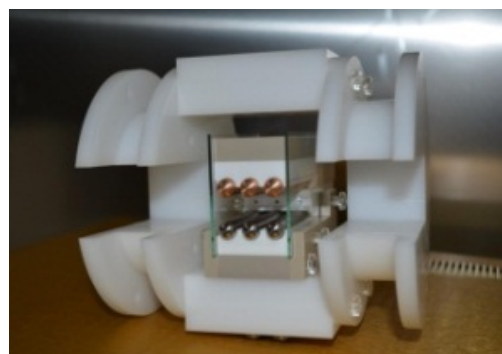


Fig.1 Picture of two dimensional applied field MPD thruster

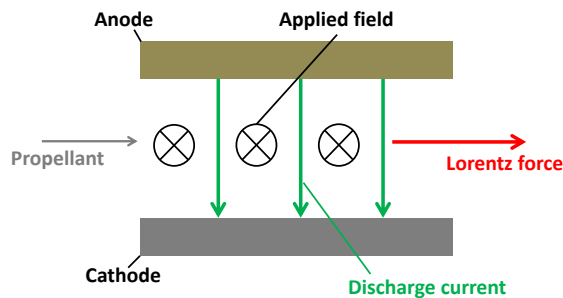


Fig.2 Concept of two dimensional applied field MPD thruster

3. 実験環境(現在の電源)

先行研究では、性能に関する外部磁場強度依存性を明らかにするために放電電流と外部磁場強度を独立に定められるような電源(PFN : Pulse Forming Network)を使用している⁽²⁾。従って Fig.3 に示すように、放電電流用と外部磁場印加用に別の電源を用意することで、それぞれの電流量を独立に定めることができる仕様となっている。また以下では、放電用電源を PFN1、外部磁場印加用電源を PFN2 と称することとする。

しかし、現在の電源ではどちらも電流を供給できる時間は 1ms 以下となっている。PFN1 を用いた場合の放電波形を Fig.4 に示す。先行研究では、図のようなパルス状の放電電流を供給し、これを準定常とみなして実験を行っていた。このパルス時間は過去の当研究室の MPD スラスタの実験結果と整合性を取るために慣例的に定められた 0.5ms とみなしている(実際には 0.4ms 強)。しかし、立ち上がりと立ち下りの時間が、放電電流が一定である時間に対して大きいため、本当に準定常作動できているかは明らかでない。

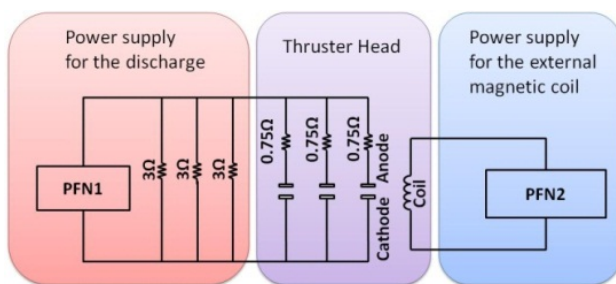


Fig.3 Image of two power supplies configuration

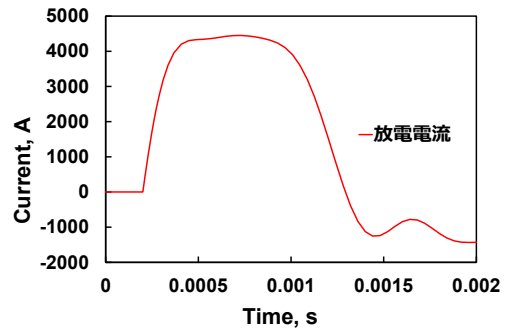


Fig.4 Discharge waveform from previous study

4. 準定常作動のための外部磁場印加用 PFN 設計

準定常作動させるためには、「立ち上がりと立ち下りの少ない電源の作成」、「作動時間の長い電源の作成」の2つの方法がある。ここで、前者は時間、コストがかかるうえにそれほど効果がないため、後者を選んで電源の作成をしている。本研究では外部磁場印加用の電源(PFN2)の作成を行った。

放電時間を延ばすために従来よりも静電容量の大きな電気2重層キャパシタ(後述)と呼ばれるキャパシタを新たに適用した。このキャパシタの適用により、放電時間を延ばすことができたが、放電し続けると実験系がジュール発熱で大きな熱を発生し、配線が溶けてしまうことが熱解析から分かった。従って、それを避ける為に放電時間を任意に設定できるようなシステムが新たに必要となる。放電時間の設定方法は、「放電を中断させる」、「電流を別のところに逃がす」の2種類が考えられる。ここで、熱解析の結果から、10ms 程度で放電を中断させることにより実験系に損傷を与えることなく安全に実験が行えることが分かった。従って、新たなキャパシタを適用し、放電時間可変で最大 10ms 程度の放電時間を持つ電源を設計した。今回設計した電源の回路図を Fig.5 に示す。回路図を設計する上で作成しなければならない所を3カ所にわけた。1つ目をキャパシタ充電回路、2つ目をダンピング回路、3つ目を放電回路とする。以下、それぞれの回路について説明をしていく。

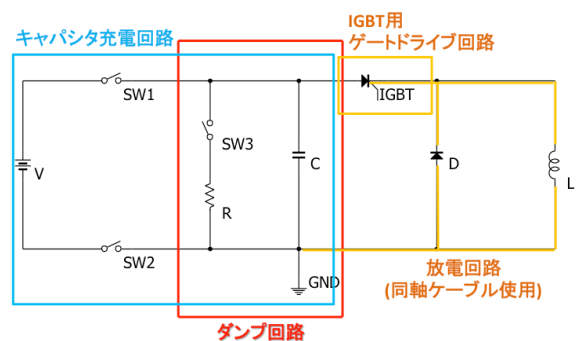


Fig.5 Circuit diagram of power source

4.1. 電気2重層キャパシタ

電気2重層キャパシタは静電容量の大きなキャパシタである。特徴として個体(電極)と液体(電解液)の界面に形成される「電気2重層」という状態を誘電体の代わりに使用している。その結果、電極間距離が非常に短くなるため、静電容量が大幅に上昇している。逆に耐圧は低くなっている。充放電は「電気2重層」へのイオンの吸着・脱着を利用することで行っている。今回使用したキャパシタは、静電容量165F、耐圧48Vである。キャパシタ外観をFig.6に示す。

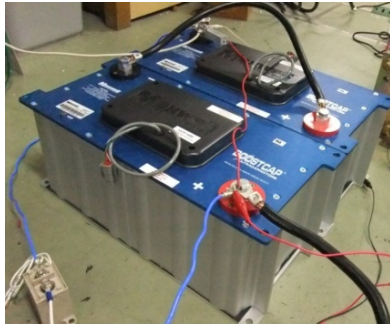


Fig.6 Picture of Capacitor

4.2. キャパシタ充電回路

キャパシタ充電回路は、キャパシタ充電用電源、リレー(SW1, 2)、キャパシタで構成されている。リレーを開閉することで充電用電源からキャパシタに充電を開始できるようになり、実験開始時にリレーを切っておくことで放電回路を浮かした状態で実験できるようになっている。

4.3. ダンプ回路

実験終了時に、キャパシタに溜まった電荷を捨てるのが必須になる。この役目を担っているのがダンプ回路である。ダンプ回路は、リレー(SW3)と抵抗(2並列5直列)、キャパシタからなるRC回路である。このRC回路を作成する上で必要になってくるのは、抵抗(電線)にながれる電流値と抵抗の許容電力値である。また、キャパシタの静電容量の値と抵抗の抵抗値から放電にかかる時間が計算される。従って、抵抗値を大きくすることで電力値を抑えることができるが、一方で放電時間は長くなってしま(逆もいえる)。そのため、電力値と放電時間がちょうどいい(実験しやすく、良い電力値)値になるように設計を行った。回路図をFig.7に示す。Fig.7において、キャパシタに充電する最大電圧は250Vであり、今回用いた抵抗は10Ωであるため、抵抗部分の合成抵抗が4Ωになることから回路に流れる最大電流は62.5Aとなる(正確には電流・電

圧値ともexpに減少していく)。また、 $C=27.5F$ なので、ダンプ回路における放電時間は約10分程度となる。

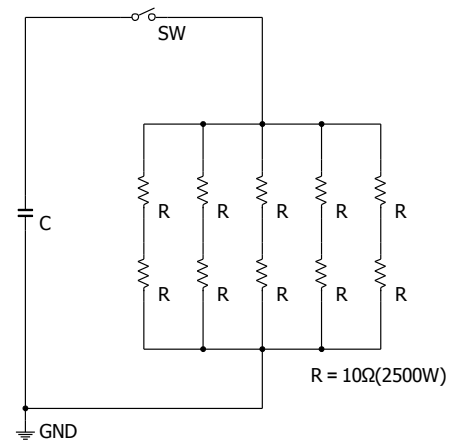


Fig.7 Damping circuit

4.4. 放電回路

キャパシタに貯めた電荷を磁場印可用のコイルに放電するために必要な回路が放電回路である。放電回路はキャパシタ、IGBT(Insulated Gate Bipolar Transistor)、ダイオード、コイルから構成される。ここで、ダイオードは、キャパシタからの放電時、コイルが逆起電力を持つことを防ぐ役割を担っている。また、スイッチの代わりに使用するのがIGBTである。IGBTは半導体素子のひとつであり、スイッチのON・OFFが電圧差を与えることで行われるため、スイッチング時間が高速であること、ON・OFFの際用いる回路(ゲートドライブ回路)の作成が容易であることなどが特徴として挙げられる。以下、新たに作成したゲートドライブ回路について説明をする。

4.4.1. ゲートドライブ回路

IGBTのON・OFFは、ゲート・エミッタ間に電圧差を与えることにより行われる。+15V程度の電圧差を与えるとON、-10V程度の電圧差を与えるとOFFとなる。このようなON・OFFを行うための回路がゲートドライブ回路である。ゲートドライブ回路に求められる性能は3つある。

1. MPD スラスタ全体を作動させているトリガーの信号を受け、作動しなければならないこと
2. 実験者が指定した時間で作動するような構成(今回の場合、1ms~10msと放電時間を変化することができる)
3. トリガーの信号を受け、自動的に-10V→+15V→-10Vとなるような矩形波を出力する。

これらの要求を満足するような回路を、フォトカプラ(TLP531), OP アンプ(TL071CP)を用いた差動増幅を利用し作成を行った。この際、可変抵抗を用いることで、放電時間の変更ができるようにした。作成した回路図を Fig.8 に示す。また、5ms の放電を想定してゲートドライブ回路を差動させた。そのときの出力を Fig.9 に示す。

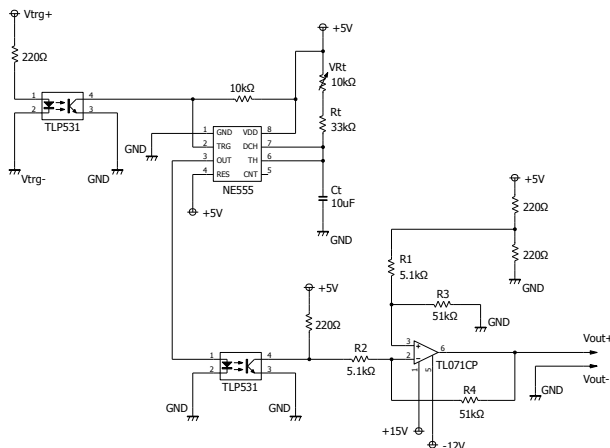


Fig.8 Circuit diagram of gate-drive-circuit

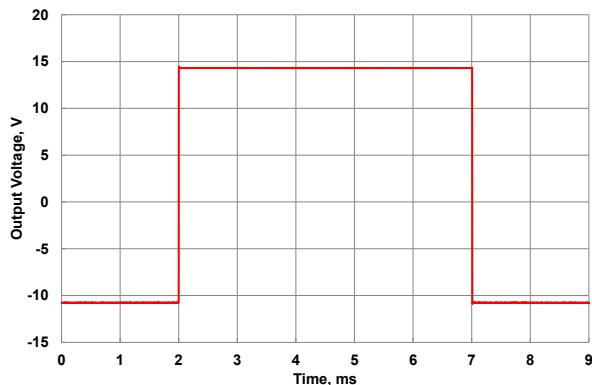


Fig.9 Discharge waveform of gate drive circuit

Fig.9 より、トリガーをかけた時間(2ms)から-10V→+15V→-10V となっており、指定した 5ms の放電時間になるような矩形波が形成されているのがわかる。

また、ゲートドライブ回路の作成および IGBT の駆動確認も行っているため(後述)、残っている課題としては、それぞれの素子をつなげ、回路を完成することである。各素子をつなぐ電線としては、RG218/U と呼ばれる同軸ケーブルの使用を考えている。

5. 実験結果・考察

作成したゲートドライブ回路を用いて IGBT の作動確認を行った。ここでは、自作コイルを用いてキャパシタから放電を行っている。キャパシタ充電電圧は 10V としており、放電時間は 5ms 以上になるように設定している。このときの放電波形を Fig.10 に示す。

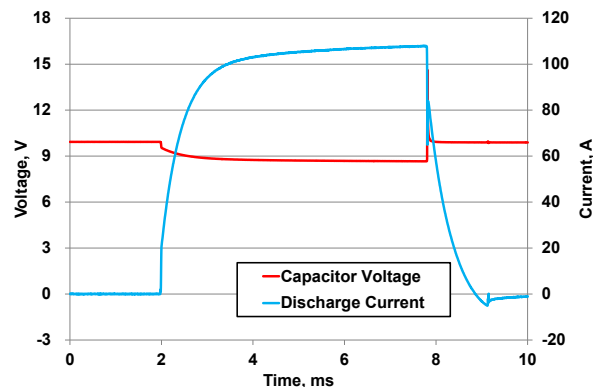


Fig.10 Discharge waveform with IGBT

Fig.10 中のキャパシタ電圧をみると、トリガーを受けてから放電が開始しており、その後は指数関数的に減少している。また、IGBT が OFF になったと同時にキャパシタ電圧は 10V 付近に戻っている。そのため、放電がストップしていることが読み取れる。また、放電電流にも同じようなことが言える。放電開始から電流が流れ始め、終了と同時に 0A に戻っていることがわかる。以上より、自作ゲートドライブ回路を用いて IGBT を駆動できていることが確認される。そのため、この IGBT およびゲートドライブ回路を放電回路のスイッチとして使用できることが確認された。

6. 結 言

本研究では、MPD スラスタの準定常作動度向上のために、スラスタの電源設計に関する研究を行った。主たる結果は以下の通りである。

- (1) IGBT を駆動するための回路およびダンプ回路の制作を行った。
- (2) 電気 2 重層キャパシタと IGBT を組み合わせた回路の動作確認を行った。その結果、IGBT を放電回路のスイッチとして利用できることを確認した。

現在まで、磁場印可用 PFN の制作に向けて、必要な回路の作成を行った。しかし、個々の回路は完成しているが、まだそれぞれの回路が孤立した状態にあるため、キャパシタ充電回路、ダンプ回路、放電回路をラ

ックに組み込み, PFN を完成させなければならない.
すべての回路がつながった後に実際にスラスタを作動させ, 今までと同等の性能が出るかどうかを確認する必要がある.

7. 今後の予定

- ・ラックへの組み入れ後, 現在の外部磁場印可用電源と入れ替え, 同じ性能が出るかどうかの確認
- ・放電時間を 0.5ms から 0.8ms に変更
- ・電気 2 重層キャパシタを用いた放電用電源の開発
以上のことを行うことで, 準定常作動ができてい

るかどうかの確認および, 準定常作動度の向上を行う. その後, 放電時間を変化させながら実験を行い, 放電時間の変化に伴う性能変化を確認することを最終目標に研究を進めていく.

参考文献

- (1) R.G.Jahn, “*Physics of Electric Propulsion*,” McGraw-Hill, New York, 1968
- (2) 田窪将也, “直交外部磁場型 2 次元 MPD スラスタに関する研究”, 横浜国立大学大学院工学府システム統合工学専攻機械システム工学コース修士論文, 2013