# 宇宙航空研究開発機構研究開発資料 JAXA Research and Development Memorandum

# 宇宙用電子部品 開発報告書 (MPU, SRAM, DC/DCコンバータ, パワーMOSFET)

# 新藤 浩之, 山田 理子, 池田 直美, 林 雅彦

Hiroyuki SHINDO, Noriko YAMADA, Naomi IKEDA and Masahiko HAYASHI

# 総合技術研究本部 部品・材料・機構技術グループ

Electronic, Mechanical Components and Materials Engineering Group Institute of Aerospace Technology

> 2008年3月 March 2008



Japan Aerospace Exploration Agency

1. はじ	めに ・・・・・ 1
2. 宇宙	用64bitマイクロプロセッサ(Microprocessor : MPU) ・・・・・・・・・・・ 2
2.1	開発の背景・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・
2.2	主要諸元・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・
2.3	開発方式
2.4	宇宙放射線対策・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・
2.5	開発スケジュール・・・・・5
2.6	開発確認試験・・・・・・・・・・・・・・・・・・・・・・・・・
2.7	諸特性評価試験6
2.8	設計開発ツール群の整備・・・・・・6
2.9	宇宙実証計画6
3. 宇宙	「用バーストSRAM・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・
3.1	背景
3.2	主要諸元 · · · · · · · · · · · · · · · · · · ·
3.3	開発方式・開発要素・・・・・・・・・・・・・・・・・・・・・・・・・・・・・11
3.3.	1 COT生産方式·······11
3.3.	2 放射線対策・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・11
3.3.	3 マルチチップ及びチップ積層(三次元)構造・・・・・・・・・・・・・・・・・・・・・・・11
3.4	開発スケジュール・・・・・・12
3.5	宇宙用BSRAMの仕様検討・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・12
3.6	宇宙用BSRAMの設計・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・13
3.6.	1 回路設計・・・・・・・・・・・13
3.6.	2 レイアウト設計・・・・・・15
3.7	マルチチップ及びチップ積層用パッケージの開発・・・・・・・・・・・・・15
3.8	積層アセンブリの検討・・・・・・15
3.9	開発確認試験・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・
3.10	諸特性評価試験・・・・・・18
3.11	軌道上実証計画 · · · · · · · · · · · · · · · · · · ·
3.12	まとめ・・・・・18
4. 宇宙	「用DC/DCコンバータ・・・・・ 19
4.1	背景19
4.2	主要諸元 · · · · · · · · · · · · · · · · · · ·

4.3 開発スケジュール・・・・・・・・・・・・・・・・・・・・・・・19

# 目 次

	4.4	要素技術開発(シートトランス) ・・・・・ 20
	4.5	要素技術開発 (1chipICの開発) ······20
	4.6	要素技術開発(専用パッケージ) · · · · · · · · · · · · · · · · · · 21
	4.7	基本モデル開発・・・・・22
	4.8	QTサンプル製作・・・・・22
	4.9	QTサンプルの製作・・・・・22
	4.10	開発確認試験・・・・・・24
	4.11	諸特性評価試験・・・・・・26
5	. パワ	MOSFET
	5.1	開発の背景····································
	5.2	主要諸元 ····································
	5.3	開発スケジュール・・・・・・34
	5.4	耐放射線設計
	5.5	少量多品種製作手法の確立・・・・・34
	5.6	パッケージへの組立検討・・・・・・35
	5.7	各品種の開発・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・
	5.7	1.1 低電圧T0-254パッケージ品の開発・・・・・・・・・・・・・・・・・・・・・・・35
	5.7	.2 低電圧SMDパッケージ品の開発・・・・・・・・・・・・・・・・・・・・・・・35
	5.7	.3 500V品の開発・・・・・35
	5.8	シングルイベント耐性の改善と評価・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・36
	5.9	今後の予定・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・

# 1. はじめに

本報告書は、JAXA 総合技術研究本部 部品・材料・機構技術グループにて開発を実施した、宇宙用電子部品(64bit マイクロプロセッサ,メモリ,DC/DCコンバータ,パワー MOSFET)の開発成果をまとめたものである。これら の電子部品は、平成14年10月に組織された宇宙用部品技術委員会注)にて第1期重要開発部品(平成15年度よ り3年程度で開発)として定義された部品で、計算機および電源系の中核となる重要な電子部品である。

2~5章の各章にて、それぞれの電子部品の主要諸元、機能性能、設計から開発、製造、宇宙用部品認定までの結果について述べる。

注) 宇宙機システムの信頼性向上及び自律性確保の一環として、基幹部品の開発・利用、国産部品の利用促進及 び部品評価技術の向上を目指した部品プログラムについて審議するための専門委員会。JAXA 内外の有識者(部品 メーカ、システムメーカ含む)で組織され、電子部品と機構部品の2分科会および親委員会で構成されている。

# 2. 宇宙用 64bit マイクロプロセッサ(Microprocessor: MPU)

#### 2.1 開発の背景

電子機器の頭脳となる半導体素子であるマイクロプロセッサ(Microprocessor: MPU)は、年々高度化する宇 宙機ミッションの成否を左右する重要な部品と位置づけられる。一般に、宇宙用半導体素子には高い信頼性と過 酷な宇宙環境(熱、振動、放射線等)に対する十分な耐性が要求される。現状では高度なニーズに応えられる宇 宙用 MPU は市場に存在せず、米国をはじめ各国で次世代宇宙用 MPU の研究開発が進められているのが現状である。 高機能な宇宙用 MPU が実現できれば、高分解能の画像センサや恒星センサ、GPS 受信機、ロボット関節組込プロセッ サ等、広範囲で利用が可能となり、衛星の小型高機能化・自動自立化に大きく寄与することが出来る。日本の衛 星技術の高度化を進め、独自性を維持するためには、宇宙用高速 MPU の我が国での開発が必要不可欠となる。 以上の背景を受け、JAXA では平成 14 年度より次世代宇宙用 MPU の要素研究に着手した。試作評価および開発確 認試験を経て平成 18 年度末に JAXA 認定を完了し、現時点で宇宙用として世界最高性能の MPU (64bit, 320MIPS (MIPS: Million Instructions Per Second の略。1 秒間に何百万個の命令が実行できるかを表す性能指標))の実 現に成功した。

#### 2.2 主要諸元

開発した MPUの概観写真および全体機能のブロック図をそれぞれ図 2-1 および 2-2 に示す。また、主要諸元を 表 2-1 に示す。データ処理の中枢部となる MPU コアのアーキテクチャは、MIPS Technologies Inc. が提供する 64bitMPU (MIPS64 5kf)を採用している。また、共通的に使用されると予想される PCI やメモリコントローラ、 UART 等の周辺機能に関しては、コアとともにワンチップ化し高速化を図っており、これによってシステム設計 者は、ボード設計の大幅な簡素化(部品点数の削減)が可能となる。最高動作周波数は 200MHz で、MPU の性能を 表す指標である MIPS 値に換算すると、320MIPS の性能を有している。今回の開発では、民生 0.18um 設計ルール の CMOS 製造プロセスを適用し、チップサイズは 7mmx10mm となっている。パッケージは放射線の影響を軽減する Kovar 合金のシールドを付加したセラミック製 QFP (Quad Flat Package:外部入出力用のピンをパッケージの四 辺に配した形状のパッケージ)である。消費電力は動作周波数にほぼ比例し、200MHz 動作時で約 5W である。



図 2-1 宇宙用 64bit MPU (320MIPS) 概観写真



PCI : Peripheral Component Interconnect UART : Universal Asynchronous Receiver Transmitter DMA : Direct Memory Access

図 2-3 宇宙用 64bit MPU (320MIPS) 全体機能ブロック

表 2-1 宇宙用 64bit MPU 主要諸元

部品番号	JAXA2010/10101XZR : 低電力タイプ JAXA2010/10102XZR : 高速タイプ				
MPUコア	MIPS64 5Kf (MIPS Technologies Inc.) - MIPS V 全命令サポート - 6段パイプライン処理 - IEEE754 互換単精度および倍精度の浮動小数点演算ユニット - EJTAG 搭載				
MPU周辺機能	<ul> <li>メモリコントローラ (8bank搭載, ROM, SRAM, Flash Memory 対応)</li> <li>DMA (2ch搭載, Memory to Memory, Memory to I/O)</li> <li>PCIインターフェース (Specification Revision 2.2 準拠, 32bit幅, 33/66MHz)</li> <li>UART (2ch, キャラクタモード(16450)およびFIFO モード(16550)対応)</li> <li>割り込みコントローラ (内部割り込み (9ch) および外部割り込み (6ch))</li> <li>タイマ (32 ビットアップカウンタ (2ch))</li> </ul>				
電源電圧	1.8V(Core部), 3.3V(I/O部)				
最大動作周波数 200 MHz					
データ処理性能	320 MIPS				
消費電力	5.0W (高速タイプ, 200MHz 1.8V 85℃動作時) 2.8W (低消費電力タイプ, 150MHz 1.8V 85℃動作時)				

#### 2.3 開発方式

従来の宇宙用半導体素子の開発では、高信頼性と耐放射線性確保のために、ある1社の半導体メーカにカスタ ムチップとして設計・製造・生産を一括発注し、耐放射線性確保のために特殊な製造プロセスによって実現する 方式を採用していた。ところが近年の製造プロセスの微細化にともなって、コスト・スケジュール上の問題が大 きくなり、また、歩留まり確保のための設計マージンを見込む必要があることや、長期的な生産見通しも要求さ れることから、少量多品種かつ高性能の宇宙用半導体素子開発において、この方式の採用はもはや現実的ではな くなってきている。

本開発では、従来と対照的な手法である COT(Customer Owned Tooling) と呼ばれる生産方式を導入した。これ は、回路マスク設計とチップの生産を分離して発注する方式で、特に自社でファブを持たないメーカの大半はこ の方式を採用している。この方式を採用することで、性能・品質や歩留まりといった従来の手法では製造メーカ が保証していた部分で発注者側の負担が大きくなるが、コストの大幅削減や少量多品種の製造にも柔軟に対応可 能となる。本 MPU ではこの COT 生産方式を採用し、設計、製造、組立をそれぞれの専門業者に分離発注すること で開発を実現した。

#### 2.4 宇宙放射線対策

宇宙用半導体素子の開発で最大の課題となるのが放射線耐性確保のための手法である。従来のように宇宙専用 にチューニングされた特殊な製造プロセスによって実現する手法は、プロセスの微細化が進む現在ではコスト・ スケジュール的に現実的ではない。本開発では、これに代わる有効な手法として、製造プロセスは全く手を加えず、 回路設計時に組み込まれる Latch や Flip Flop 等の基本論理回路に改良を加えることで放射線耐性を向上させる 対策手法 (Radiation Hardness By Design: RHBD) を採用した。RHBD を適用した設計製造フローを図 2-4 に示す。 本手法では、基本セルライブラリとよばれる設計データ群の中で放射線対策が必要と考えられる箇所に対してあ らかじめ回路対策を施し、これを標準ライブラリの代わりに使用するため、設計データそのものに変更を加える 必要はない。従って、回路設計段階において設計者は、放射線対策について特別に意識する事なく設計を進める 事が可能である。また、回路設計に係るスケジュールにもインパクトを与えず、回路全体としての機能動作も保 証できる。ただし、デメリットとして、回路規模および消費電力の増大、動作速度の低下を招くことになり、実 際にはこれらのトレードオフとなる。

本手法を導入した結果、MPU 論理回路部では非常に強い放射線耐性(静止軌道上で数千万年に1回程度のエラー 発生頻度)を実現することが出来ている(表 2-2)。キャッシュメモリに関しては動作速度確保の観点からこの RHBD 手法を適用することは見送り、かわりにキャッシュ部で発生するエラーを確実に検出し訂正可能とする機構 を搭載した。



図 2-4 RHBD 手法を適用した設計製造フロー

運価ブロック	SRAM-PW (キャッシュメモリ)	SRAM-HS (キャッシュメモリ)	Latch 回路 (ロジック部)	PLL 回路
	504044		24551	1
MPU COD 使用致	594944	13128	34551	
飽和反転断面積 $\sigma$ sat [cm2/bit]	3. 16E-07	3. 28E-07	<1. 05E-9	4. 36E-07
しきい値 LET LETth [MeV/(mg/cm2)]	0. 46	0. 46	>40. 3	>3. 56
	太陽同期軌道(軌道	傾斜角 98.16deg. 高	度 692km)での SEU	発生頻度予測
太陽活動極小期 [SEUs/bit/day]	2. 28E-07	2. 33E-07	1.24E-15	1.96E-06
[SEUs/device/day]	1. 36E-01	1. 72E-02	4. 28E-11	1.96E-06
	(7.4日に1回)	(58.2日に1回)	(6390万年に1回)	(1390年に1回)
太陽活動極大期 [SEUs/bit/day]	9. 54E-08	9. 77E–08	2. 76E-16	7. 76E–07
[SEUs/device/day]	5. 68E-02	7. 20E–03	9.54E-12	7. 76E–07
	(17.6日に1回)	(139日に1回)	(2.87億年に1回)	(3530年に1回)
	静止軌道(軌道傾斜	角 0. 0deg,高度 360	OOkm)でも SEU 発生	頻度予測
太陽活動極小期 [SEUs/bit/day]	6. 66E–07	6. 80E-07	3.68E-15	5.88E-06
[SEUs/device/day]	3. 96E-01	5. 01E-02	1.27E-10	5.88E-06
	(2.5日に1回)	(19.9日に1回)	(2150万年に1回)	(466 年に1回)
太陽活動極大期 [SEUs/bit/day]	2. 36E-07	2. 41E-07	8. 26E-16	1.89E-06
[SEUs/device/day]	1. 40E-01	1. 78E-02	2. 85E-11	1.89E-06
	(7.1日に1回)	(56.3日に1回)	(9600万年に1回)	(1450年に1回)

表 2-2 MPU 搭載要素回路の放射線耐性評価結果と代表的な軌道でのエラー発生頻度予測

# 2.5 開発スケジュール

全体の開発スケジュール(実績)を図 2-5 に示す。

平成14年度より回路設計に着手し、要素技術開発を経て平成17~18年度にかけて開発確認試験(具体的試験内容に関して2.6項参照)および諸特性評価試験(2.7項参照)、JAXA認定審査を実施した。これにより設計製造ともに問題のないことが最終的に確認され、JAXA認定審査を経て平成19年3月8日付けで認定が完了した。



図 2-5 全体開発スケジュール (実績)

#### 2.6 開発確認試験

開発確認試験で実施した試験項目とサンプル数を表 2-2 に示す。試験内容、条件および方法については NASDA-QTS-2010 に準拠とし、MIL-STD-883F method 5004 も参考に検討した。また、工程内のデータで代替できる項目や、 既開発品と同一要素であることから評価済みで問題ないと判断される項目(具体的にはグループ B 試験全体およ びグループ C 試験のサブグループ 2)については、ここでの実施は省略し、これらのデータで置き換えることとした。 スクリーニング試験で選別されたデバイスに対して表 2-3 に示す全試験を実施した結果、いずれも不良の発生は なく、各試験実施後の電気特性値の変動も規格値に対して十分にマージンがあることを確認した。各特性のサン プル間でのばらつきも平均値の 10%以下と小さく、問題ないレベルであることを確認した。この結果より、本 MPU の設計、製造ともに問題のないことが確認された。

#### 2.7 諸特性評価試験

本 MPU の特性、環境限界を評価する目的で、諸特性評価試験(電気特性の評価)および高温バイアスおよび温 度サイクルによる加速寿命試験を実施した。ここで取得したデータは、適用データシートに記載される。諸特性 評価試験の項目に関しては、MIL-STD-883 および既開発品の NASDA-R4901-IDFPR で実施した諸特性評価試験項目 を基に検討を行い、静特性試験、機能試験、スイッチング試験、出力バッファ回路部の特性試験、温度一動作電 流特性試験、動作周波数一動作電流特性試験を実施し、これらの結果を適用データシートに記載した。加速寿命 試験に関して、高温バイアス条件下で 1000 時間の試験を実施し、この結果から予測故障率を導出した(表 2-4)。

#### 2.8 設計開発ツール群の整備

システム設計者が MPU を使用して機器コンポーネントを開発する際、一般に ICE (In-Circuit Emulator)、リ アルタイム OS、コンパイラ / デバッガ、評価ボードといった一連の開発支援環境が必須となる。本開発では、ユー ザの利便性を考慮し、MPU 自身の開発と並行してこれら開発環境の整備も実施した。開発した一連のハードウェ ア (ICE, 評価ボード)を図 2-6 に示す。ソフトウェアとしては、uITRON4.0 をカーネルとしたリアルタイム OS とコンパイラ・デバッガを整備した (図 2-7)。

#### 2.9 宇宙実証計画

小型実験衛星等での実証機会を積極的に活用し、軌道上での実績データの蓄積を図ることは、導入されている新規技術の実力確認のために不可欠である。本 MPU では、軌道上での動作実証に向け、計算機ボード実験システムの製造を現在進めている。図 2-7 は、SOHLA-1 へ搭載される予定の本 MPU の評価用ボード (Advanced Micro processing In-orbit experiment system: AMI)である。本ボードは、リソースの制約から25MHz 動作の仕様となってはいるが、軌道上での動作確認と放射線によるデータ反転や誤動作の発生についてデータ取得を実施する計画である。また、小型実証衛星1型(SDS-1)では、この AMI を機能拡張し、最高動作周波数である200MHz での動作実証をするコンポーネントを搭載する計画である (図 2-8, 2-9 参照、H20.3 現在、製造を完了し環境試験実施中)。このコンポーネントには、MPU の他に本報告書でも述べている JAXA 開発 36Mbit 同期式 SRAM と DC/DC コンバータも搭載し、あわせて動作実証を行う計画である。

テストグループ&サブグループ		項目			サンプル数	
_	Sub-Group 1 Sub-Group 2			<b>士</b> // 林士 卜山	TA=25°C	
Group A			1	前将任	TA=Max.	1
	Sub-Group 3		またと	正八词火	TA=Min.	- 46
	Sub-Group 7		電気的    パラメニタ	機能	TA=25°C	
	Sub-Group 8			試験	TA=Max. & Min.	
	Sub-Group 9			フィッチング	TA=25°C	
	Sub-Group 10			スイッテンク	TA=Max.	
	Sub-Group 11			中人词失	TA=Min.	
	Sub Group 1	1a	定常寿命試験			22
Group C	Sub-Group I	1b	終止点電気的パラメー	タ試験		22
	Sub Group 2	3a	ESD 試験			
		3b	終止点電気的パラメー	タ試験		5
		1a	熱衝撃試験			
	Sub-Group 1	1b	温度サイクル試験			
		1c	耐湿性試験			
		1d	目視検査			
		1e	終止点電気的パラメー	タ試験		
Group D		2a	定加速度試験			
		2b	衝撃試験			
	Sub Group 2	2c	振動試験			
	Sub-Group 2	2d-1	気密性試験(ファイン)			15
		2d-2	気密性試験(グロス)			
		2e	目視検査			
		2f	終止点電気的パラメー	タ試験		
Group E	Sub Group 1	1a	定常状態放射線量試験			6
	Sub-Group I	1b	終止点電気的パラメー	タ試験		O I

# 表 2-3 開発確認試験実施項目およびサンプル数

# 表 2-4 加速寿命試験による予測故障率

使用温度	予測故障率 [FIT]
60°C	12
65℃	18
70°C	25
75°C	36
80°C	50
85°C	69





図 2-7 ソフトウェア開発環境 \*System: eBinder (eSOL) \*Kernel: uITRON 4.0 \*Compiler: GCC for MIPS

図 2-6 ICE および MPU 評価ボード \*Advice Plus (YDC)



図 2-7 SOHLA-1 搭載 MPU 評価コンポーネント



図 2-8 小型実証衛星 (SDS-1) 搭載予定 MPU 評価コンポーネント 概観



図 2-9 小型実証衛星 (SDS-1) 搭載予定 MPU 評価コンポーネント 内部基板

# 3. 宇宙用バースト SRAM

#### 3.1 背景

画像データのオンボード処理など、大容量の情報を高速に処理できる宇宙用高速搭載コンピュータを実現する ために JAXA が開発した 320MIPS64bitMPU は宇宙用としては最高性能を有する(MPU コア 200MHz 動作、メモリイ ンターフェース 100MHz 動作)。しかし周辺回路の速度が向上しなければシステムとしての性能向上を実現するこ とは困難である。特にメモリデバイスには、MPU のデータバススピードと同等の高速動作が要求される。 宇宙用計算機システムを構築するためのメモリとしては、簡潔な構成で低消費電力化が容易という点から非同期 式 SRAM が用いられているが、非同期式 SRAM は 100MHz 以上のデータバスによる高速アクセスには対応できない。 そこで上述の MPU の性能を引き出すため、大容量かつ高速な宇宙用 BSRAM の開発を行った。BSRAM とはクロック に同期して動く SRAM であり、アドレスの取込み、データの出力等全てクロックに同期して行われる為、同期設計 が容易であり高速動作に向いている。

平成15年度よりフィージビリティスタディを開始した。要素技術検討、回路検討、試作評価、開発確認試験 を経て平成20年度末に開発を完了し、36Mbit、最大動作周波数100MHz、現時点としては最高性能の宇宙用BSRAM を実現した。

### 3.2 主要諸元

開発した BSRAM の主要諸元を表 3-1 に、320MIPS64bit MPU との接続イメージを図 3-1 に、外観写真を図 3-2 に示す。

項目	仕様
サイズ	35.5×30×4mm(リード、フランジ除く)
質量	30g(標準値)
メモリ容量	• 36Mbit
(マルチチップ)	(512Kword $ imes$ 64bit + 8bit ECC)
	• 20Mbit
	(512Kword $ imes$ 32bit + 8bit ECC)
電源電圧	I/O : 3.3V, Core : 1.8V
動作温度範囲	Ta=-40 to 85 °C
最大動作周波数	100 MHz
接続方法	320MIPS 宇宙用 64bit MPU に直結可能
特徴	・単サイクル選択解除機能
	・バーストシーケンス選択機能 (MODE)
	・読出し遅延サイクル数選択機能 (DOT)
	・スリープモード (ZZ)
	・部分活性化機能 (IH)
耐放射線性	• SEL > 64 [MeV/(mg/cm <sup>2</sup> )]
	• SEU > 40 [MeV/(mg/cm <sup>2</sup> )]

表 3-1 主要諸元





図 3-2 宇宙用 BSRAM 外観写真

#### 3.3 開発方式·開発要素

宇宙用 BSRAM を開発する上で考慮した点は、(1) 一般民生プロセスを変えずに製造できること、(2) 放射線対策 がなされていること、及び(3) 民生の実装技術を適応し大容量かつ小型化を図ること、である。

#### 3.3.1 COT 生産方式

320MIPS64bitMPUで実績がある COT (Customer Owned Tooling) 生産方式を導入した。COT 生産方式とは半導体部 品の生産方法の一つで、デザイン設計・チップ製造・組立・検査を別々の専門会社が担当する。少量かつ多品種 の宇宙用半導体部品の生産方法に適した方法である。この方法により、宇宙用に設計したデザインを一般民生の 製造ラインにおいて製造することができる。

#### 3.3.2 放射線対策

宇宙用半導体部品で最大の課題は耐放射線性を確保することである。従来は宇宙用に特化した特殊な製造プロ セスにより対応していたが、近年設計ルールの微細化に伴いプロセスの微細化がすすみ、対応した製造設備の構 築・維持費用が増大した。このような中で少量多品種の宇宙用半導体部品専用の製造ラインを維持管理すること は現実的ではない。また、コスト・スケジュールの点から引き受けメーカも無い状況である。

従来に変わる手法として HBD (Hardness by Design) とよばれる方法が有効であり、320MIPS64bitMPU の開発に おいてまず適応し、成功を収めた。宇宙用 BSRAM でも同様に HBD を採用した。HBD とは、製造プロセスは変更せ ずにデザインによって放射線耐性(特に SEU<sup>1)</sup>/SET<sup>2)</sup> 耐性)を向上させる手法である(詳細は 2.4項「宇宙放射線 対策」を参照)。上述の COT 生産方式において HBD を用いることにより、民生の従来製造プロセスを変更すること なく、デザインの中に放射線耐性を盛り込ませることが可能となった。なお、MPU の製造に使用したシリコンファ ンドリィの 0.18umCMOS プロセスは充分な SEL<sup>3)</sup> 耐性を有することが確認済みである。TID<sup>4)</sup> 対策としては、宇宙 用高信頼性パッケージによる遮蔽が効果的である。

- <sup>1)</sup> SEU: Single Event Upset
- <sup>2)</sup> SET: Single Event Transient
- <sup>3)</sup> SEL: Single Event Latch-up
- <sup>4)</sup> TID: Total Ionizing Dose

#### 3.3.3 マルチチップ及びチップ積層(三次元)構造

まず一般民生用 SRAM マクロを使用したレイアウトの検討とメモリ容量とチップサイズに関する検討を行った 結果、1 チップの大きさは約 10mm × 10mm、メモリ容量は 9Mbit であった。MPU と組み合わせて使う際には、4 チッ プを1 パッケージに搭載したメモリモジュールとして使用する。 そこで、民生の最先端の実装技術を宇宙用高信頼アセンブリに適用し、4 チップを1 個のパッケージにアセン ブリするための構造及びプロセスの検討を行った。構造については実装面積が極力小さくなるように、チップを 積層する方式を採用した。その結果、1 パッケージ中に2 チップ×2 段積層の計4 個、トータル 36Mbit の宇宙用 BSRAM を実現できた。

#### 3.4 開発スケジュール

全体の開発スケジュールを図 3-3 に示す。

平成15年度より開発に着手し、要素技術検討(BSRAMの仕様検討、レイアウト検討、積層構造の検討・確立)を経て、 平成19年7月10日にQTサンプル製作移行前審査会を実施し、QTサンプルを製造するための要件が全て満たさ れていることを確認した。その後、開発確認試験及び諸特性評価試験を実施し、JAXA認定を申請した。JAXA認定 品として設計・製造ともに問題のないことが最終的に確認され、平成20年3月末日付で認定を取得できる見込 みである。



図 3-3 開発スケジュール

#### 3.5 宇宙用 BSRAM の仕様検討

宇宙用 BSRAM の仕様(回路構成)を検討した

- (1) 一般民生用バースト SRAM の基本仕様を全て取り込む。
- フロースルー/パイプラインモード、SCD モード/DCD モードの全機能を1チップ上に搭載し、それぞれの機能を選択できる制御ピンを設ける。
- (3) チップ積層を想定し、チップ間の信号のインターフェース回路を搭載する。
   (1チップのみが外部からの信号を 3.3V バッファで受け、自分自身及び他のチップに 1.8V バッファで
   配信。)
- (4) 積層化した際、1 チップ中の一部ビットのみ使用するケースがあり、消費電力削減のため、使用しないビットを構成する SRAM マクロはスタンバイモードにする制御ピンを設ける。
- (5) 最大動作周波数は、パイプラインモードで100MHz(1チップ設計値)とする。
- (6) 有効回路面積を広く確保するため、IO バッファをチップ2辺に配置、また1辺に多くのパッドを配置す るためスタガパッドを使用する。
- (7) 320MIPS 級 64bitMPU の AC スペック(入力データの Setup/Hold 等)に適したタイミング設計を行う。

# 3.6 宇宙用 BSRAM の設計

# 3.6.1 回路設計

3.2 項に述べた検討結果をもとに、宇宙用 BSRAM の回路設計を行った。 表 3-2 に入出力ピン一覧(電源/GND を除く)、図 3-4 に全体構成図をそれぞれ示す。

	信号名	I/O	バッファ	説明
	CLK	I	3.3V	クロック
1	CLK_IB	Ι	1.8V	
	CLK_OB	0	1.8V	
	A[18:0]	Ι	3.3V	アドレス
2	A[18:0]_IB	Ι	1.8V	
	A[18:0]_OB	0	1.8V	
	XADV	Ι	3.3V	バースト・アドレス・アドバンス
3	XADV_IB	Ι	1.8V	
	XADV_OB	0	1.8V	
	XAP	Ι	3.3V	アドレス・ステータス・プロセッサ
4	XAP_IB	Ι	1.8V	
	XAP_OB	0	1.8V	
~	XAC	Ι	3.3V	アドレス・ステータス・コントローラ
5	XAC_IB	Ι	1.8V	
	XAC_OB	0	1.8V	
	XCE	Ι	3.3V	チップ・イネーブル
6	XCE_IB	Ι	1.8V	
	XCE_OB	0	1.8V	
	XCE2	I	3.3V	チップ・イネーブル
7	XCE2_IB	Ι	1.8V	
	XCE2_OB	0	1.8V	
	CE2	I	3.3V	チップ・イネーブル
8	CE2_IB	Ι	1.8V	
	CE2_OB	0	1.8V	
	XGW	I	3.3V	グローバル・ライト
9	XGW_IB	Ι	1.8V	
	XGW_OB	0	1.8V	
	MODE	<u>I</u>	3.3V	バースト・シーケンス選択
10	MODE_IB	Ι	1.8V	・ "1":インターリーブ
	MODE_OB	0	1.8V	・ "0" : リニア
	XG	I	3.3V	アウトプット・イネーブル
11	XG_IB	Ι	1.8V	
	XG_OB	0	1.8V	
	ZZ	I	3.3V	パワーダウン状態
12	ZZ_IB	I	1.8V	・ "1":パワーダウンモード
	ZZ_OB	0	1.8V	・"0": ノーマルモード
	DOT[1:0]	I	3.3V	データ出力タイミング選択
	DOT[1:0]_IB	I	1.8V	DOT[1] DOT[0] 内容
19	DOT[1:0]_OB	0	1.8V	0 0 F/F1 からの出力
19				0 1 F/F1d からの出力
				1 0 F/F2 からの出力
				1 1 F/F2d からの出力
				<ul> <li>・上述 F/F*の各名称は、図 3.2.1-3 中の"</li> </ul>
				内部 RAM データ選択"から引用。

表 3-4 宇宙用バースト SRAM の入出力ピン一覧

$\geq$	信号名	I/O	バッファ		説明		
	IH[1:0]	Ι	3.3V	イ	インヒビット制御		卸
					H[1][	H[0]	内容
					0	0	D[17:0]中全ビット使用
					1	1	D[17:0]中全ビット非使
							用
					上記	以外	D[17:0] 中 4 ビット
14							(D[3:0])のみ使用
				•	非選択	犬態の	D は、Hi-Z 状態になるの
				で	、任意の	の入力(	言号を与える必要有り。
15	D[17:0]	1/0	3.3V	デ	ータ		



図 3-4 宇宙用バースト SRAM の全体構成図

## 3.6.2 レイアウト設計

10mm □のチップ内に宇宙用 BSRAM のレイアウト設計を行った。フロアプラン及び配線状況を図 3-5 に示す。 I/0 バッファが配置される以外の有効回路領域内にはほぼ全面に SRAM マクロが敷き詰められている。

I/0 バッファはスタガ構造のパッドをチップ2 辺に配置した。このパッド間隔が、現状アセンブリをする上での限界のレイアウトである。スタガパッド配置の拡大図を、図 3-6 に示す。



図 3-5 レイアウト図

図 3-6 パッド配置

### 3.7 マルチチップ及びチップ積層用パッケージの開発

3.6項で設計した宇宙用 BSRAM チップを用いて高速・大容量化を実現するためのパッケージを検討した。パッケージは、高速、大容量化を実現するとともに、組立性、パッケージサイズ、ソケットとの相性などを考慮し、設計、開発及び製造を実施した。図 3-7 にパッケージの外観を示す。



図 3-7 パッケージ外観

# 3.8 積層アセンブリの検討

積層構造の最適化に関しては、以下の事項を考慮して検討を実施した。

①下段 BSRAM のボンディングワイヤと上段 シリコンとのギャップ

②上段 BSRAM のボンディングワイヤとリッドとのギャップ

を確実に確保すること。

それぞれについて、MIL-STD-883 に基づく導体間の最低ギャップが必ず確保できるように、試作時のデータ及び測定値のバラツキを加味して最適化を行った。

図 3-8 にチップを搭載したパッケージの外観、図 3-9 にワイヤボンディングを実施した例、を示す。



図 3-8 積層構造概略



図 3-9 ワイヤボンディングの実施例

#### 3.9 開発確認試験

開発確認試験の試験内容、条件及び方法については JAXA-QTS-2010 付則 C「認定試験及び品質確認試験の手順」 及び MIL-STD-883 に基づき決定した。また、①製品の組立工程で実施する工程内検査の結果を活用する、及び② 既開発品(320MIPS64bitMPU)と同一要素であることから評価がなされていると判断できることにより試験の省略 ができるものについて効率化を図った。(グループ B 試験全体及びグループ C 試験サブグループ 2) 開発確認試験の試験項目とサンプル割付数を表 3-3 に示す。

スクリーニング後のデバイスに対して試験を実施した結果、いずれの試験においても不良の発生はなく、各試験 実施後の電気特性値の変動も規格値に対して十分にマージンがあることを確認した。各特性のサンプル間での変 動も十分に小さく、問題が無いことを確認した。この結果より、本 BSRAM の設計、製造ともに問題のないことが 確認された。

テストグループ&サブグループ			項目		サンプル数	
	Sub-Group 1 Sub-Group 2 Sub-Group 3				TA=25°C	45
				静特性	TA=Max.	
			一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一		TA=Min.	
Crown A	Sub-Group 7		] 电気的 」パニュニタ	松松台ヒミナドを	TA=25°C	
	Sub-Group 8			17式月上 武功央	TA=Max. & Min.	
	Sub-Group 9				TA=25°C	
	Sub-Group 10		]	スイッチング	TA=Max.	
	Sub-Group 11		]		TA=Min.	
Group C	Sub Group 1	1a	定常寿命試験			22
Group C	Sub-Group 1	1b	終止点電気的	パラメータ試験		
		1a	熱衝撃試験			15
		1b	温度サイクル試験			
	Sub-Group 1	1c	耐湿性試験			
		1d-1	気密性試験(ファインリーク)			
		1d-2	気密性試験(	グロスリーク)		
		1d	外部目視検査			
Crown D		1e	終止点電気的	パラメータ試験		
Group D	Sub-Group 2	2a	定加速度試験	15		
		2b	衝撃試験			
		2c	振動試験			
		2d-1	気密性試験(	ファインリーク)		
		2d-2	気密性試験(	グロスリーク)		
		2e	外部目視検査			
		2f	終止点電気的	パラメータ試験		
Group E	Sub-Group 1	1a	定常状態放射	線量試験		5
		1b	終止点電気的	パラメータ試験		

表 3-3 開発確認試験実施項目及びサンプル割付表

#### 3.10 諸特性評価試験

BSRAMの特性、破壊限界、寿命等の実力値を見極めるため環境限界を評価する目的で、諸特性評価試験(電気特性評価)および高温バイアスおよび温度サイクルによる加速寿命試験を実施した。

電気的特性評価項目は MIL-STD-883 及び 320MIPS64bit MPU の開発時に実施した評価項目を基に検討した。取得し たデータは、適用データシート (ADS) に記載される。

また、予測故障率の算出について、CMOS LSI の場合、機能が異なっていても製造プロセスが同一であれば、品質 はほぼ同じと考えられる。BSRAM においては 320MIPS64bitMPU と同じファンドリィでマルチウェハとして同時に 製造されている。従って、BSRAM の故障率をもとめる際、MPUの各寿命試験データを積算して使用することができる。 それぞれの寿命試験の温度による加速率、及び電圧による加速率を算出し、予想故障率(信頼度水準 60%)をも とめた。(表 3-4)。

使用温度	予測故障率 [FIT]
<b>60</b> °C	10
<b>65</b> ℃	15
<b>70</b> °C	21
<b>75</b> °C	30
<b>80</b> °C	41
<b>85</b> °C	57

表 3-4 寿命予測試験結果

#### 3.11 軌道上実証計画

現在は認定試験が完了したばかりであり、今後衛星等での実証段階へ移行する。 小型実証衛星(SDS-1)に搭載しての実証データ取得の他、科学本部の衛星(Planet-C)等への搭載が予定されている。

#### 3.12 まとめ

HBD 技術を適用することにより、一般民生用ラインを用いて現時点で世界最高性能の高速大容量(100MHz、 36Mbit)の宇宙用 BSRAM を開発することができた。また、民生の実装技術を適用することにより、1パッケージ 中に2チップ積層×2組のアセンブリが実現できた。

このBSRAMは320MIPS64bitMPUに対応しており、組み合わせて使用することで、システムの性能向上が期待できる。

# 4. 宇宙用 DC/DC コンバータ

# 4.1 背景

人工衛星における電力は、太陽電池等から得られ、衛星バスへと供給される。衛星バスの電圧は電力分配による損失を低減するために、50V または100V となっているが、衛星システムで使用される電圧はより低い電圧である。人工衛星等の宇宙機において DC/DC コンバータは、衛星バスの電圧を任意の電圧に変換し、各システムに電力を供給する電源として用いられるものである。

#### 4.2 主要諸元

表 4-1 に基本モデルとして開発した DC/DC コンバータの主要諸元を示す。

No.	項目	仕様
1	サイズ	58×40×17mm(リード、フランジ除く)
2	質量	125g(標準値)
3	入力電圧範囲	+26~+55VDC(定格:50VDC)
4	出力電圧(2系統)	$\pm 15V$
5	出力電流(定格)	1.3A (+15V 側、-15V 側ともに同じ負荷電流)
6	保護	・出力過電流保護
		・出力過電圧保護
7	外部 ON/OFF 制御	あり (on/off 端子を GND に接続で off、OPEN で ON)
8	同期信号出力	あり(1kΩ のプルアップ抵抗を用いて+15V 出力に接続)
9	絶縁耐圧(1次2次間)	500VDC 以上
10	絶縁抵抗(1次2次間)	10MQ 以上
11	スイッチング周波数	85kHz typ

表 4-1 主要諸元

#### 4.3 開発スケジュール

平成11年度より開発に着手し、要素技術開発、基本モデル開発、QTサンプルの製作を経て開発確認試験に移行し、 認定を取得した。開発スケジュール(実績)を図4-1に示す。

1999 (H11)	2000 (H12)	2001 (H13)	2002 (H14)	2003 (H15)	2004 (H16)	2005 (H17)	2006 (H18)	2007 (H19)
	要素技	術開発						
	基本ギ	モデル開発						
		QT サン	- プル製作		開発	確認試験		認定

図 4-1 開発スケジュール (実績)

#### 4.4 要素技術開発(シートトランス)

DC/DC コンバータに使用される通常のトランスは、フェライトコアにマグネットワイヤを巻いたもので、はんだ付けにより周辺回路基板へ接続される。しかし、この構造は振動や衝撃による接続破断等の不具合が発生する可能性があり、大きな加速度がかかる宇宙機に使用するには信頼性が不十分であるという問題点があった。

そこで、本 DC/DC コンバータでは、シートトランスを採用することとした。シートトランスは、トランスの巻線 部分を積層 PWB(本 DC/DC コンバータでは 30 層程度)に置き換えた構造のものである。回路パターンとトランス を一体にすることで、トランスのワイヤと周辺回路基板とのはんだ接合部の排除を実現している。開発したシー トトランスを図 4-2 に示す。

丸穴の空いた箇所をフェライトコアにより上下から挟み込むことにより、トランスあるいはリアクトルを実現 することが可能となる。本 DC/DC コンバータに使用される全ての巻線部品は以上の構造で実現されている。



図 4-2 シートトランス

また、シートトランスを含む積層プリント配線板の両面に部品を実装することにより、小型化も実現している。 シートトランスを含む積層プリント配線板には、小パワー部品を実装するものとした。大パワーの部品の内パワー MOSFET等は放熱を考慮し、別の基板(サブストレート)を設け実装することとした。

#### 4.5 要素技術開発(1chipICの開発)

DC/DC コンバータに使用される部品は大きく分けて、直接電圧変換に関わる大パワーの部品(トランス,パワー MOSFET,リアクトル等)と、それら部品の制御及び各種保護等に関わる小パワーの部品に分けられる。小パワー の部品については、それぞれの部品サイズは小さいが、数量が多く、DC/DC コンバータのサイズ小型化の障害と なる。

そこで、一部の小パワー部品を1チップ化することにより、DC/DC コンバータの小型化を目指した。1チップ化 に際しては、DC/DC コンバータ全体の回路構成の内、1チップ化できる回路部品の検討を行い、その結果、主に1 次側の起動回路及び保護回路が1チップ化可能であると判断した。開発した1chipICの外観を図4-3に示す。 また、1chipICをパッケージに実装する際、DC/DC コンバータの動作を制御する PWM-IC をベアチップの状態で同 ーのパッケージに収めることにより、更なる小型化を目指した。1パッケージ化した IC の外観を図4-4 に示す。



図 4-3 1chipIC

図 4-4 1パッケージ IC

1chipICについては、電気特性及び諸機能の評価を行い、問題の無いことを確認した。1chipIC開発及び1パッケージ化により、部品総数3割減、実装面積7割減とすることができた。

#### 4.6 要素技術開発(専用パッケージ)

本 DC/DC コンバータは、フェライトコアを取り付けた積層プリント配線板(一体型シート基板(上基板))とパワー MOSFET 等を実装する下基板とをそれぞれ上下に配置した内部2段重ね構造とすることで、実装密度を高め小型化 を図ろうとするものである。このため、パッケージは、上下基板の2段重ね構造に適した構造である必要がある。 また、信頼性を考慮すると従来から宇宙用として実績のあるフラットリードタイプの気密封止パッケージとする ことが望ましい。

以上を踏まえた上で、パッケージ材料、リードピン、形状等の検討を行い、仕様を決定した。試作したパッケージを図 4-5 に示す。本パッケージについては、熱衝撃試験、機械衝撃試験等の耐環境試験を行い、問題の無いことを確認した。



図 4-5 パッケージ外観

#### 4.7 基本モデル開発

基本モデルの開発にあたり、入出力条件の設定が必要となる。そこで、ユーザーとなるシステムメーカに対し て、入出力条件について使用状況の調査を行い、最も使用状況の多い条件を選定することとした。入力条件は26 ~55V(定格50V)、出力条件は+5V/8A(40W)及び±15V/1.3A(40W)が使用状況として最も多い結果となっ た。これを踏まえ目標とする電気的特性仕様を検討した。目標電気的特性の検討結果を表4-2に示す。試作した 基本モデルについては、電気的特性評価を行い、ノミナル効率として約87%を得た。

表 4-2 目標電気的特性

項目	仕様
入力電圧範囲	$+26 \sim +55 V$
出力電圧範囲	$\pm 15V \pm 2\%$
最大出力電流	1.3A(各出力毎)
効率	90%以上
出力リップル電圧	150mVp-p以下
保護機能	過電流保護/過電圧保護/突入電流保護
その他機能	外部同期出力信号/外部 ON/OFF 機能

#### 4.8 QT サンプル製作

QT サンプルの製作にあたっては、基本モデルの評価を通じて得られた課題を改善するために、設計の最適化を 行うこととした。主に以下について設計の最適化を行った。

①専用パッケージの検討

:パッケージの高さ低減及び軽量化を目的とした検討。

②回路設計の見直し

:動作不良及び効率改善等を目的とした回路設計の見直し。

③下基板の検討

:上下基板間の接続方法の最適化を目的とした接続方法の見直し。

④一体型シートトランス・リアクトルの検討

- : 主に電気的特性改善を目的とした巻線パターン設計の見直し。
- ⑤コア接着方法の検討

: 耐環境性を考慮したコア接着方法の検討。

パッケージについては基本モデルと比較して、高さは約3.4mmの薄型化、質量は、約54gの軽量化を図ることができた。その他についても見直し、検討結果をQTサンプルの製作に反映することとした。試作したパッケージを図4-6に示す。

#### 4.9 QT サンプルの製作

検討結果を反映して製作された QT サンプルの外観を図 4-7 に示す。また、概略内部構造を図 4-8 に示す。図 4-9 にも示される通り、パワー MOSFET 等の大パワー部品を実装したサブストレートが実装されたパッケージと、 トランスと共に表面実装部品を実装したシートトランスが組み合わさった構造となっている。



図 4-6 パッケージ外観



図 4-7 外観





図 4-9 内部構造

### 4.10 開発確認試験

表 4-3 ~表 4-6 に示す試験を行い、問題の無いことを確認した。

表 4-3 グループ A 試験

サブ	項目	試験条件又は判定基準
グループ		
1	最終電気的パラメータ試験	個別仕様書による。
	(Tc=25℃)	
2	最終電気的パラメータ試験	個別仕様書による。
	(Tc=最高動作温度)	
3	最終電気的パラメータ試験	個別仕様書による。
	(Tc=最低動作温度)	

表 4-4 グループ B 試験

サブ	項目	試験方法	試験条件又は判定基準
グループ		(*1)	
1	外形寸法検查	2016	個別仕様書による。
	内部水蒸気量検査	1018	100℃で最大 5,000ppm の水蒸気含有量
2	耐溶剤性試験	2015	溶剤 a
	内部目視及び	2013 及び	—
	機械的検査	2014	
	ボンド強度試験	2011	条件 C 又は D
	ダイ剥離試験	2019	—
3	はんだ付性試験	2003	$245^{\circ}C \pm 5^{\circ}C$
4	リード強度試験	2004	条件 B2
	気密性試験	1014	条件 A2
			条件 C1

(\*1): MIL-STD-883 の試験方法番号を示す。

サブ	項目	試験方法	試験条件又は判定基準
<i>yw</i> - <i>y</i>		(*1)(*2)	
1	定常動作寿命試験	1005	個別仕様書による。
			(ケース温度 125℃、1000 時間)
	終止店電気的		個別仕様書による。
	パラメータ試験		
2	外観目視検査	—	方法 2009 の検査基準による。
	粒子衝突雑音検出	2020	条件 A
	温度サイクル試験	1010	条件 C 100 サイクル
	衝撃試験	213	条件 C 6 軸
	振動試験	2007	条件 A 3 軸
	気密性試験	1014	条件 A2
			条件 C1
	粒子衝突雑音検出	2020	条件A
	外観目視検査	_	方法 1010, 2002 及び 2007 の検査基準による。
	終止点電気的	—	個別仕様書による。
	パラメータ試験		

表 4-5 グループ C 試験

(\*1):4桁の数字はMIL-STD-883の試験方法番号を示す。

(\*2):3桁の数字はMIL-STD-202の試験方法番号を示す。

サブ	項目	試験方法	試験条件又は判定基準
グループ		(*1) (*2)	
1	熱衝擊試験	1011	条件 B 15 サイクル
	温度サイクル試験	1010	条件 C 100 サイクル
	耐湿性試験	1004	
	気密性試験	1014	条件 A2
			条件 C1
	目視検査	_	方法 1004, 1010 及び 1011 の検査基準による。
	終止点電気的パラ	—	個別仕様書による。
	メータ試験		
2	衝擊試験	213	条件 C 6 軸
	振動試験	2007	条件 A
	粒子衝突雑音検出	2020	条件 A
	気密性試験	1014	条件 A2
			条件 C1
	目視検査	_	方法 2002 及び 2007 の検査基準による。
	終止点電気的パラ	—	個別仕様書による。
	メータ試験		
3	塩気試験	1009	条件 A
	目視検査		方法 1009 の検査基準による。

表 4-6 グループD 試験

(\*1):4桁の数字はMIL-STD-883の試験方法番号を示す。

(\*2):3桁の数字はMIL-STD-202の試験方法番号を示す。

#### 4.11 諸特性評価試験

サンプルの破壊限界、寿命等の実力値を見極めるための確認試験という位置付けで諸特性評価試験を実施した。 詳細を以下に示す。

(1) 破壊限界試験1

本試験は、熱的ストレスと機械的ストレスの複合試験に対する実力値を確認するために実施したものである。 熱的ストレスに温度サイクル,機械的ストレスに振動試験を適用し、熱的及び機械的ストレス印加後に電気的パ ラメータ試験(常温)を実施した。結果を表 4-7 に示す。

試験順序	項目	試験条件	試験結果
			(*1)
1	温度サイクル	MIL-STD-883 Method 1010 条件 C	0/3
		-65~+150℃ 1000 サイクル	
2	振動試験	MIL-STD-883 Method 2007 条件 A	0/3
		20G Sin 波 20~2000Hz 3 軸 4 回	
3	ランダム振動	MIL-STD-202 Method 214 条件Ⅱ	0/3
		27.78Grms ランダム 50~2000Hz 3 軸 4 回	
4		MIL-STD-202 Method 214 条件Ⅱ	0/3
		34.02 Grms ランダム 50~2000Hz X軸 4回	
5		MIL-STD-202 Method 214 条件Ⅱ	0/3
		34.02 Grms ランダム 50~2000Hz Y軸 4回	
6		MIL-STD-202 Method 214 条件Ⅱ	1/3
		34.02 Grms ランダム 50~2000Hz Z軸 4回	

	表 4-	7 破	速限界	試験 1	. 結果
--	------	-----	-----	------	------

(\*1):電気的パラメータ試験の結果(不良数/試験数)を示す。

ランダム振動の Z 軸については、34.02Grms で 3 個中 1 個の不良が発生しているものの、ランダム振動 27.78Grms (3 軸) 温度サイクル1000 サイクル及び温度サイクル試験後の振動試験(20G, Sin波) について耐性のある事が確認できた。

(2) 破壞限界試験 2

本試験は、機械的ストレスに対する実力値を確認するために実施したものである。 機械的ストレス印加には、ハイブリッド IC や本 DC/DC コンバータに適用している機械衝撃試験を採用した。試験 は、MIL の条件に基づいてステップストレスを印加し、サンプルが破損するまで実施した。結果を表 4-8 に示す。

表 4-8 破壊限界試験 2 結果

項目	試験条件	試験結果
		(*1)
機械衝撃(1)	MIL-STD-202 Method 213 条件 D	0/3
	500G 1.0ms Half-sine 6 軸	
機械衝撃(2)	MIL-STD-202 Method 213 条件 E	0/3
	1000G 0.5ms Half-sine Y1, Y2方向	
機械衝撃(3)	MIL-STD-202 Method 213 条件 E	3/3
	1000G 0.5ms Half-sine Z2 方向	

(\*1):内部目視及び電気的パラメータ試験の結果(不良数/試験数)を示す。

試験の結果、機械的ストレスに対する実力値は、6軸方向を考えた場合500G程度まではあることが判った。また、 X及びY軸と比較してZ軸の機械衝撃耐性が低く、X及びY軸についての機械衝撃耐性の実力値は、1000G程度まではあることが判った。

(3) 寿命予測試験

本試験は、信頼性の実力値を確認するために実施したものである。 寿命試験条件は、開発確認試験で適用している条件と同一の+125℃,1000Hとし、本寿命試験を2回実施した。 本試験に供試したサンプルは、開発確認試験のGr.C1にて定常動作寿命試験を実施したサンプルであるため、積 算寿命試験時間は、それぞれ2000H,3000Hとなる。結果を表4-9に示す。

項目	試験条件	試験結果 (*1)
寿命試験(1)	Tc=+125℃ Vin=50V Iout=1.3A 1000 時間(積算 2000 時間)	0/3
寿命試験(2)	Tc=+125℃ Vin=50V Iout=1.3A 1000 時間 (積算 3000 時間)	0/3

表 4-9 寿命予測試験結果

(\*1):電気的パラメータ試験の結果(不良数/試験数)を示す。

試験の結果、寿命試験を 3000H まで実施しても本 DC/DC コンバータは破損しないことが判り、十分な信頼性を 有していることが確認できた。

#### (4) EMC 試験

本試験は、EMC 特性の実力値を確認するために実施したものである。 本試験ではDC/DC コンバータとして最も重要視される伝導エミッション(CE03)について評価を行った。伝導エミッ ション測定とは、入力電源ラインに流れるノイズを測定するもので、通常は電流プローブを電源ラインに装着し、 スペクトラムアナライザで測定される。

尚、本評価の適用規格は以下の通りである。

適用規格:MIL-STD-461C CE03 NARROWBAND EMISSIONS

図 4-10 に示す構成の EMI フィルタを DC/DC コンバータの入力ラインに取り付け、試験を行った結果、規格を満 足することが確認できた。試験結果を図 4-11 ~図 4-12 に示す。

#### (5) 耐放射線性試験

本試験は、耐放射線性(トータルドーズ)を評価するために実施したものである。結果を表 4-10 に示す。また、 照射中の入力電流変化及び出力電圧変化の代表例を図 4-13 ~図 4-15 に示す。

これより、入力電流が10数mA上昇する等の変動が見られるものの、出力電圧が著しく変動もしくは遮断することはなく、問題なく動作していることが判る。

表 4-10 トータルドズ試験結果

項目	試験条件	試験結果 (*1)
トータルドーズ	MIL-STD-883 Method 1019 条件 A 線源: Co-60 $\gamma$ 線 照射線量: $1 \times 10^5$ rad (Si) 線量率: $2 \times 10^5$ rad (Si) /h サンプル動作条件: 定格 (Vin=50V Iout=1.3A)	0/5

(\*1):照射中のモニタ及び電気的パラメータ試験の結果(不良数/試験数)を示す。







図 4-11 伝導エミッション (フィルタあり Vin=50V Iout=1.3A HOT 側)



図 4-12 伝導エミッション (フィルタあり Vin=50V Iout=1.3A RTN 側)



図 4-13 照射中の入力電流変化



図 4-14 照射中の出力電圧(+Vo)変化



図 4-15 照射中の出力電圧 (-Vo) 変化

# 5. パワー MOSFET

#### 5.1 開発の背景

パワー MOSFET は、高速・低消費電力を特徴とするスイッチング素子であり、宇宙機において高効率の DC/DC コ ンバータや電力分配器等を実現するためのキーデバイスとして重要な役割を担っているが、その構造上重粒子イ オンによるシングルイベント現象が発生しやすい。民生用のパワー MOSFET はシングルイベント耐性が低く、か ねてより耐性の高い宇宙用のパワー MOSFET の開発が強く望まれていた。また、近年においては、宇宙用のパワー MOSFET の供給が米国の一社による独占状態となったことに加え、ITAR 規制の対象品であることなどから、今後 の調達が不安視されている。このような状況を受け、世界トップレベルの性能及び耐放射線性を有するパワー MOSFET を国内で調達することを目的として開発を開始した。

#### 5.2 主要諸元

表 5-1 にパワー MOSFET のラインナップを示す。現在のラインナップはすべて n-ch のパワー MOSFET である。表 5-2 に T0-254 パッケージ品の主要諸元を、表 5-3 に SMD パッケージ品の主要諸元を示す。また、パワー MOSFET の外観写真を図 5-1 に示す。仕様の検討にあたっては、国内外のユーザと意見交換を行い、ユーザ要求を考慮し たうえで確定した。

仕様の中でキーとなるパラメータはオン抵抗(Ros(on)、オン状態における抵抗)である。この値が小さいほど 損失が小さく熱の発生も抑えられるが、オン抵抗とシングルイベント耐性はトレードオフの関係にあり、高性能 かつ高いシングルイベント耐性を実現させることが開発の最大のポイントである。

パッケージ	T0-254				SMD2		SMD1		SMDO.	5		
定格電圧	Part No.	ID										
	JAXA R	(A)										
100V	2SK4048	42	2SK4049	42	2SK4050	15	2SK4217	42	2SK4218	42	2SK4219	15
130V	2SK4214	42	2SK4215	35	2SK4216	15	2SK4152	42	2SK4153	39	2SK4154	15
200V	2SK4051	42	2SK4052	33	2SK4053	14	2SK4155	42	2SK4156	32	2SK4157	14
250V	2SK4054	42	2SK4055	27	2SK4056	12	2SK4158	42	2SK4159	26	2SK4160	12
500V	2SK4185	23	2SK4186	10	2SK4187	4.5	2SK4188	23	2SK4189	10	2SK4190	4.5

表 5-1 パワー MOSFET ラインナップ





(a) T0-254 パッケージ品
 (b) SMD パッケージ品
 (左から順に SMD2、SMD1、SMD0.5)
 図 5-1 パワー MOSFET 外観写真

	_	_		_															_
$1_{a}=25$ °C	放射線耐性	SEE	V <sub>INS</sub> =定格			Y. LET=34. 7	$MeV/(mg/cm^2)^*$	range=102µm	V <sub>cs</sub> =-7.5V で破壊な	<u>ر</u>		Xe, LET=60.8	MeV/(mg/cm <sup>2</sup> )**	range=90 µm	V <sub>cs</sub> =-2.5Vで破壊な				
		TID	I									1 kGy							
		t <sub>d(off)</sub> (ns)	fの 50% 定格 R <sub>6</sub> =10Ω	X	190	100	65	190	100	65	190	100	65	190	100	65	190	90	70
		$t_{\rm d(on)}$ (ns)	V <sub>DS</sub> =定格 I <sub>DS</sub> =5 V <sub>GS</sub> =12V,	ma	65	40	30	65	40	30	65	40	30	65	40	30	85	60	55
		Q <sub>6</sub> (nC)	60% =12V		220	100	50	220	100	50	220	100	50	220	100	50	300	120	48
	该特性	$Q_{GD}$ (nC)	<sup>Ins</sup> =定格の 5 =定格、V <sub>os</sub>	тах	70	30	10	70	30	10	70	30	10	70	30	10	85	35	14
		$Q_{\rm 6S}$ (nC)	V I <sub>DS</sub>	31-	60	30	13	60	30	13	60	30	13	60	30	13	85	35	14
		$R_{ m DS(on)}$ (m $\Omega$ )	I <sub>D</sub> =定格の 50% V <sub>68</sub> =12V	max	18	33	69	24	46	96	33	69	155	45	98	230	180	480	1150
		$egin{array}{c} V_{GS(th)} \ (V) \end{array}$	$I_{\rm D}=1{\rm mA}$ $V_{\rm DS}=V_{\rm GS}$		2, 5 4, 5 <														
		$R_{th(ch-a)}$ (°C/W)	I	48	48.5	49	48	48.5	49	48	48.5	49	48	48.5	49	48	48.5	49	
		$R_{th(ch-c)}$ (°C/W)	I	I			2	0.5	1	2	0.5	1	2	0.5	1	2	0.5	1	2
	×	T <sub>stg</sub> (°C)	I		-55~ +150														
	最大定格	T <sub>ch</sub> (°C)	I									150							
	絶対	P <sub>D</sub> (W)	T <sub>c</sub> =25°C		250	125	62.5	250	125	62.5	250	125	62.5	250	125	62.5	250	125	60
		V <sub>GS</sub> (V)	T									$\pm 20$							
		(A)	I		42	42	15	42	35	15	42	33	14	42	27	12	23	10	4.5
		V <sub>DS</sub> (V)	I			100			130			200			250			500	
	Part No.	JAXA R	条		2SK4048	2SK4049	2SK4050	2SK4214	2SK4215	2SK4216	2SK4051	2SK4052	2SK4053	2SK4054	2SK4055	2SK4056	2SK4185	2SK4186	2SK4187

表 5-5 TO-254 パッケージ品 主要諸元

T.=25 °C

TID: Total Ionizing Dose, SEE: Single-Event Effect

\*: デバイス中の平均LET=38~40 MeV/(mg/cm<sup>2</sup>),

\*\*: デバイス中の平均 LET=64~66 MeV/(mg/cm<sup>2</sup>),

$T_a=25 \text{ °C}$	放射線耐性	SEE	V <sub>DS</sub> =定格		Y, LET=34.7 MeV/(mg/cm <sup>2</sup> )* range=102µm V <sub>cs</sub> =-7.5Vで破壊が し Xe, LET=60.8 MeV/(mg/cm <sup>2</sup> )** range=90 µm V <sub>cs</sub> =-2.5Vで破壊が															
		TID	I									1 kGy								
		$t_{\rm d(off)}$ (ns)	fの 50% 向格 R <sub>i</sub> =10Ω	IX.	190	100	65	190	100	65	190	100	65	190	100	65	190	06	70	
		$t_{d(on)}$ (ns)	V <sub>DS</sub> =定者 I <sub>DS</sub> =3 V <sub>GS</sub> =12V,	m	65	40	30	65	40	30	65	40	30	65	40	30	85	60	55	
		Q <sub>6</sub> (nC)	0% =12V		220	100	50	220	100	50	220	100	50	220	100	50	300	120	48	
	(特性	Q <sub>GD</sub> (nC)	<sup>IIS=定格の 5 =定格、V<sub>GS</sub>=</sup>	max	70	30	10	70	30	10	70	30	10	70	30	10	85	35	14	
	電気	Q <sub>6S</sub> (nC)	V I <sub>DS</sub>		60	30	13	60	30	13	60	30	13	60	30	13	85	35	14	
		$R_{ m DS(on)}$ (m $\Omega$ )	I <sub>0</sub> =定格の 50% V <sub>6s</sub> =12V	max	13	28	64	17	39	89	26	62	148	38	91	223	180	480	1150	
		$V_{GS(th)} (V)$	$I_{\rm D}^{\rm =}1{\rm mA}$ $V_{\rm ns}^{\rm =}V_{\rm cs}$	2.5~4.5																
		$R_{th(ch-c)}$ (°C/W)	I		0.5	0.83	1.67	0.5	0.83	1.67	0.5	0.83	1.67	0.5	0.83	1.67	0.5	0.83	1.67	
		T <sub>stg</sub> (°C)	I														Effect			
	大定格	$^{\mathrm{T}_{\mathrm{ch}}}_{\mathrm{oC}}$	I									150								e-Event
	絶対最	P <sub>D</sub> (W)	$T_c=25^\circ C$		250	150	70	250	150	70	250	150	70	250	150	70	250	150	70	EE: Single
		V <sub>GS</sub> (V)	I									$\pm 20$								lose, Sl
		$_{(A)}^{I_{D}}$	I		42	42	15	42	39	15	42	32	14	42	26	12	23	10	4.5	izing I
		V <sub>DS</sub> (V)	I			100			130			200			250			500		al Ion
	Part No.	JAXA R	条件		2SK4217	2SK4218	2SK4219	2SK4152	2SK4153	2SK4154	2SK4155	2SK4156	2SK4157	2SK4158	2SK4159	2SK4160	2SK4188	2SK4189	2SK4190	TID: Tot

表 5-3 SMD パッケージ品 主要諸元

\*: デバイス中の平均 LET=38~40 MeV/(mg/cm<sup>2</sup>), \*\*: デバイス中の平均 LET=64~66 MeV/(mg/cm<sup>2</sup>),

#### 5.3 開発スケジュール

平成9年度よりシングルイベント耐性向上のための検討に着手し、平成14年度よりターゲット仕様を設定した 開発を開始した。開発スケジュール(実績)を図5-2に示す。まず始めにSEE 耐性向上のための検討を行い、耐 性向上に有効なパラメータを特定した。次にDC/DCコンバータをターゲットとするMOSFET チップを開発後、パッ ケージ品の開発へと移行した。宇宙用部品として安定してデバイスを供給するために、少量多品種を効率的に製 作するための手法を検討しつつ、電圧定格、電流定格、パッケージ等につき徐々にラインナップを拡充してゆき、 全ての品種について認定を取得した。開発にあたっては、重イオンの照射試験により適宜SEE 耐性の評価を行い、 その結果を設計にフィードバックしながら開発を進めた。



図 5-2 開発スケジュール (実績)

#### 5.4 耐放射線設計

パワー MOSFET で発生するシングルイベントとしては、シングルイベントバーンアウト(SEB)及びシングルイ ベントゲートラプチャ(SEGR)があり、いずれも破壊モードである。まず、シミュレーション解析により、SEB 発生メカニズムの解明、及び重イオン入射によるデバイス中の電界強度及び収集電荷量と設計パラメータとの関 連を検討し、シングルイベント耐性向上に有効なパラメータを特定した。同時に、トータルドーズ耐性向上のた めの検討も実施した。次に、MOSFET サンプルを試作し、電気特性試験、重イオンによるシングルイベント耐性 評価試験、Co-60線源によるトータルドーズ耐性評価試験を実施してパラメータの最適値を確定するとともに、 異なる耐圧にも適用できるよう、耐放射線設計の標準化を行った。検討の結果得られた SEB 耐性向上のための MOSFET の設計手法は、日本及び米国の特許を取得している。

#### 5.5 少量多品種製作手法の確立

宇宙機に使用される電子部品は少量多品種の供給が要求されるため、QCI費用が高くなり、かつ製造ラインの 維持も難しい。そこで、一度の製造プロセスで少量多品種を生産できる手法を検討し、以下のような方法を確立 した。

・5.4項で確立した設計の標準化を用い、同一のマスク及びプロセスを用いて異なる耐圧の MOSFET チップを 製造する。 一度のウェハ工程に異なる結晶仕様のウェハを投入することで、複数の耐圧の MOSFET チップを同 時に生産することができる。

・3つのサイズのチップ(最大サイズ(1/1)、及びその1/2、1/4のサイズ)を同時に製作できるマスクを使用する。 この方法を用いることにより、一度のウェハ工程で複数種類(必要とする電圧定格の数×3サイズ)のチッ プを少量ずつ同時にすることが可能となった。また、結晶仕様、チップサイズが異なるだけでウェハ工程が 同一であるため、QCIの一部に他品種の結果を使用することが可能となり、QCI費用の低減も期待できる。

#### 5.6 パッケージへの組立検討

MOSFET チップを組み込むパッケージとしては、ユーザの要求もふまえてリードタイプの TO-254 及び表面実装 タイプの SMD を採用した。SMD パッケージのサイズはチップサイズに合わせて選定している。すなわち、1/1 サイ ズのチップを SMD2 に、1/2 サイズのチップを SMD1 に、1/4 サイズのチップを SMD0.5 に組み込んだ。パッケージ のチップ搭載可能エリアに対してチップが比較的大きく、また SMD パッケージではパッケージ高さが低くボンディ ングワイヤのループ高さに制限があることから、歩留まりを下げることなく安定して組立を行うための検討を行 い、材料、組立条件等を確立するとともに治具の工夫等を実施した。

#### 5.7 各品種の開発

#### 5.7.1 低電圧 TO-254 パッケージ品の開発

まず始めに、もっともユーザからの要求が強かった 100V、200V、250V の TO-254 パッケージ品の開発を実施した。 開発当時の共通仕様書 (JAXA-QTS-2030B) に基づいて開発確認試験を実施した。試験は問題なく完了し、3 つのチッ プサイズの合計 9 品種について認定を取得した。その後、5.7.2 項及び 5.7.3 項に示す MOSFET の開発にあわせて 130V 品をラインナップに追加し、現在は JAXA-QTS-2030C に基づいた 100V、130V、200V、250V 品の認定を取得し ている。、詳細については、個別仕様書(JAXA-QTS-2030/101)を参照のこと。

#### 5.7.2 低電圧 SMD パッケージ品の開発

次に、5.7.1項の MOSFET と同じチップを SMD パッケージに組み込んだ SMD パッケージ品を開発した。この際、ユー ザの要求を受けてラインナップに 130V 品を追加し、かつ品質保証レベルを JANS 相当とするため、MIL の共通仕 様書(MIL-PRF-19500N)に準拠した試験を実施した。試験は問題なく完了し 100V、130V、200V、250V の SMD 各パッ ケージ品について、MIL 仕様書の試験にも対応した JAXA の共通仕様書(JAXA-QTS-2030C)に基づいて認定を取得 した。開発確認試験の項目を表 5-4 に示す。詳細については、個別仕様書(JAXA-QTS-2030/102)を参照のこと。

#### 5.7.3 500V品の開発

低電圧 SMD パッケージ品の開発と平行して 500V の TO-254 パッケージ品及び SMD パッケージ品の開発を実施した。500V 品の設計手法は 5.7.1 項及び 5.7.2 項の低電圧品と同じであるが、より高い耐圧を実現するため、他の耐圧品とは若干構造が異なる。そのため、マスクは 500V 品専用のものを使用している。開発確認試験は、5.7.2 項と同様、MIL の共通仕様書に準拠した試験を実施した。試験は問題なく完了し、JAXA の共通仕様書(JAXA-QTS-2030C)に基づいて認定を取得した。開発確認試験項目は表 5-4 と同様である。詳細については、個別仕様書(JAXA-QTS-2030/103)を参照のこと。

#### 5.8 シングルイベント耐性の改善と評価

開発した MOSFET について、米国ローレンスバークレイ国立研究所にてシングルイベント耐性の評価試験を実施した。試験条件を表 5-5 に示す。SEB 試験の結果を表 5-5 に、SEGR 試験の結果を表 5-6 に示す。1回目の SEB の試験では、SEB の発生は観測されなかったものの、照射後に I<sub>GS</sub> のスペックアウトがみられた。また、1回目の SEGR 試験では、Y 照射で 200V 品が V<sub>GS</sub>=-5V の条件で破壊し、100V 品及び 250V 品も V<sub>GS</sub>=-7.5V で 10 $\mu$ A 以上の I<sub>GS</sub> のリークまたは破壊現象が観測された。故障品の調査を実施したところ、MOSFET の非活性部にシングルイベント耐性の弱い領域が存在することが判明した。

そこで、SEE 耐性を更に向上させるため、この領域に電気特性や信頼性等に影響を与えない程度のわずかな改 良を施した。改良サンプルを試作し、2回目のSEE 試験を実施したところ、SEB 試験の照射後電気特性試験で IGS の増加は観測されなかった。また、SEGR 試験については、Y の照射において全てのサンプルで V<sub>GS</sub>=-7.5V まで 10μA以上の IGS のリーク及び破壊現象が観測されなかった。以上より、改良品のシングルイベント耐性は、デバ イス中の平均 LET が 40MeV/(mg/cm2) 程度の条件において V<sub>DS</sub>=定格、V<sub>GS</sub>=-7.5V 以上であることが確認された。 開発確認試験は全て構造改善前のデバイスを用いて実施されているが、電気特性や信頼性等に影響を与えないわ ずかな改善であることから、試験の結果は有効である。今後の調達では改善構造を有するデバイスを供給する予

#### 5.9 今後の予定

定である。

平成19年度をもって n-ch パワー MOSFET の開発は完了した。今後は、この成果を活かし、ユーザ要求の強い p-ch パワー MOSFET 及び高効率 POL 電源の実現に不可欠である低電圧 n-ch パワー MOSFET の開発に着手する予定 である。

グループ	サブク	グループ	試験項目	グループ	サブグル	レープ	試験項目
А		2	静特性試験 (T <sub>a</sub> =25℃)	С		1	外形寸法試験
		3	静特性試験		2	а	熱衝撃試験(ガラス歪み)
			$(T_a = -55^{\circ}C, +125^{\circ}C)$				
		4	動特性試験 (T <sub>a</sub> =25℃)			b	熱衝撃試験
							(温度サイクル)
	5	а	安全動作領域試験			с	リード強度試験
		b	終止点電気的試験			d	耐湿性試験
	7		諸特性試験(T <sub>a</sub> =25℃)			е	気密性試験
В		1	外観寸法検査			f	終止点電気的試験
	2	а	はんだ付性試験		3	a	衝撃試験
		b	耐溶剤性試験			b	可変周波数振動試験
	3	b	熱衝撃試験(温度サイクル)			с	定加速度試験
		с	サージ試験			d	終止点電気的試験
			(ゲートショック、				
			「ハフンシェ」				赤れもにキーラクモム
	d		风省性訊號 效止占素/自動計驗		5 C		然抵抗迅速
		e	於止品电风的矾碘		0	a h	例
	g		内部日祝便宜及い機械的使 査			D	於止品电风的矾斔
			ボンド強度試験			с	ボンド強度試験
		h	SEM		7		内部水蒸気量検査
		i	ダイ剥離試験	D	2	а	耐放射線性試験
							(トータルドーズ)
	4	а	断続動作寿命試験			b	終止点電気的試験
		b	終止点電気的試験	Е	1	а	熱衝撃試験
							(温度サイクル)
	5	а	定常ゲートストレス試験			b	気密性試験
		b	終止点電気的試験			с	終止点電気的試験
		с	加速定常逆バイアス試験		2	а	定常バイアス印加寿命試
							験 (GS 印加)
		d	終止点電気的試験			b	終止点電気的試験
		e	ホンド強度試験			с	定常バイアス印加寿命試
			おわれてたとうわせん			<u> </u>	) 一
		0	<b>款抵</b> 抗訊駛			d	於止 <b></b> 出電気的訊號
					4		然抵抗試験
					6		减比試験
					6	a	
						D	於止 品 電 ス 的 試 願

表 5-4 開発確認試験実施項目

\*グループ名は MIL-PRF-19500 のものを使用している。

表 5-5 シングルイベント耐性評価試験 試験条件

イオン種	エネルギー	飛程	LET	デバイス中の平均 LET		平均 LET	$(MeV/(mg/cm^2))$		
	(MeV)	(µm)	$(MeV/(mg/cm^2))$	100V	130V	200V	250V	500V	
Y	928	102	35	38	38	39	40	41	
Xe	1316/1233	97/90	59/61	64/65	64/65	65/66	66/67	66/67	

試験種別	電圧条件	その他条件	フルエンス	測定項目	照射後測定項目
SEB	V <sub>GS</sub> =OV, V <sub>DS</sub>	常温	$3E5 \text{ p/cm}^2$	I <sub>DS</sub> 、I <sub>GS</sub> 、収集電荷量	I <sub>DS</sub> , I <sub>GS</sub>
	定格まで	垂直入射			
SEGR	V <sub>DS</sub> 定格		1E4 p/chip	$I_{DS}$ , $I_{GS}$	

試験 No.	イオン種	電圧条件			結果			備考
			100V	130V	200V	250V	500V	
#1	Y	V <sub>DS</sub> =定格	$O \nabla O$		$\nabla O \nabla$	007	700	▽:照射後 I <sub>cs</sub> スペックアウト
	Xe	V <sub>GS</sub> =0V	$\bigtriangledown$		$\bigtriangledown$	$\bigtriangledown$	-	
#2*	Y	V <sub>DS</sub> =定格	00	00	00	00	00	
		V <sub>GS</sub> =0V						

表 5-6 シングルイベント耐性評価試験結果 (SEB)

\* #2は SEE 耐性改善品を用いて試験を実施。

試験	定格電圧	イオン種	V <sub>DS</sub>			$V_{GS}$ (V)			備考
No.	(V)		(V)	-2.5	-5	-7.5	-10	-12.5	
#1	100	Y	100	00	00	$(\triangle) \triangle$			△:照射中 I <sub>GS</sub> >10µA
		Xe		0	$\triangle$				×:破壊
	200	Y	200	000	$\bigcirc \times \times \bigcirc$	$\bigcirc \times \times \bigcirc$	×		(△):照射前に I <sub>GS</sub> のリー
				00	00				クが大きいため終了
		Xe		00	$\bigtriangleup$				**:V <sub>GS</sub> = −15V で破壊
	250	Y	250	00	00	$\times \times$			
		Xe		$\times \times$					
	500	Y	500	00	00	00	00	$\triangle$	
		Xe		0	$(\triangle)$				
#2*	100	Y	100	00	00	00	×O	×	
	130	Y	130	00	00	00		×	
		Xe		0	$\bigtriangleup$				
	200	Y	200	00	00	00	×O	$\bigtriangleup \times$	
				00	00	00	XO		
		Xe		0	$(\triangle)$				
	250	Y	250	00	00	00	00	$\triangle \times \times$	
				00	00	00	XO		
		Xe		0	$\triangle$				
	500	Y	500	00	00	00	00	$\bigcirc^{**} \triangle$	
				00	00	00	XO	×	
		Xe		0	$(\triangle)$				

表 5-7	シングルイベ	ミント	耐性評価試驗結果	(SEGR)
101		·~ [·		(DEOR)

\* #2は SEE 耐性改善品を用いて試験を実施。