

# 宇宙航空研究開発機構研究開発資料

## JAXA Research and Development Memorandum

---

宇宙用重要電子部品技術綴

2005年2月

宇宙航空研究開発機構  
Japan Aerospace Exploration Agency

宇宙航空研究開発機構研究開発資料  
JAXA Research and Development Memorandum

宇宙用重要電子部品技術綴  
Fundamental technologies and characteristics  
of electronic parts for space-use

総合技術研究本部 宇宙用部品開発センター  
Space Component Engineering Center  
Institute of Space Technology and Aeronautics

2005年2月  
February 2005

宇宙航空研究開発機構  
Japan Aerospace Exploration Agency





## 序文

宇宙航空研究開発機構内の宇宙用部品開発共同センターでは平成16年度に電子部品技術者を中心に希望者を対象として、電子部品の基礎的な知識を習得したハードに強いエンジニアを育成し、日頃の職務遂行の効率向上に寄与することを目的として研修会を開催して来ました。JAXA内2回と機器メーカー、部品メーカーの技術担当の方にも同様の研修会を1回開催しました。この研修会では簡単な測定とかシミュレーションなども組み入れましたが効果を確認することは出来ませんでした。各回のアンケートを見る限り好評であったと言えます。今回都合で参加出来なかった方々もおられると判断し、さらには貴重な資料もありますので広く活用頂く機会を作るべく、「宇宙用電子部品技術資料」として出版することにしました。この資料は講師をお願いした各電子部品製造メーカーのご協力により研修会で使用しました資料を活用させて頂いたものです。各講師の方々にはこの項をお借りしてお礼申し上げます。

尚 宇宙用電子部品全てについて記載出来ていませんので今回代表的な電子部品のみを対象としていますのでご了承願いたいと思います。今後品種の拡充をしてより多くの関係者の方々に活用頂ける様に行きたいと考えています。この資料が各位の参考になれば幸甚に思います。

平成17年2月

独立行政法人 宇宙航空研究開発機構  
宇宙用電子部品開発共同センター長  
松田純夫





## 目 次

1. 積層セラミックコンデンサ .....	1
2. 金属皮膜抵抗器 .....	53
3. プリント基板 .....	79
4. コネクタ .....	101
5. リレー .....	123
6. パワー半導体デバイス .....	133
7. ハイブリッド I C .....	207
8. D C / D C コンバータ .....	225
9. 高密度実装の微細接合技術 .....	231
10. 半導体集積回路の設計シミュレーション .....	237
執筆者一覧 .....	255



# 積層セラミックコンデンサ

## 目 次

### 1. コンデンサの概要

- (1) コンデンサの種類と特徴
- (2) セラミックスの分類
- (3) ふしぎな石ころ-1,2
- (4) セラミック特性と主要製品
- (5) セラミックコンデンサの種類
- (6) 各種コンデンサの取得静電容量
- (7) コンデンサの原理
- (8) 積層セラミックコンデンサの原理
- (9) 電子部品の使用例
  - ①移動体通信用主要製品
  - ②パソコン用主要製品
  - ③カーエレクトロニクス用主要製品
  - ④セラミックコンデンサの使用量
- (10) 積層セラミックコンデンサの回路での働き-1,2,3,4,5



## 2. 積層セラミックコンデンサの構造と製造工程

- (1) 積層セラミックコンデンサの構造
- (2) 積層セラミックコンデンサの製造工程

## 3. 積層セラミックコンデンサの技術開発動向

- (1) 積層セラミックコンデンサの技術開発動向
- (2) チップセラミックコンデンサの構造・設計
- (3) 誘電体素子厚の推移(薄層・多層化動向)
- (4) 幅広い容量レンジ、さらなる大容量化(小型化動向)
- (5) 積層セラミックコンデンサのサイズ
- (6) 積層セラミックコンデンサの実装密度
- (7) 積層セラミックコンデンサのサイズ比較(例)
- (8) 超小型チップ積層セラミックコンデンサ

---

## 4. 積層セラミックコンデンサの性能

- (1) 各種コンデンサの性能
- (2) 積層セラミックコンデンサの性能

## 5. 積層セラミックコンデンサの不具合と対応

- (1) 製造工程中の不具合
- (2) 使用上の問題
- (3) 不良品写真集

## 6. 宇宙用品と一般品との相違点

## 7. 積層セラミックコンデンサの信頼性情報

## 8. セラミックコンデンサの特徴

## 9. 高周波数特性を改善した電極構成方法事例

## 10. 電極マージンと破壊電圧(BVD)の関係

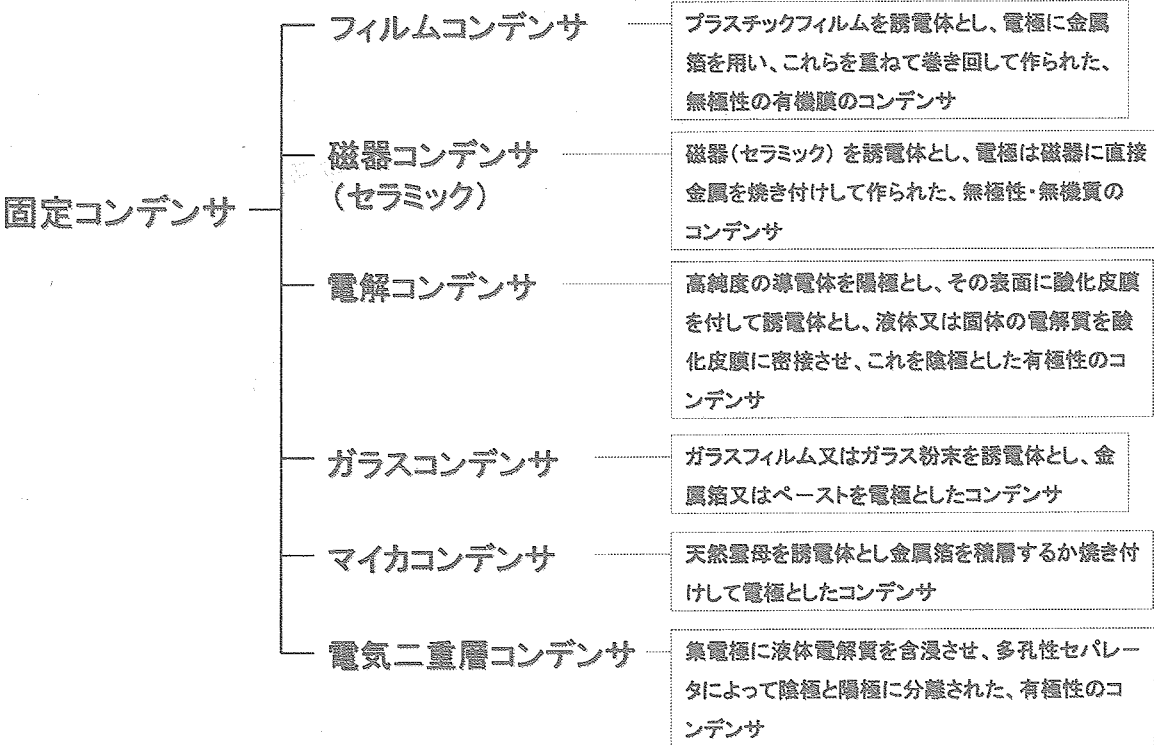
添付資料 : 特性要因図

# 1. コンデンサの概要

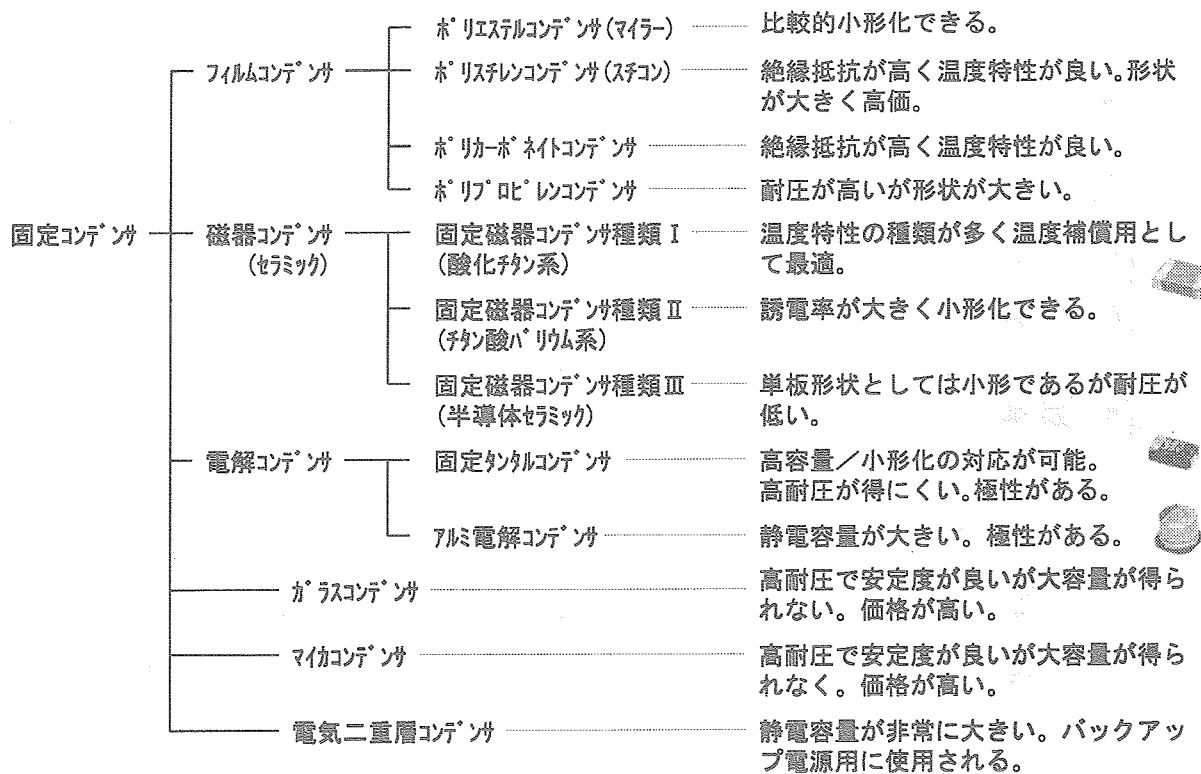
- (1) コンデンサの種類と特徴
- (2) セラミックスの分類
- (3) ふしぎな石ころ-1,2
- (4) セラミック特性と主要製品
- (5) セラミックコンデンサの種類
- (6) 各種コンデンサの取得静電容量
- (7) コンデンサの原理
- (8) 積層セラミックコンデンサの原理
- (9) 積層セラミックコンデンサの使用例
  - ①移動体通信用主要製品
  - ②パソコン用主要製品
  - ③カーエレクトロニクス用主要製品
  - ④セラミックコンデンサの使用量
- (10)積層セラミックコンデンサの回路での働き-1,2,3,4,5

# 1. コンデンサの概要

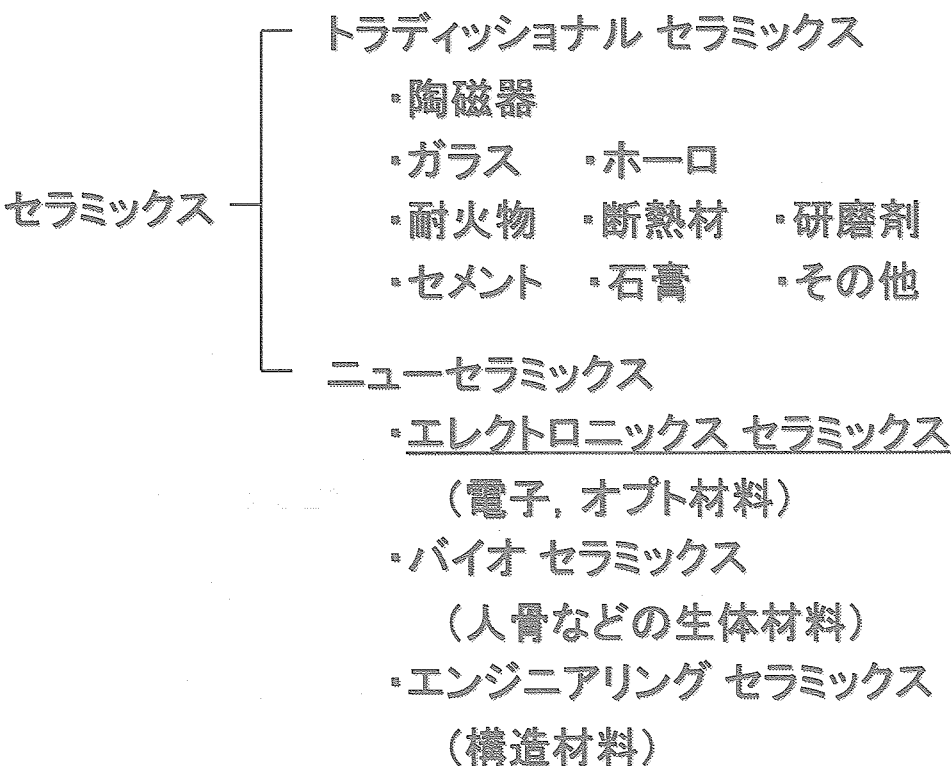
## (1) コンデンサの種類と特徴 - 1



# (1) 電子機器用コンデンサの種類と特徴 - 2

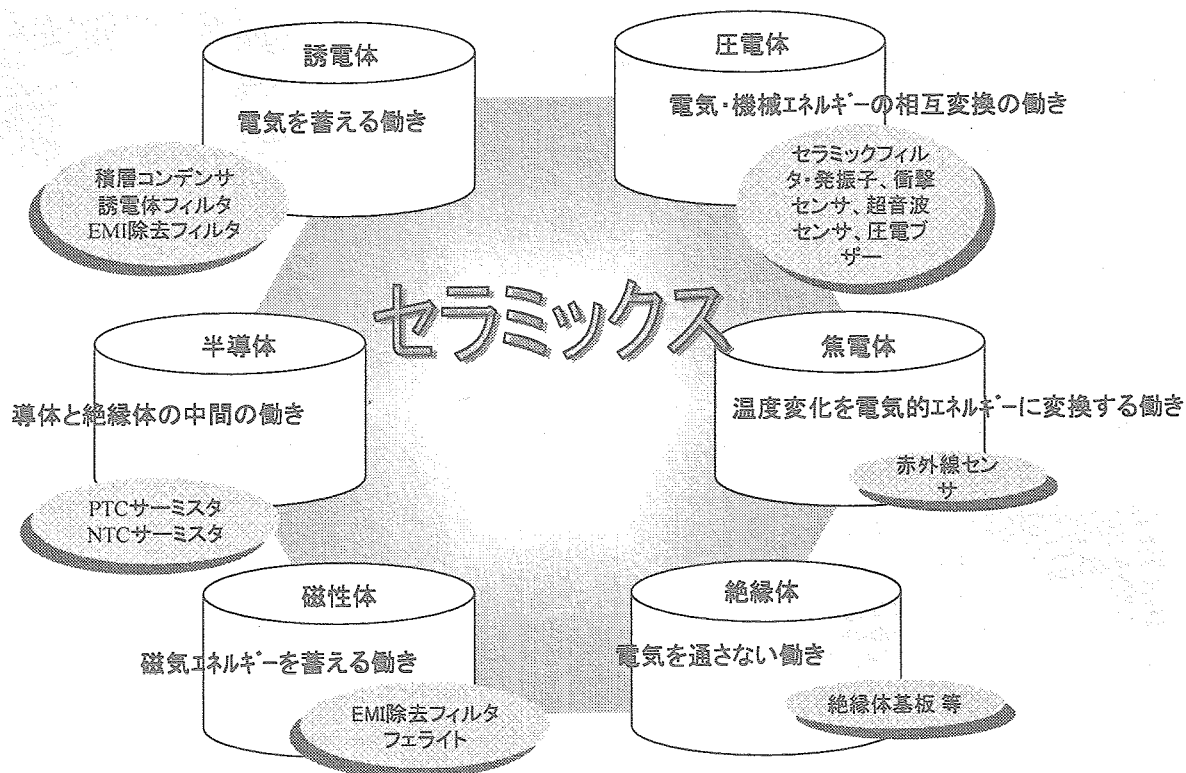


## (2) セラミックの分類



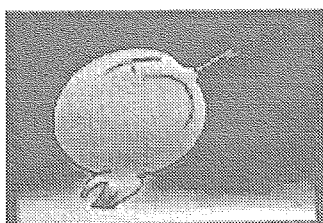


### (3) セラミック特性と主要製品

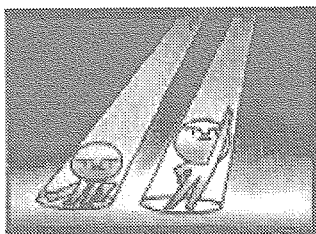


### (4) 不思議な石ころ - 1

電気を蓄える石ころ

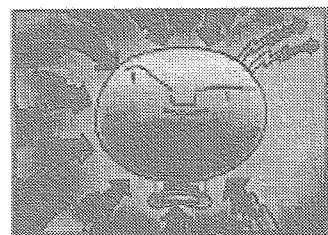


電気で伸び縮みする石ころ

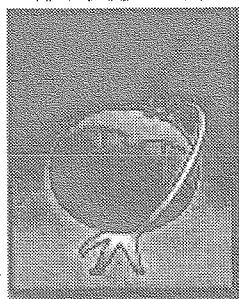


環境変化に合わせ

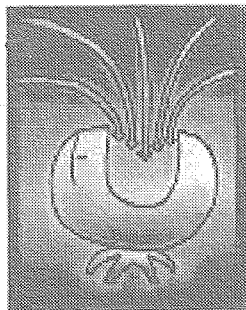
電気の流れを変える石ころ



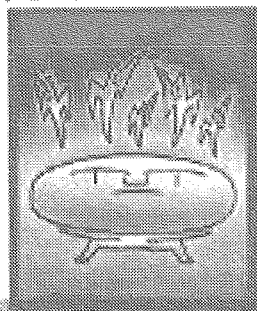
赤外線をキャッチする石ころ



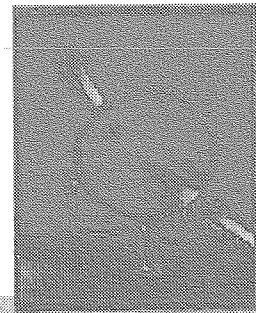
磁気をとら込む石ころ



電気をシャットアウトする石ころ



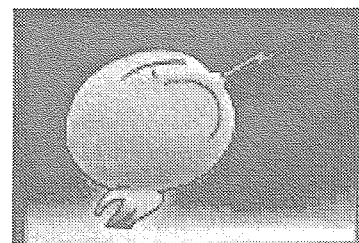
光を通す透明な石ころ



## (4) 不思議な石ころ - 2

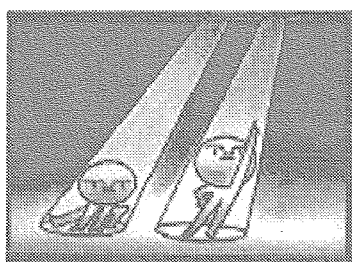
### 電気を蓄える石ころ <誘電体セラミック>

誘電分極の働きで、一時的に電気を蓄える  
直流は通さず、交流は通す



(セラミックコンデンサ、電磁波防止フィルタ,,,,)

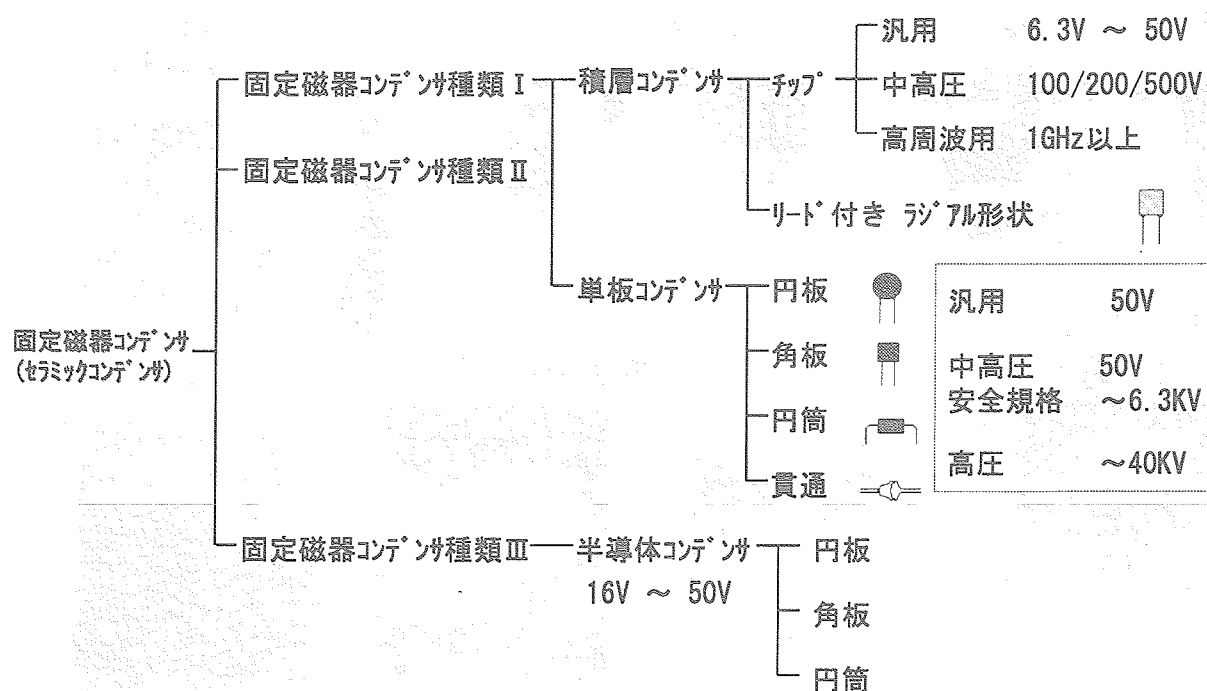
### 電気で伸び縮みする石ころ <圧電体セラミック>



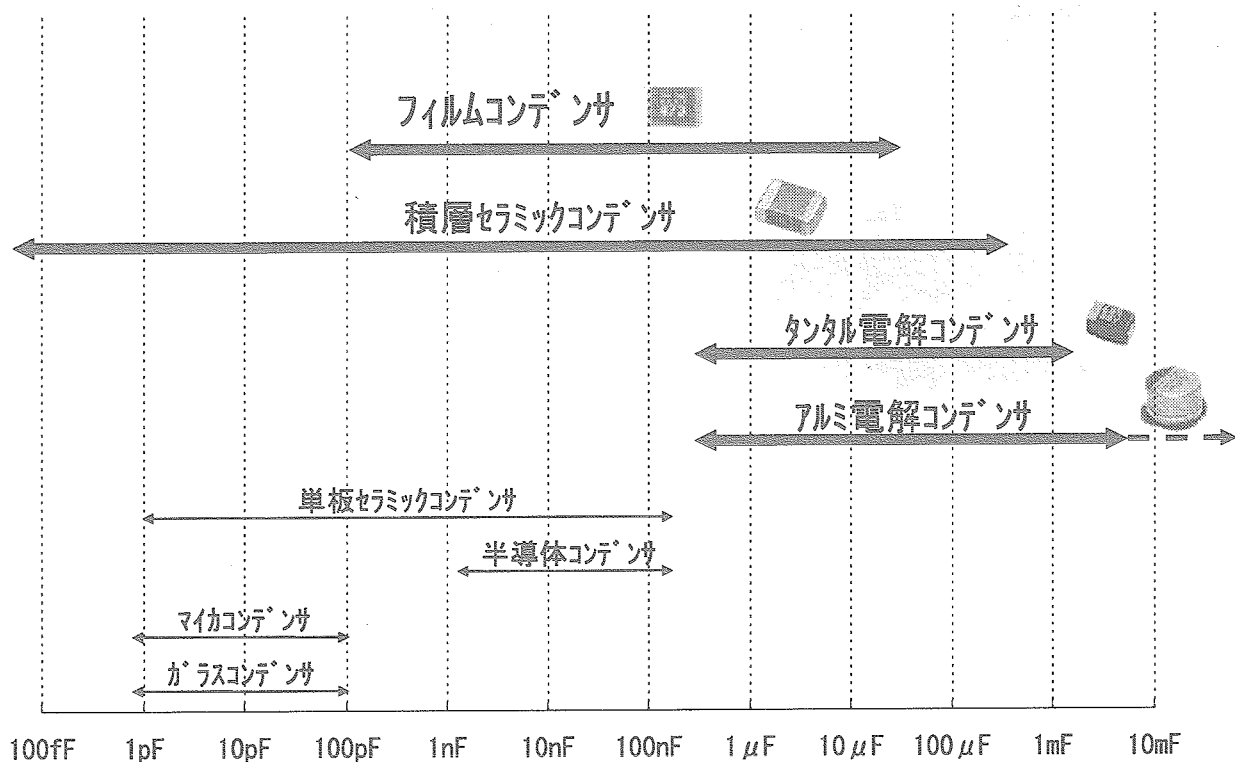
電圧をかけると伸び縮みし、  
逆に力を加えると電圧を生じる。

(圧電プザ-、超音波センサー,,,,)

## (5) セラミックコンデンサの種類



## (6) 各種コンデンサの取得静電容量



## (7) コンデンサの原理

$$C = \epsilon \epsilon_0 \frac{S}{d}$$

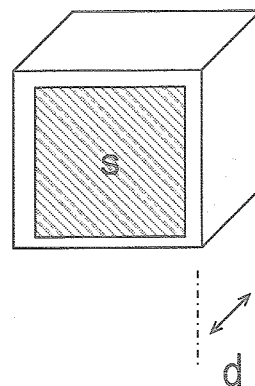
$C$  : 静電容量  
(F:ファラッド)

$\epsilon_0$  : 真空中の誘電率  
 $\epsilon_0 = 8.854 \times 10^{-12} \text{ F/m}$

$\epsilon$  : 比誘電率

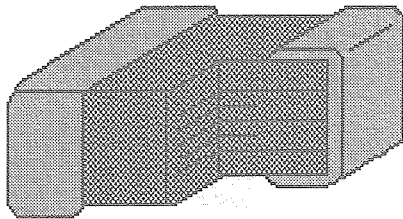
$S$  : 電極面積

$d$  : 誘電体厚み  
(電極間距離)

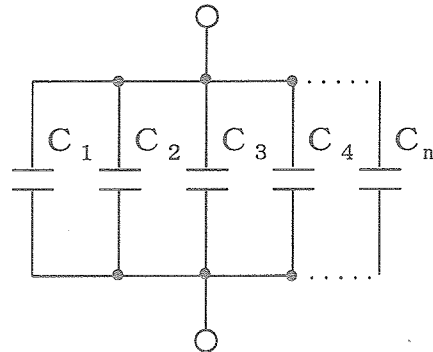




## (8) 積層セラミックコンデンサの原理



外観および構造

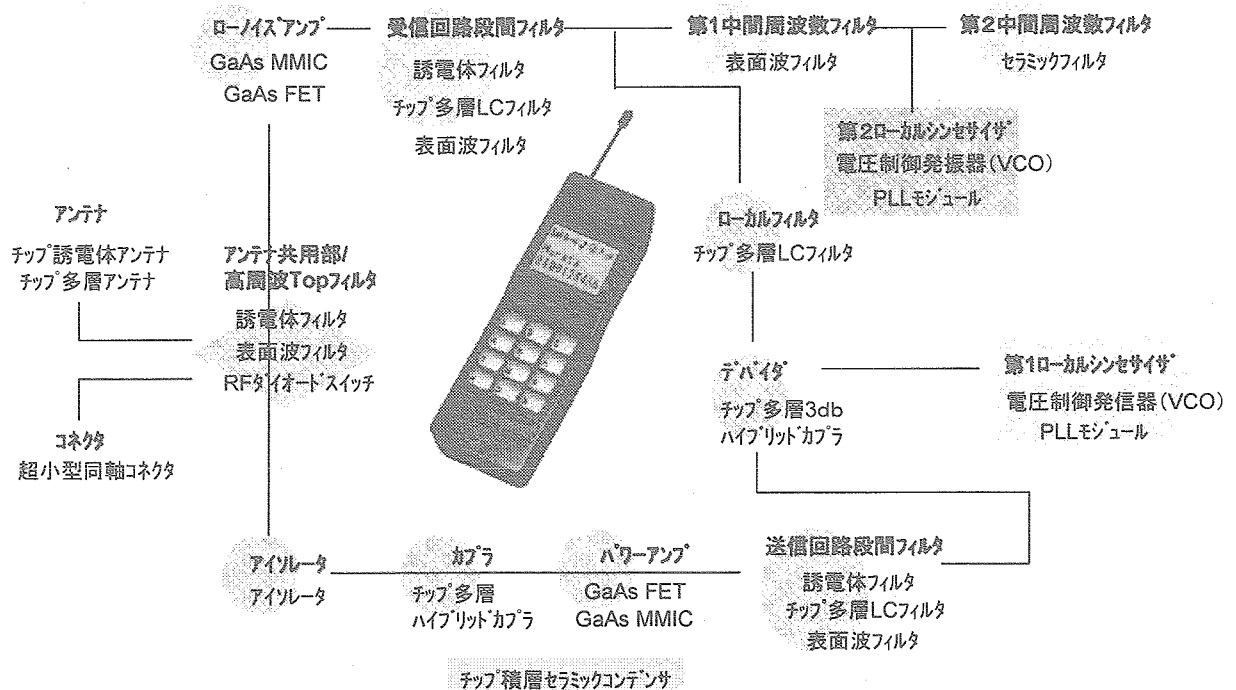


$$C = C_1 + C_2 + C_3 + C_4 + C_n$$

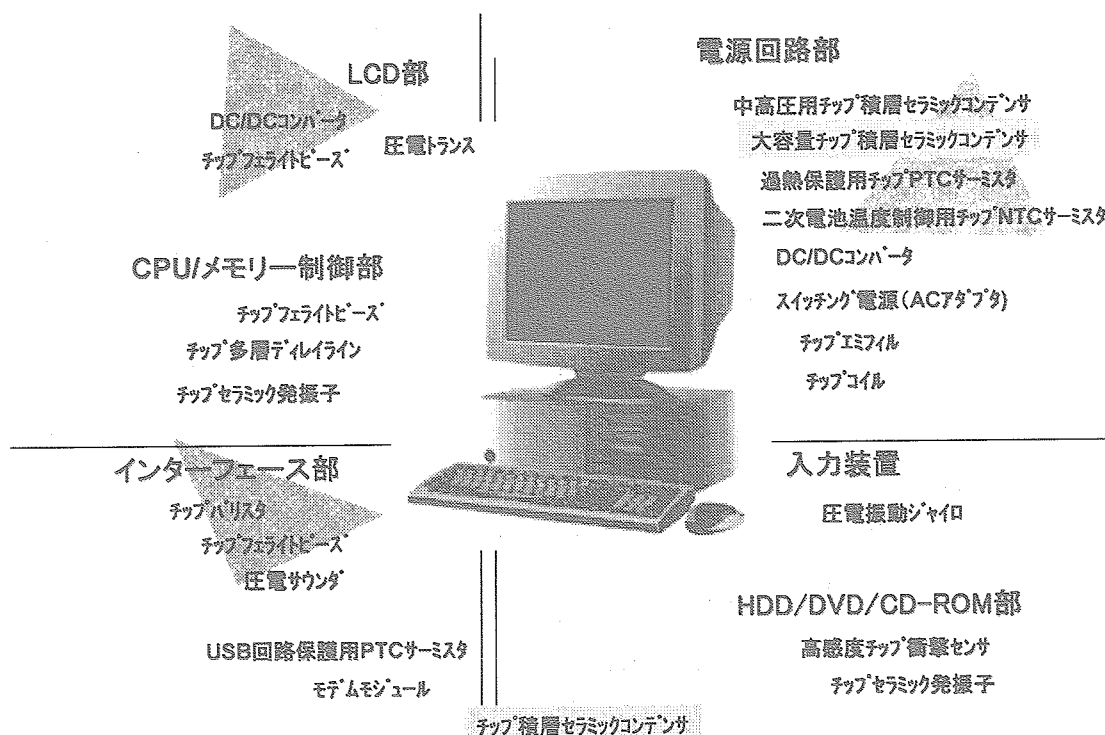
等価回路  
(R・L分省略)

## (9) 電子部品の使用例

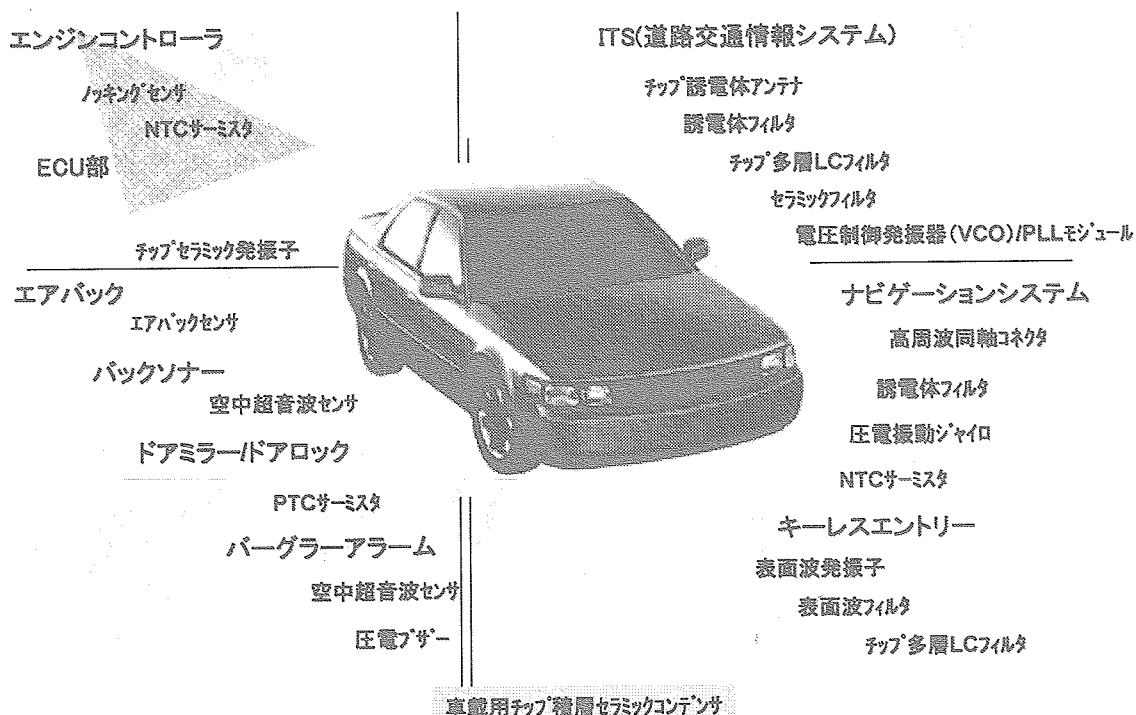
### ① 移動体通信用主要製品



## ②パソコン用主要製品



## ③カーエレクトロニクス用主要製品

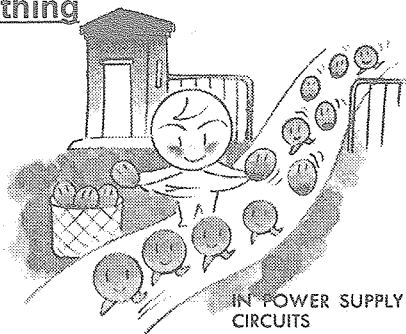


## ④積層セラミックコンデンサの使用量

セット	使用量 [個/セット]	
	チップタイプ	リードタイプ
カラーテレビ	50~100	50~100
HDTV	400~500	~50
VTR	100~200	~10
DVC	400~500	~10
DVD	100~150	~10
デジタルカメラ	100~200	—
CDプレーヤー	~100	—
MDプレーヤー	~100	—
FAX	100~200	~10
据え置き電話	100~200	—
携帯電話	150~250	—
カーナビゲーション	400~500	—
デスクトップパソコン	400~500	~10
ノートパソコン	400~500	—
自動車	300~500	~50
TVゲーム	100~400	—
冷蔵庫	~10	~10
照明器具	~10	~10

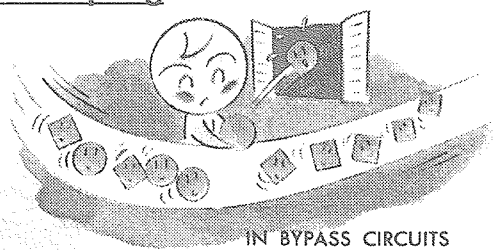
## (10) コンデンサの回路での働き - 1

### Smoothing



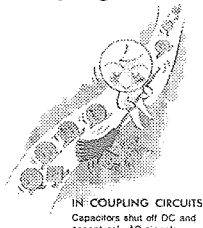
**IN POWER SUPPLY CIRCUITS**  
Capacitors remove noise from the electric power coming from an outlet.

### De-coupling



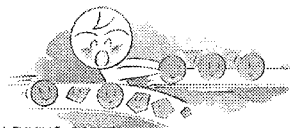
**IN BYPASS CIRCUITS**  
Capacitors filter signals and lead unnecessary signals into a bypass.

### Coupling



**IN COUPLING CIRCUITS**  
Capacitors shut off DC and accept only AC signals.

### Tuning



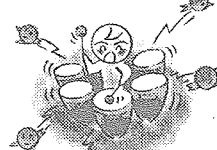
**IN TUNING CIRCUITS**  
Capacitors pick up the required signals from among the many available.

### Temp compensation



**TEMPERATURE COMPENSATION FOR CIRCUITS**  
The functions of components such as transistors are affected by changes in atmospheric temperature. Capacitors compensate for this affection and ensure normal operation.

### Resonance



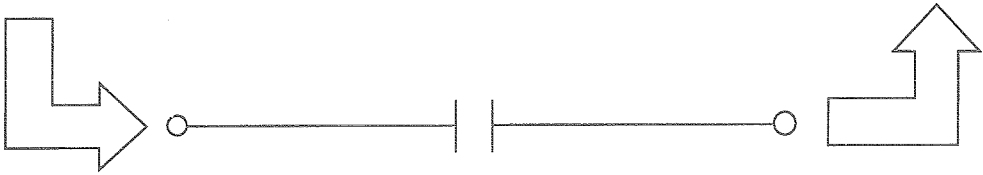
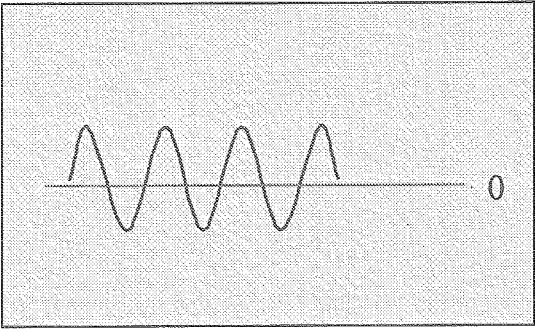
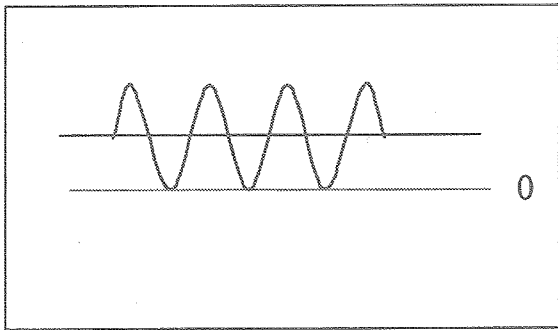
**IN RESONANCE CIRCUITS**  
Capacitors create stable electric vibrations to form necessary signals.

# (10) コンデンサの回路での働き - 2

用 途	コンデンサの働き
デカップリング用	デジタル回路などで、電源から流入するノイズをグランドに逃がしつつ、ICなどの負荷電流の急激な変化に対して安定した電流を供給し続ける目的で使用する。
カップリング用	回路モジュールを結合する場合、回路間を行き来する直流分や不要な低周波成分を除去する目的で使用する。
電源平滑用	電源回路で整流後も発生するリップルを抑え、より直流に近くなるように信号を平滑化する目的で使用する。
温度補償用	コイルやトランジスタの温度特性をコンデンサの温度特性でキャンセルし、見かけの温度特性をなくす目的で使用する。
発振回路	目的の周波数の信号を作り出す目的で、コイル、抵抗と組み合わせる目的で使用する。
同調回路	複数の信号から目的の信号を取り出すために、コイル、抵抗と組み合わせる目的で使用する。
サージ吸収用	電源や負荷から流入するサージ電流を吸収するために、負荷と並列に挿入する目的で使用する。

# (10) コンデンサの回路での働き - 3

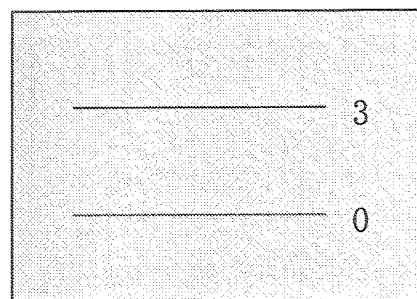
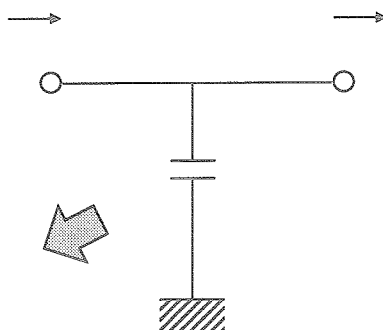
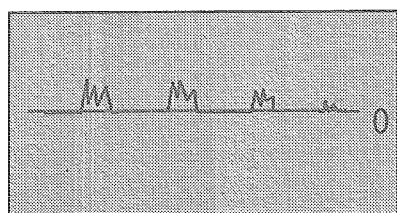
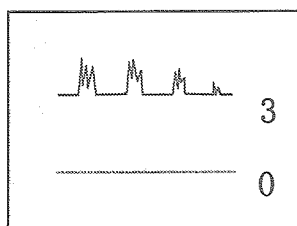
## カップリングコンデンサ用途



交流をとおり、直流をとおさない  
(必要な信号)

## (10) コンデンサの回路での働き - 4

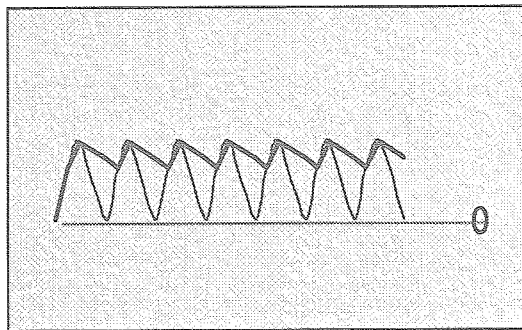
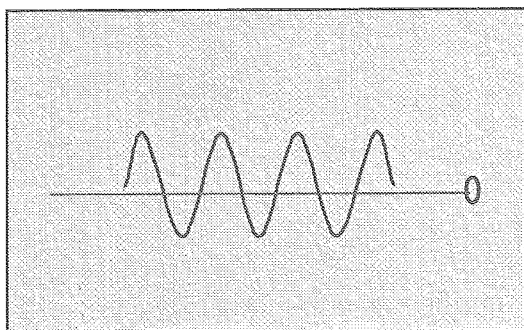
### デカップリングコンデンサ用途



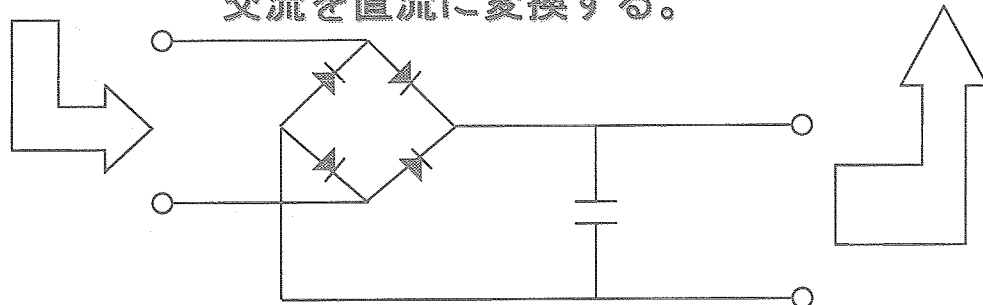
(ノイズ) 交流をとおして直流はおさない

## (10) コンデンサの回路での働き - 5

### 平滑コンデンサ用途



交流を直流に変換する。



## 2. 積層セラミックコンデンサの構造と製造工程

(1) 積層セラミックコンデンサの構造 - 1, 2

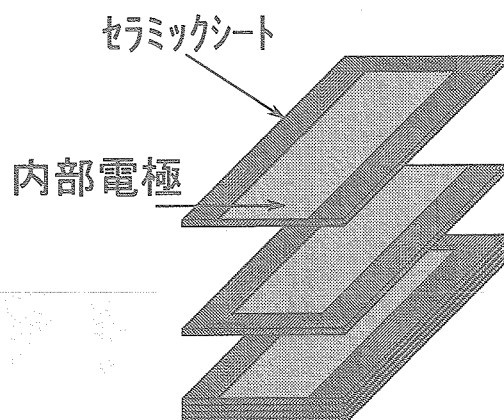
(2) 積層セラミックコンデンサの製造工程

---

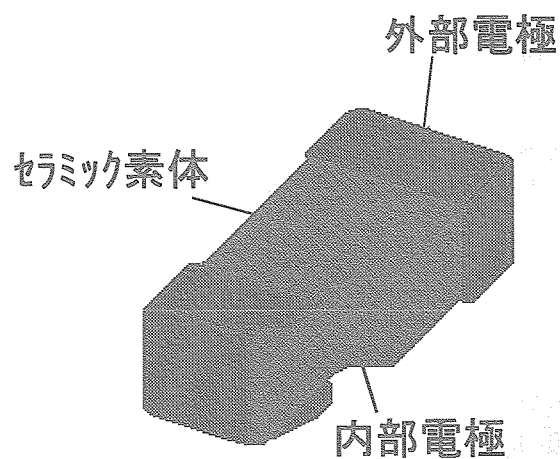
## 2. 積層セラミックコンデンサの構造と製造工程

### (1) 積層セラミックコンデンサの構造 - 1

積層構造

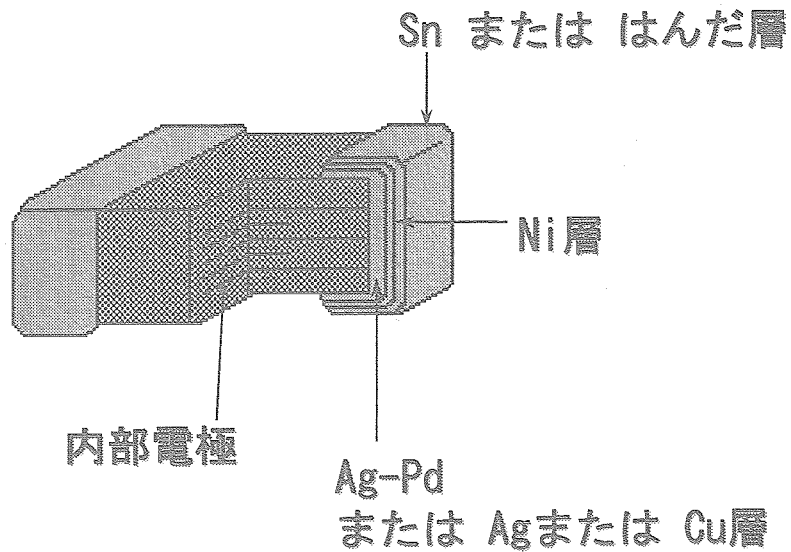


断面構造

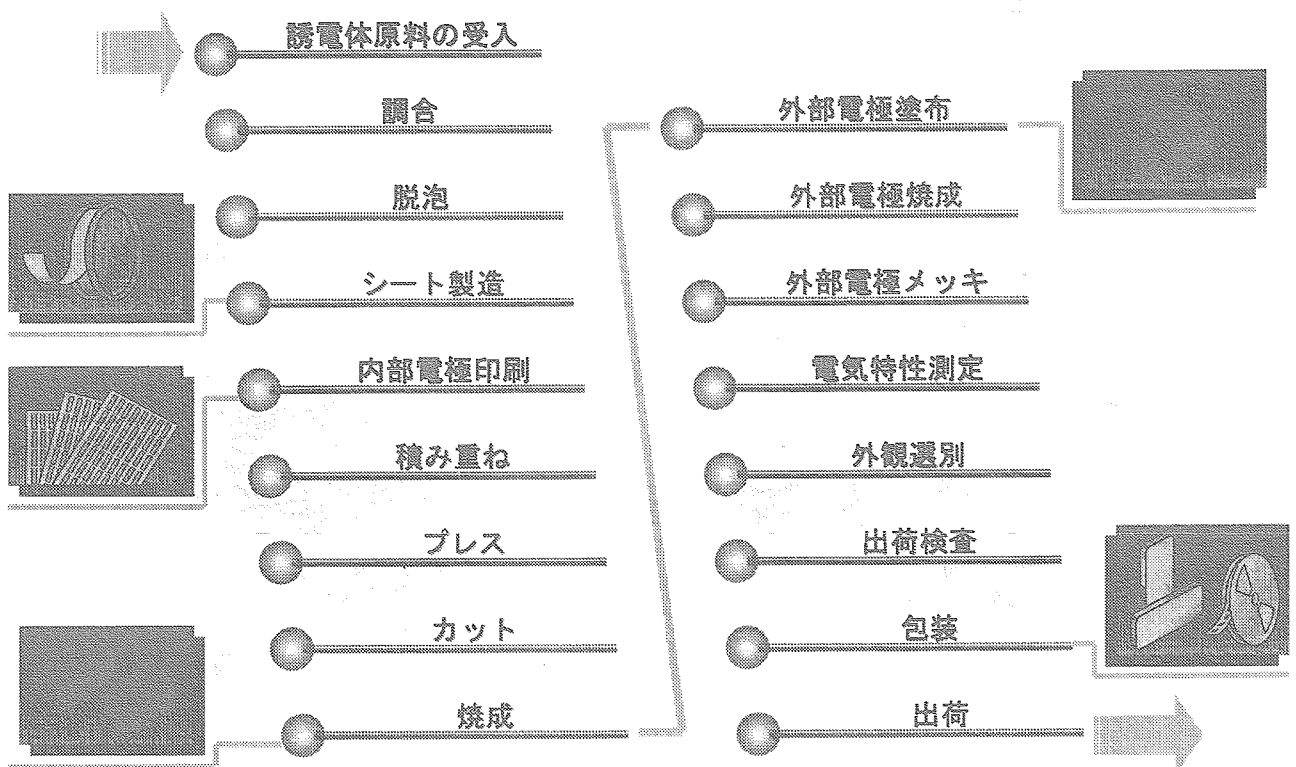


## (1) 積層セラミックコンデンサの構造 - 2

### 外部電極構造



## (2) 積層セラミックコンデンサの製造工程

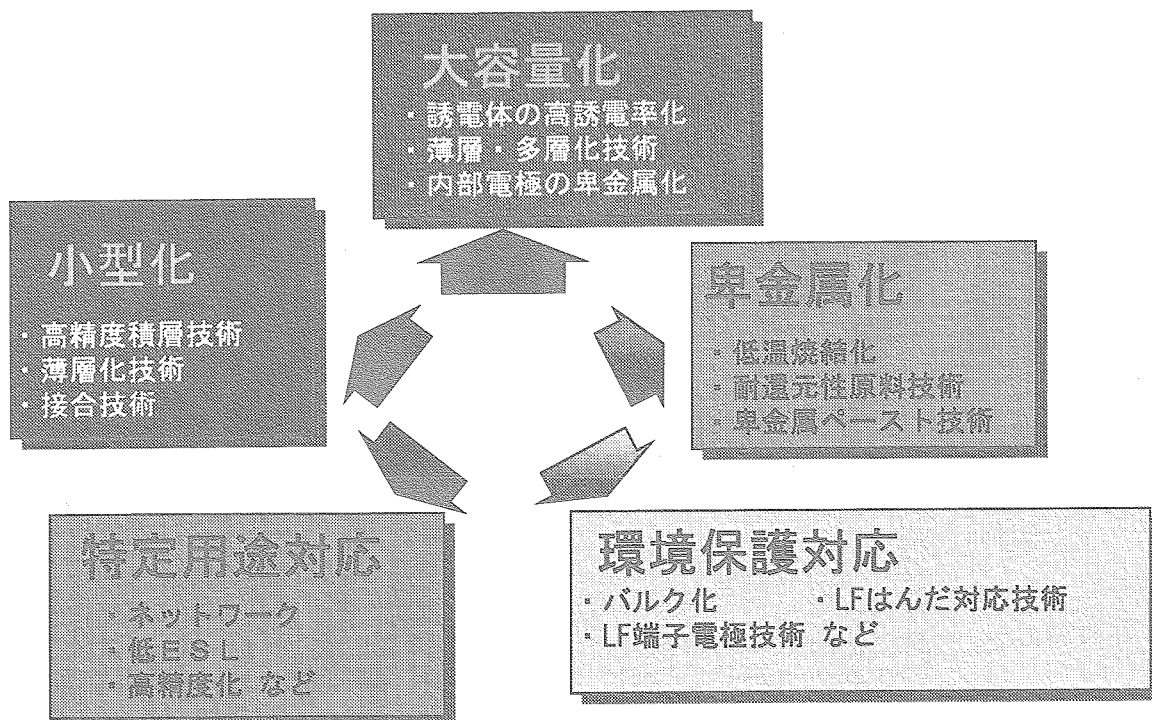


### 3. 積層セラミックコンデンサの技術開発動向

- (1) 積層セラミックコンデンサの技術開発動向
- (2) チップセラミックコンデンサの構造・設計
- (3) 誘電体素子厚の推移(薄層・多層化動向)
- (4) 幅広い容量レンジ、さらなる大容量化(小型化動向)
- (5) 積層セラミックコンデンサのサイズ
- (6) チップ積層セラミックコンデンサの実装密度
- (7) 超小型チップ積層セラミックコンデンサ

### 3. 積層セラミックコンデンサの技術開発動向

#### (1) 技術開発動向





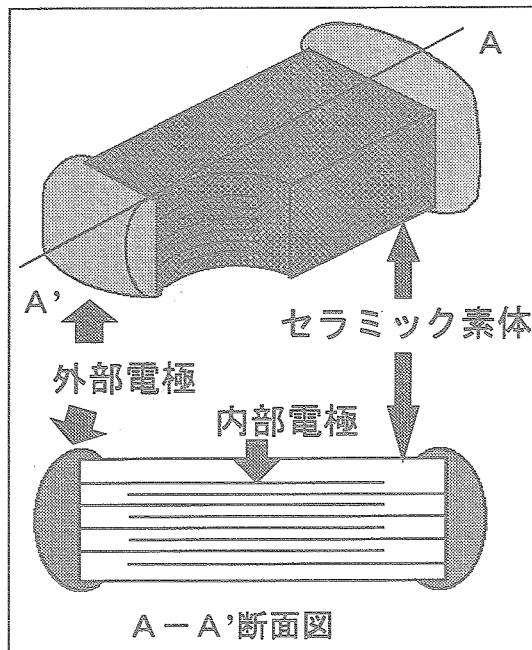
## (2) チップ積層セラミックコンデンサの構造・設計

● 静電容量計算式

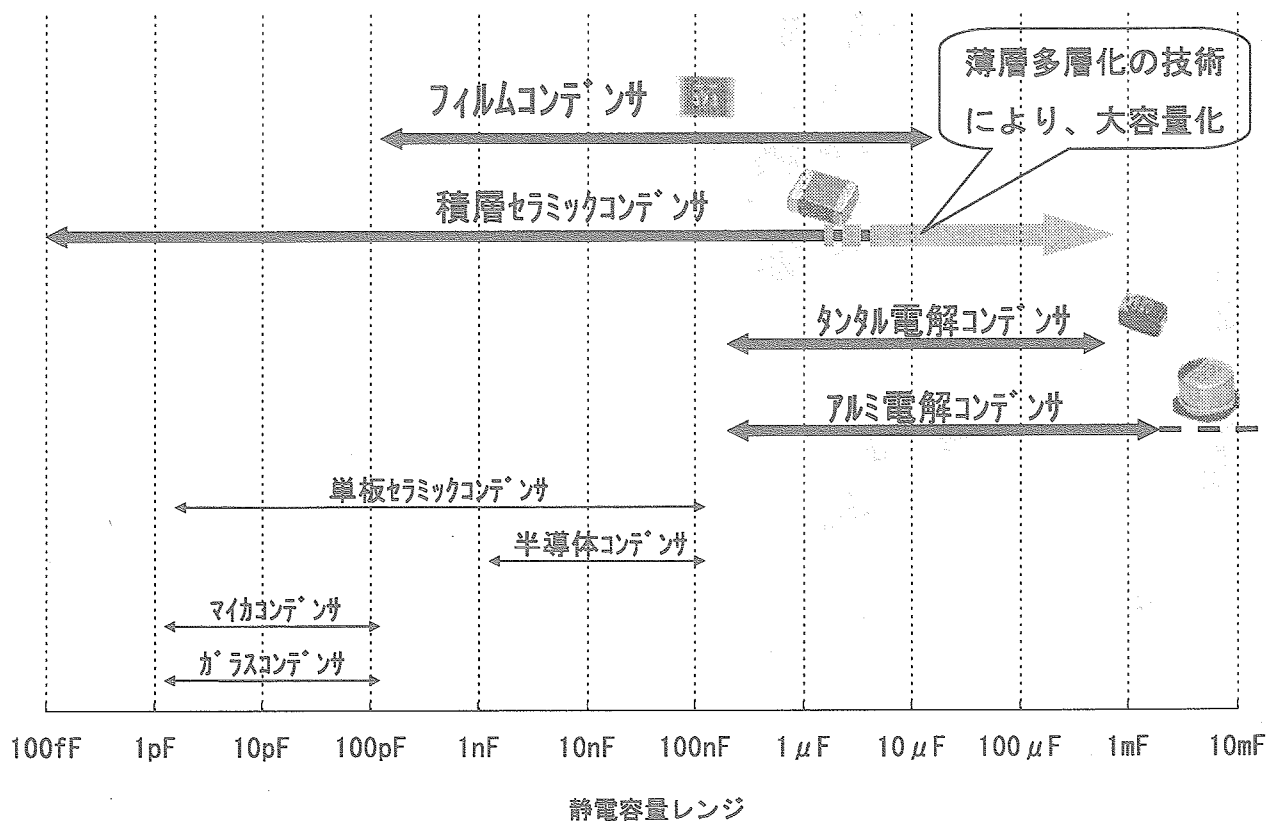
$$C = \frac{\varepsilon \times \varepsilon_0 \times S_0 \times n}{t}$$

$\varepsilon$  : 誘電体の比誘電率  
 $\varepsilon_0$  : 真空の誘電率  
 $S_0$  : 1層あたりの有効面積  
 $n$  : 誘電体層数     $t$  : 誘電体層厚み

大容量化のための方策  
 誘電体層の薄層化  
 誘電体層数のアップ  
 有効面積の効率向上



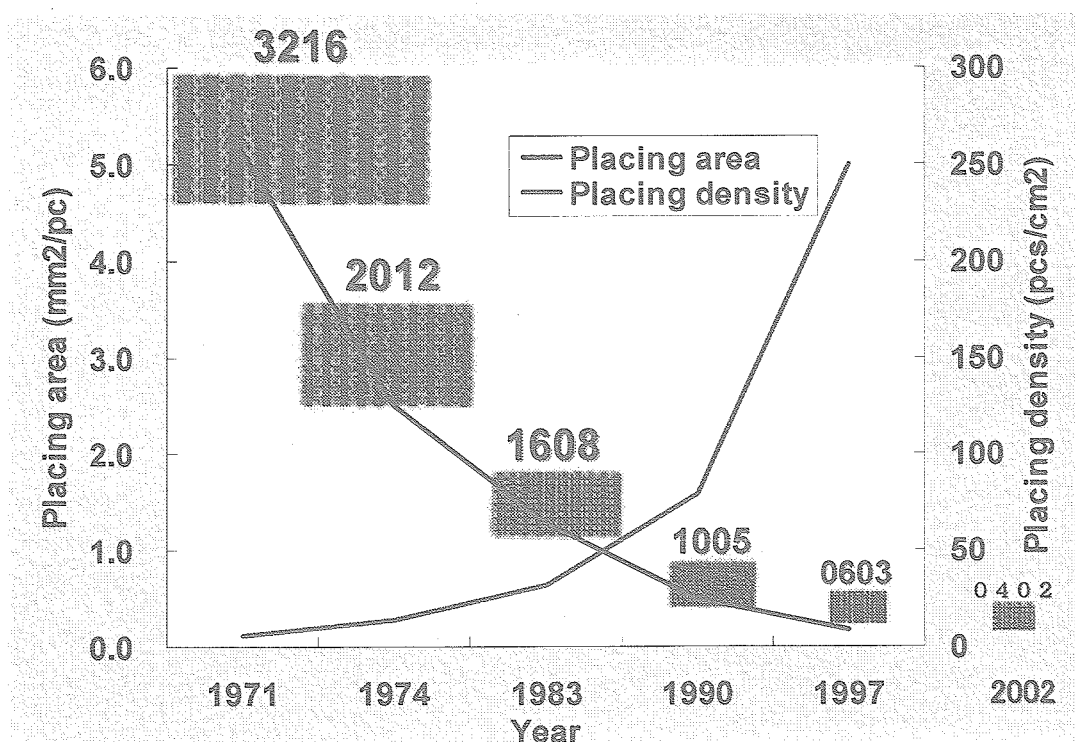
## (3) 幅広い容量レンジ、さらなる大容量化(小型化動向)



#### (4) 積層セラミックコンデンサのサイズ

日本国内 (mm)	海外 (inch)	L × W (mm)
0402	01005	0.4 × 0.2
0603	0201	0.6 × 0.3
1005	0402	1.0 × 0.5
1608	0603	1.6 × 0.8
2012	0805	2.0 × 1.25
3216	1206	3.2 × 1.6
3225	1210	3.2 × 2.5
4532	1812	4.5 × 3.2

#### (5) チップ積層セラミックコンデンサの実装密度



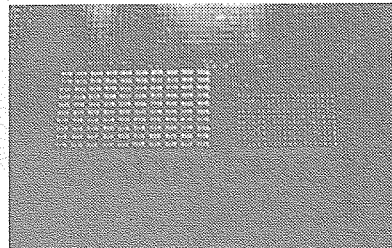
## (6) 超小型チップ積層セラミックコンデンサ

### ◇ 用途

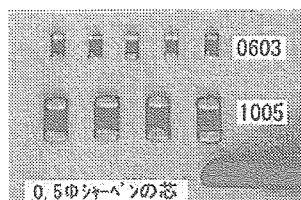
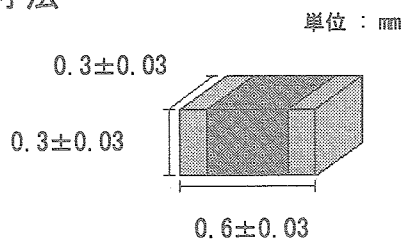
携帯電話等の超小型携帯機器  
VCO、MCM等の各種モジュール／デバイス

### ◇ 特長

- (1) 高精度加工技術により極小化を達成しました。  
・  $L\ 0.6 \times W\ 0.3 \times T\ 0.3$  (mm) (体積は1005タイプの約20%)
- (2) 積層構造の採用により高容量に対応します。  
・ F特性  $\sim 0.01\ \mu F$  / B特性  $\sim 0.1\ \mu F$
- (3) 高速マウンタ、リフロー実装に対応。
- (4) 超小型形状のため、高周波特性に優れています。



### ◇ 寸法



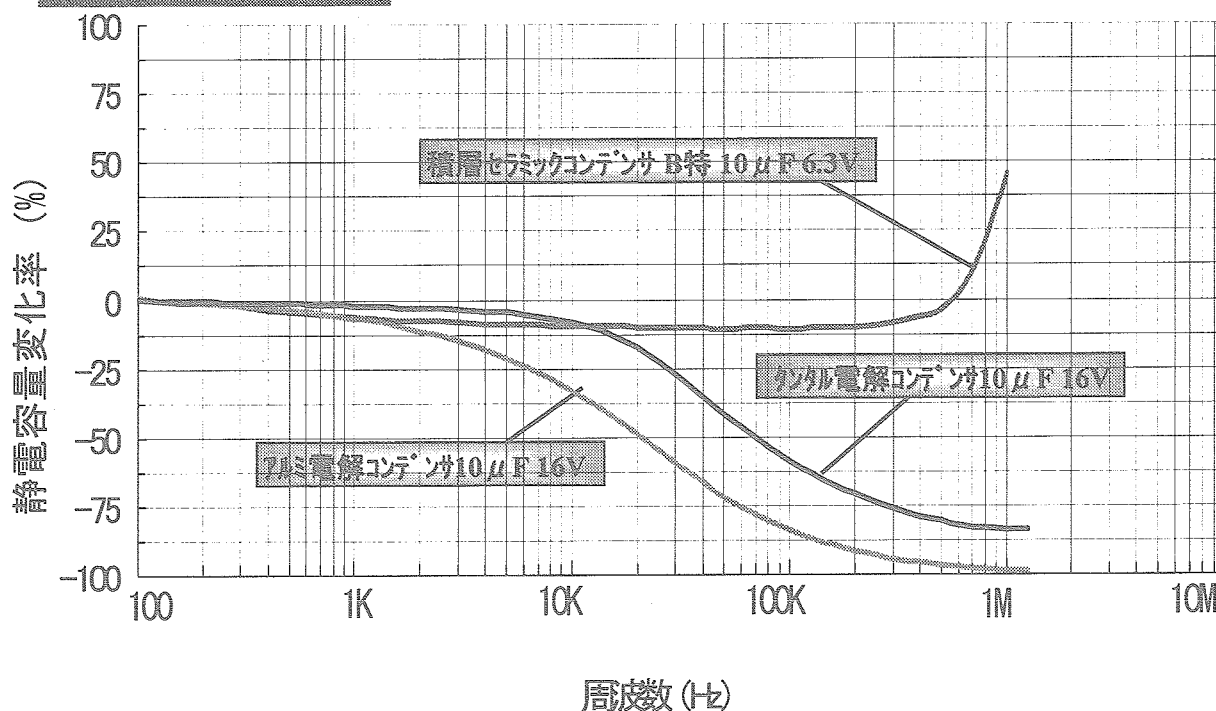
## 4. 積層セラミックコンデンサの性能

- (1) 各種コンデンサの性能
- (2) 積層セラミックコンデンサの性能
- (3) 挿入損失特性の二端子コンデンサとの比較

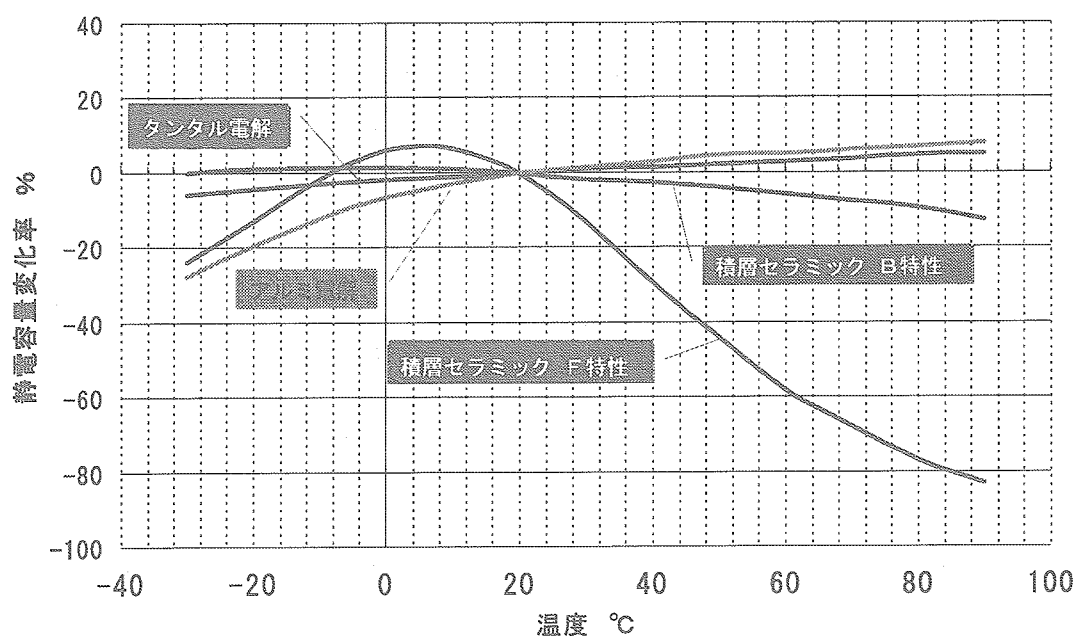
## 4. 積層セラミックコンデンサの性能

### (1) 各種コンデンサの性能

静電容量一周波数特性

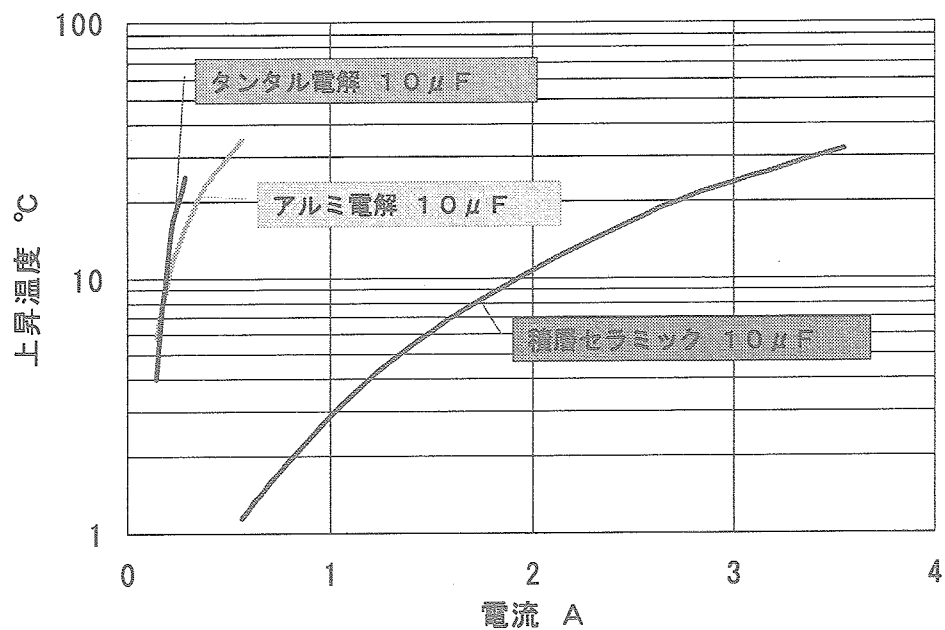


### (2) 積層セラミックコンデンサの性能 - 1 (コンデンサ間の温度特性比較)

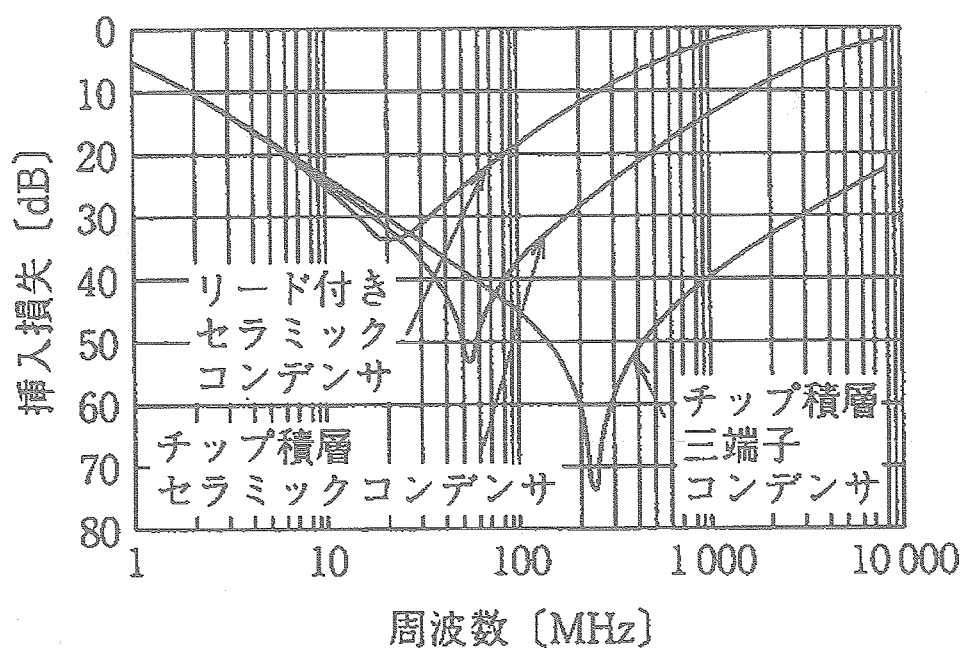


## (2) 積層セラミックコンデンサの性能 - 2 (周波数と自己発熱)

周波数 : 300 KHz



## (3) 挿入損失特性の二端子コンデンサとの比較



5. 積層セラミックコンデンサの不具合と対応

- (1) 製造工程中の不具合
- (2) 使用上の問題
- (3) 不良品写真集

5. 積層セラミックコンデンサの不具合と対応

(1) 製造工程中の不具合-1

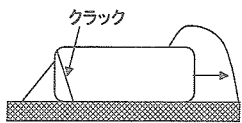
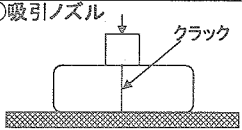
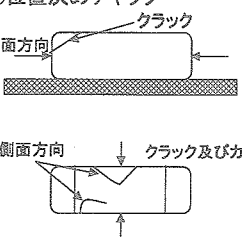
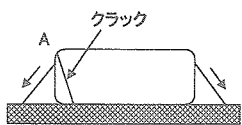
不良項目	発生工程	不具合モード	発生原因
かけ	・全工程	・外観品位	・取扱ミス
		・ショート	・設備調整と調整ミス
			・不良品混入
			・治工具構造
			・設備の構造
割れ	・外観限度	・ショート	
		・静電容量なし	
傷		・外観品位	
		・ショート	
変色	・焼成		・焼成
	・取扱ミス		・めっき
	・外観限度		・取扱ミス
変形	・カット		・カット
	・外観限度		・カット機調整、取扱
表示不良	・表示	・外観品位	・表示機
		・判読ミス	・印肉
			・作業方法
			・取扱ミス

## (1) 製造工程中の不具合-2

個装,梱包	・個装,梱包	・品位 ・製品の傷など	・作業方法 ・外装材質 ・保管方法
異種混入	・全工程	・静電容量違い ・ショート	・取扱ミス ・製品入れ箱の構造,材質 ・設備問題 ・5S ・作業指導,教育
電氣的不良 (静電容量)	・選別工程 ・検査	・静電容量大小	・選別機 ・指示ミス ・測定環境 ・経時変化 ・異種混入 ・治工具 ・測定工程までの全工程
(誘導正接)		・誘電正接大	
(絶縁抵抗)		・ショート	
(耐圧)		・焼損,発火	

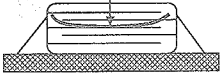
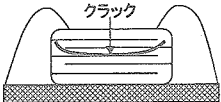
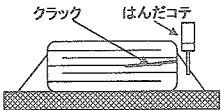
## (2) 使用上の問題

### (2)-1 機械的ストレスによるクラックの場合

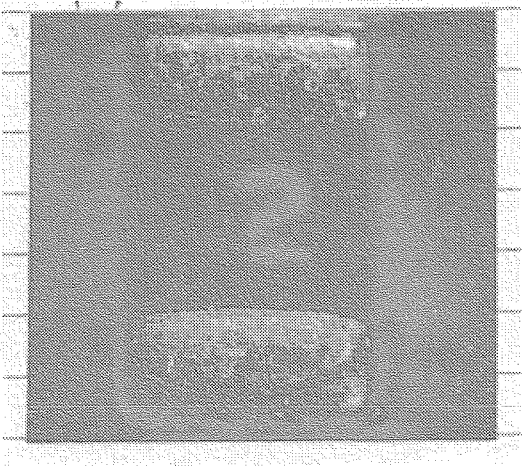
発生原因	モード	発生メカニズム	故障モード	対 策
(1)はんだ盛り最大		はんだの盛り量が多いと、はんだの収縮力によりチップにクラックが生じる。	ショート	①はんだフレット制限 ②設計構造面からの対策(材質検討, 肉厚ダウン)
(2)プレーサー衝撃	①吸引ノズル 	吸引ノズルの下死点の不具合によりチップコンデンサの中央部分にストレスが加わり、クラックが生じる。	ショート	①マウンターの下死点調整
	②位置決めチャック 	マウンターの衝撃力が極端に大きい場合及びチップ装着時の磨耗で位置決め爪の角がとがってきた場合、チップ表面に傷もしくは弾痕が残りクラックが生じる。	ショート	①マウンターのチャック調整 ②マウンターのチャック構造変更
(3)基板のたわみ		基板にたわみが生じた時、はんだが外部電極に上がった箇所Aを作用点とし、その箇所よりクラックが生じる。	ショート	①マウンターの調整 ②設計・構造面からの対策(材質検討, 肉厚アップ)

(2) 使用上の問題

(2)-2 熱的ストレスによるクラックの場合

はんだ付け方式	発生原因	モード	発生メカニズム	故障モード	対 策
リフロー方式 シーズヒーター 熱風用ファン 整流板	(1)予熱温度・時間 (2)はんだ温度・時間 以上が不適切な場 合	クラック 	各方式で取付けの際、チップコンデンサ内部に温度差が生じやすく、熱膨張率の違う内部電極とセラミクス素体の間に歪が生じ、内部電極に沿ってクラックが生じる。	ショート	①予熱温度と時間の見直し (はんだ温度と予熱温度の差は100℃以内がベター) ②はんだ温度と時間の見直し ③熱的ストレスに強い設計、構造面からの対策(材質検討、外部電極検討)
フロー方式 基盤		①吸引ノズル クラック 		ショート	
コテ付け		クラック はんだコテ 		ショート	

(3)不良品写真集(1/15)



表示不良



### (3)不良品写真集(2/15)



はんだくわれ

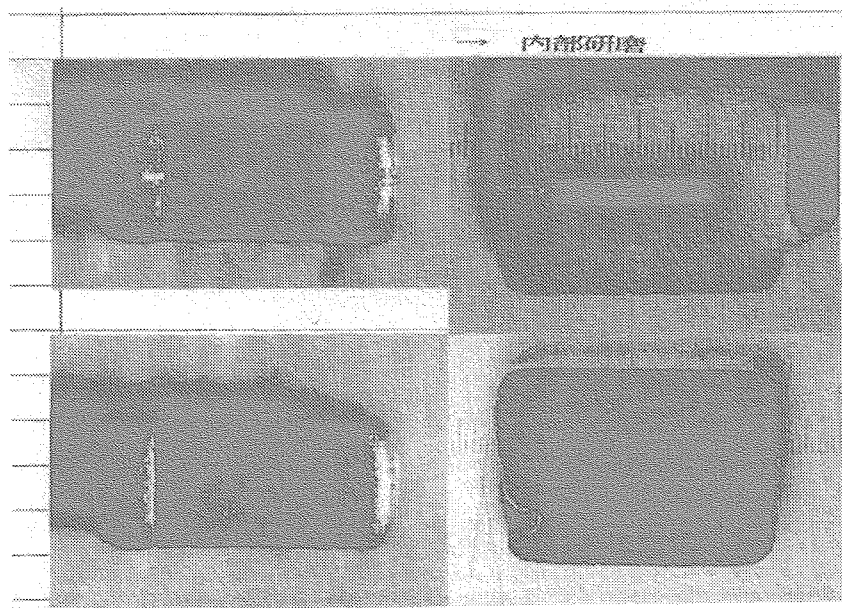
---

### (3)不良品写真集(3/15)



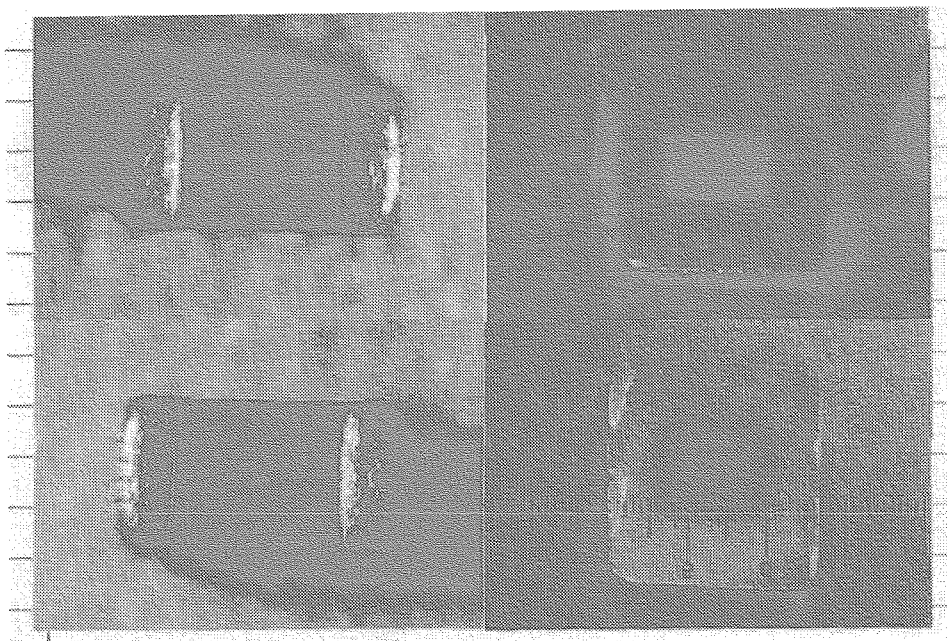
はんだ付不良

(3)不良品写真集(4/15)



ボイド

(3)不良品写真集(5/15)



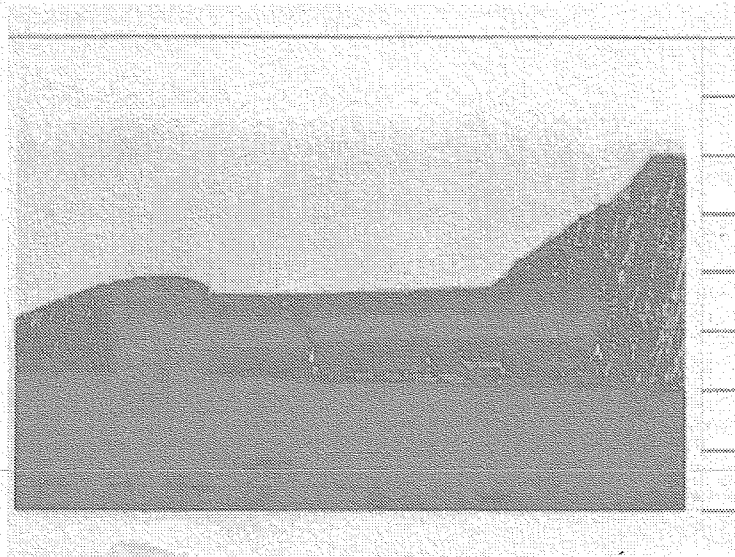
ボイド

### (3)不良品写真集(6/15)



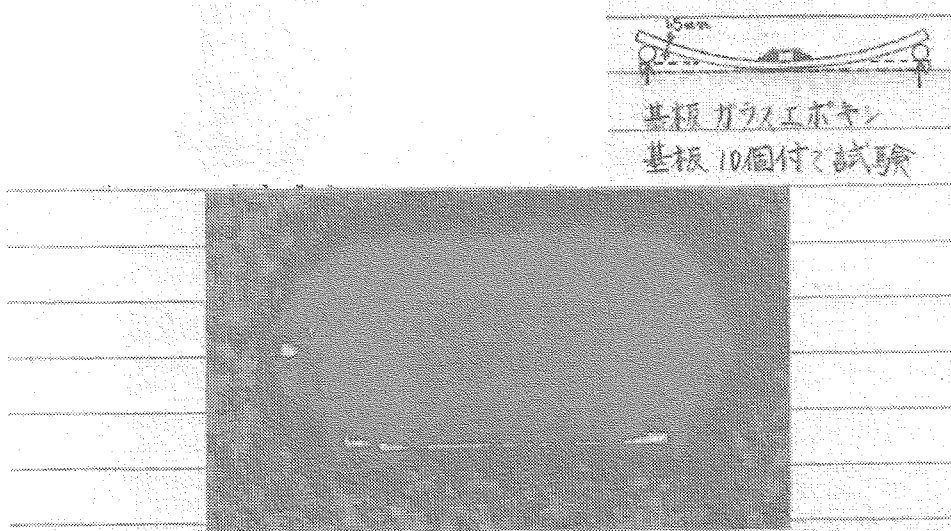
コテ修正による破壊

### (3)不良品写真集(7/15)



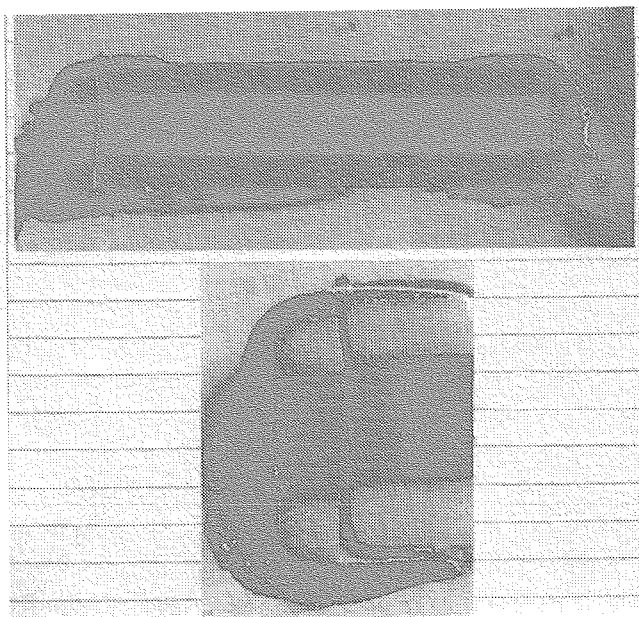
コテ修正による破壊

(3)不良品写真集(8/15)



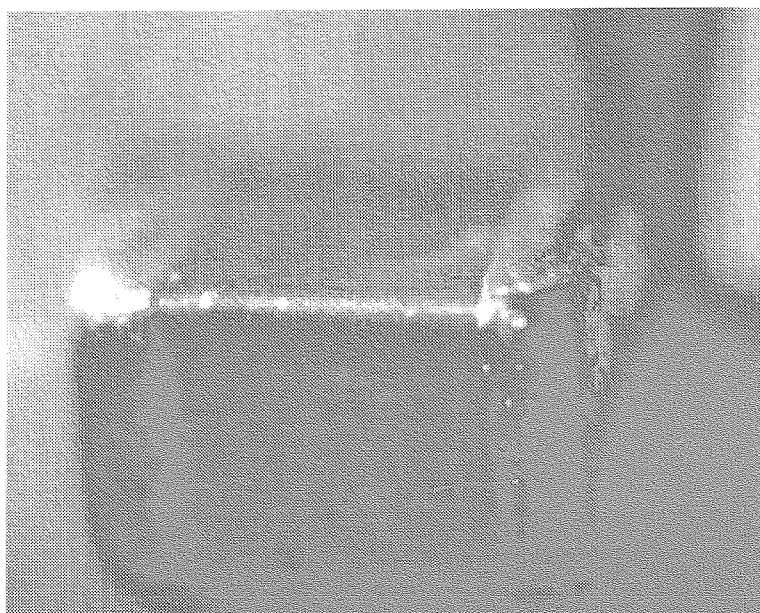
クラック

(3)不良品写真集(9/15)



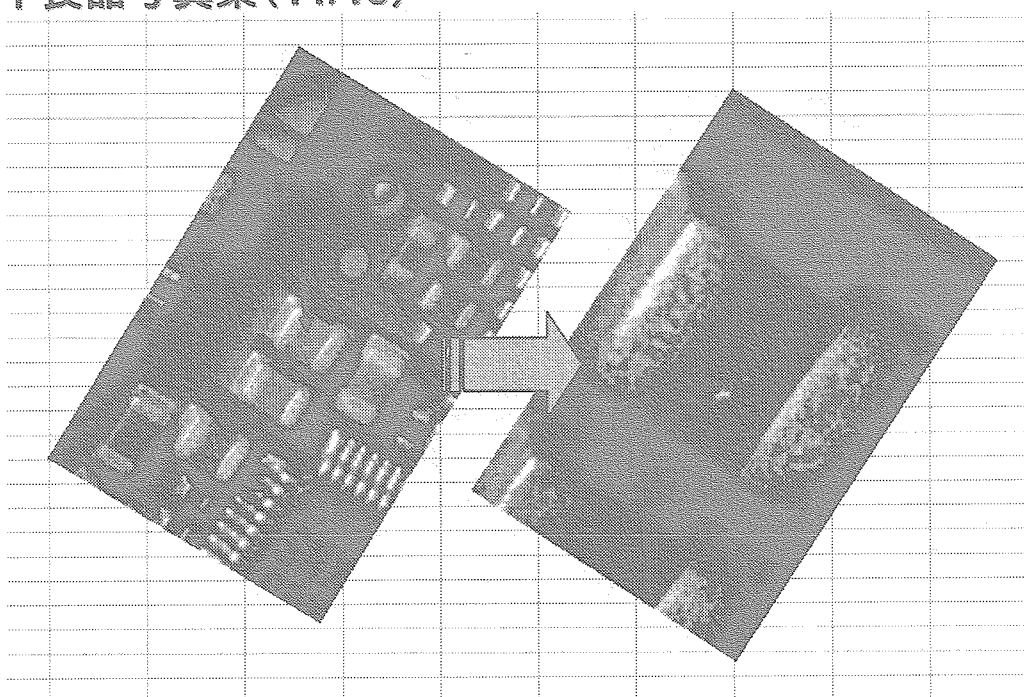
クラック

### (3)不良品写真集(10/15)



機械的クラック

### (3)不良品写真集(11/15)



カケワレ



### (3)不良品写真集(12/15)

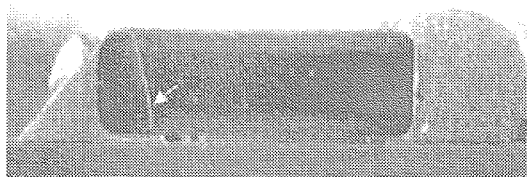


PHOTO 1

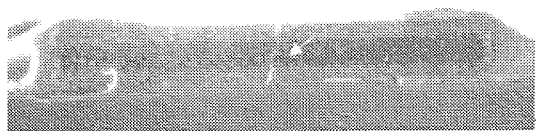


PHOTO 2



PHOTO 3

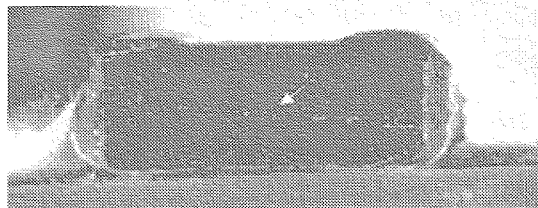
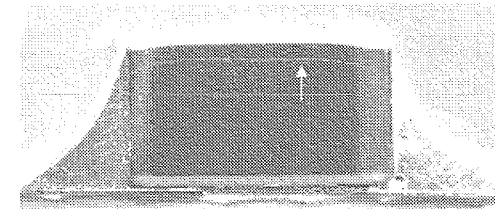
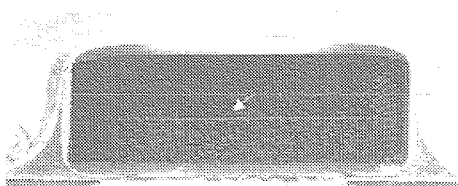
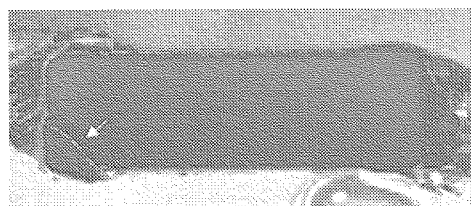
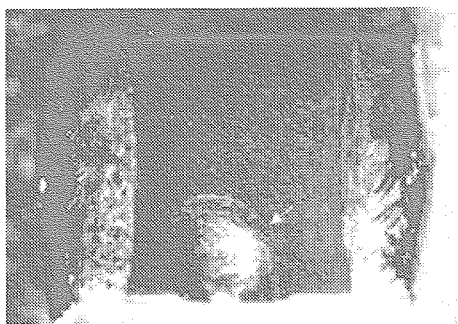


PHOTO 4

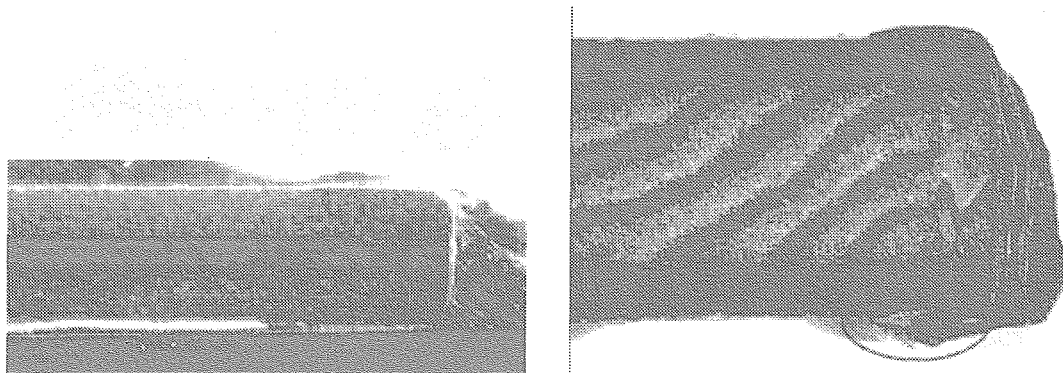
クラック

### (3)不良品写真集(13/15)



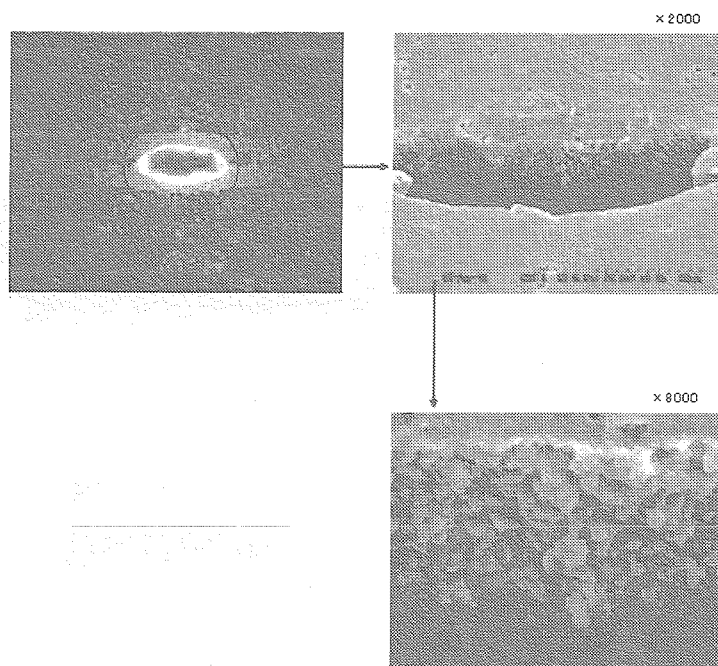
クラック

### (3)不良品写真集(14/15)



クラック

### (3)不良品写真集(15/15)



ボイド

## 6. 宇宙用品と一般品との相違点

### 6. 宇宙用品と一般品との相違点 - 1

比較項目	宇宙用品	一般品
設計	<ul style="list-style-type: none"><li>セラミックシートに電極の入っていないものを入れて2層化し、コンタミやボイド対策をしている。</li><li>セラミックシートの厚みを厚くして耐電圧問題の安全係数を確保している。</li><li>外部電極は手はんだのため、今だAg、Pdである。</li></ul>	<ul style="list-style-type: none"><li>セラミックシートはすべて1枚であり、宇宙用品と比較して同一定格電圧とした時は 1/10 と薄いいため同一サイズで見た時は静電容量は 10 倍以上となる(一般品の技術進歩)。</li><li>Gapも宇宙用品よりは小さい。</li><li>内部電極に C/D 目的から非金属品(ニッケルなど)が多く採用されている。</li><li>外部電極も品質を低下せずに、C/D 効果を目的としてめっき電極(Ni、Sn、はんだ)が圧倒的に多い。</li></ul>
構造	<ul style="list-style-type: none"><li>基本構造は変わらない。</li><li>裸タイプとケース入りコンデンサがある。</li></ul>	<ul style="list-style-type: none"><li>一部モールドタイプ(ラジアル)が自動挿入の関係から存在するが、大半が裸タイプである。</li><li>Freq 特性改善のため内部電極の構成方法に工夫をしているものがある。</li></ul>
品質保証 (検査)	<ul style="list-style-type: none"><li>品質確認試験 A、B、C が規定化しており、検査費用が膨大になっている。</li></ul>	<ul style="list-style-type: none"><li>一部に C SAM があるが、抜き取り検査である。</li></ul>



## 6. 宇宙用品と一般品との相違点 - 2

製造工程	<ul style="list-style-type: none"> <li>・手作業が主である。</li> <li>・チップタイプの完成品になった状態で全数 C SAM(超音波深傷試験)を実施して、内部のクラック、電極剥離などの検査を実施している。</li> <li>・ケースタイプは内部の樹脂封入状態検査のため、X-Ray 全数検査を実施している。</li> </ul>	<ul style="list-style-type: none"> <li>・機械化、自動化が主であり、手作業は殆ど存在しない。</li> <li>・外観選別もイメージセンサーが主である。</li> </ul>
その他	<ul style="list-style-type: none"> <li>・包装はばら詰めが主である。</li> <li>・価格は一般品に対して、同一品種で約 1500 倍である。</li> <li>・現在は一般用の機器には拡販できない(ロイヤリティー問題がある)。</li> <li>・信頼性保証プログラム計画書等による認定システムがあり、年1回工場審査(書類審査含む)がある。</li> <li>・QPL 部品認定品は各種の変更(工程、材料等の変更)は事前に JAXA の承認取得が必要である。</li> </ul>	<ul style="list-style-type: none"> <li>・自動装着のため、大半はテープリール(紙、エンボス)かカセット包装である。</li> <li>・原則として改善、改良などの変更(工程、材料などの変更)も社内のシステムで実施できる。得意先への事前申請は設計変更等の品質に重大な影響を及ぼす変更だけである。</li> <li>・ISO 9000 の認定を取得しており、最近では TS 16949 も取得しているが、いずれも半年に1回審査されている。</li> </ul>

## 7. 積層セラミックコンデンサの信頼性情報

7. 積層セラミックコンデンサの信頼性情報 - 1

①信頼度確保上特に重要な事項 ②信頼度確保上重要な事項 ③信頼度確保上通常管理必要事項			
工程名	作業内容	原材料,設備等	信頼度確保のポイント
原料調合	原料とバインダーを均一に調合する。	原料、バインダー、蒸留水、添加剤	①粒径が均一で微細化した原料の製造
			②コンタミネーション対策
			③製造設備と工程内の環境条件(クリーン度管理拭取時の治工具のスレ対策)
脱泡	原料調合時に発生する泡(気泡)を除去する。	真空脱泡機	①気泡の除去
			②分離対策(沈降対策)
			③製造設備と工程内の環境条件(クリーン度、温湿度管理)
シート製造	均一な厚みでシワ等のないセラミックシートを連続的に作る(ドクターブレード工法)	シート製造機	①シートキャスト条件管理(シートの出来状態、シート引き上げスピードなど)
			②製造設備と工程内の環境条件(クリーン、温度湿度管理)
			③作業者の製品取扱い
内部電極印刷	シートに内部電極を印刷する。	内部電極印刷機(銀、パラジウム、ニッケルなど)	①印刷制度の確保(Gap、アズレ、印刷厚み確保、カスレなど)
			②内部電極ペーストのコンタミネーション対策
			③製造設備と工程内の環境条件(クリーン、温湿度管理)
積み重ねプレス	目的に静電容量に分散した内部電極済のシートを積み重ねる。	プレス機	①積み重ね精度確保
			②均一なプレス条件の確保
			③製造設備と工程内の環境条件(クリーン、温湿度管理)
カット	プレスしたものをカットして一個一個に分離してコンデンサを形成する。	カット機	①カット精度の確保
			②カット面の仕上がり確保

7. 積層セラミックコンデンサの信頼性情報 - 2

焼成	内部電極とセラミックを同時焼結する。1200～1500℃(雰囲気焼成)	焼成炉(大半がバッチ炉)	①温度管理(炉内の温度均一化対策)
			②雰囲気管理(酸素濃度、炭酸ガス濃度など)
			③焼成ムラ対策
外部電極塗布	チップの左右に浸漬方式で外部電極を塗布する。	外部電極塗布機(銀、パラジウム、銅、ニッケル)	①塗布厚、塗布量管理
			②外部電極ペーストの粒径管理とペーストの濃度管理など
外部電極焼成	外部電極を焼成して金属を形成する。	外部電極焼成炉	①焼成温度管理
			②クッツキ対策(ジルコニア、アルミナ粉などとクッツキ防止剤の分離)
外部電極メッキ	外部電極にニッケルと錫を電解メッキする。	メッキ装置、メッキ膜厚計、散弾など	①メッキ濃度管理とライフ管理
			②メッキ厚の均一化対策
			③ギルダ―へ隙間へのチップ入り込み対策
			④外部電極への不純物付着対策と除去対策
電気特性測定、包装	C、tan δ、IRを自動測定する。テーピング・バルクに自動包装する。	電気特性測定機(包装機付)(ブリッジ、IR計など)	①選別精度の確保
			②測定端子の接触不良対策と混入対策
			③包装精度の確保(数不足、キャリアテープ仕上りの管理、テープ剥離強度管理など)
外観選別	カケ、ソレなどの外観を選別する。	イメージセンサが主	①選別精度の確保
			②混入対策
出荷検査	外観、C、Tan δ、IR、はんだ耐熱などの抜き検査を行う。	ブリッジ、IR計、はんだ耐熱試験品など	①検査精度の確保

## 7. 積層セラミックコンデンサの信頼性情報 - 3 (1/7)

### 現状実態の概要

- (1) セラミックコンデンサの信頼性試験を検討する場合、まず市場の要求信頼性と使用環境ストレスから必要な試験内容を検討する必要がある。積層セラミックコンデンサの要求信頼性は使用される市場とか、機器によってさまざまであるが、一般的には要求寿命は10年から20年であり、市場故障率は数FIT以下が求められる。使用環境ストレスは多岐に渡り、高温、低温、熱衝撃、湿度などの環境ストレスから、連続直流負荷、高周波パルス印加、交流負荷などの使用ストレス、振動、衝撃あるいは基板たわみや実装ストレスがある。

(FITとは: Failures in Time の略であり、部品、デバイスが $10^9$  時間に1回の割合で故障する確率)

---

## 7. 積層セラミックコンデンサの信頼性情報 - 3 (2/7)

- (2) セラミックコンデンサの磨耗故障試験の特徴は、長時間の試験を必要とすることであり、試験条件にもよるが、定格の温度、電圧条件では1万～10万時間の試験を行う必要がある。実際は加速試験により寿命試験により寿命評価を行うことが多い。しかし、加速係数はセラミック材料組成や微細構造によって異なるため、事前に十分に加速モデルを把握してから加速試験の導入を行う必要がある。磨耗故障域の不具合を確実に、評価出来たデータは少ないのでこれらの見解は推定が多い。
- (3) 信頼性の確保、保証のために、長年評価データと各種の評価から材料の基礎的開発、設計を初め工法が開発されているが、これらは殆どが温度と電圧を加速条件として信頼性を推定しているのが実体である。

## 7. 積層セラミックコンデンサの信頼性情報 - 3

### (3/7)

- (4) 信頼性を確保するために、まず材料の基礎開発の段階で評価し、次に製品化した段階で得意先の要求条件を十分保証出来る試験条件(例えば温度、電圧加速を中心に、評価試料を最低でも1万个以上にして、コンポーネントアワーを確保している。)
- (5) また、通常出荷から製品別、設計グループ、製造場所などに区分して、得意先との取引条件で規定されている様な高温負荷試験、耐湿負荷試験などをロット抜き取りで評価している。

---

## 7. 積層セラミックコンデンサの信頼性情報 - 3

### (4/7)

- (6) 工程変更(材料変更、工法変更、設備変更など)は変更内容により、信頼性評価を行いDR(設計審査)同等の確認をして、変更するシステムが確立している。
- (7) 寿命試験を実施する場合は、1万~10万時間の試験を行う必要がある。実際は加速試験により寿命試験により寿命評価を行うことが多い。しかし、加速係数はセラミック材料組成や微細構造によって異なるため、事前に十分に加速モデルを把握してから加速試験の導入を行う必要がある。磨耗故障域の不具合を確実に、評価出来たデータは少ないのでこれらの見解は推定が多い。

## 7. 積層セラミックコンデンサの信頼性情報 - 3 (5/7)

### (8) 温度加速性

積層セラミックコンデンサは下記のアレニウスモデルに従うことが確認されているが複雑であるため、関係式の紹介だけとする。

$$L = C \cdot \exp \{E_a / (k \cdot T)\}$$

L : 寿命, C : 定数,  $E_a$  : 活性化エネルギー,  
k : ボルツマン定数, T : 絶対温度 (K)

- ・別資料より抜粋し  $E_a$  は 1.0 から 1.5 eV の値をとる。
- ・温度加速係数は 6 °C 則から 10 °C 則の値をとる。

$$A_L = L_N / L_A = 2^{(\Delta t \cdot \theta)}$$

$A_L$  : 加速係数,  $L_N$  = 基準条件の寿命,  $L_A$  : 加速寿命,  
 $\Delta t$  : 基準条件と加速条件の温度差,  $\theta$  : 温度加速係数

---

## 7. 積層セラミックコンデンサの信頼性情報 - 3 (6/7)

### (9) 電圧加速性

温度一定下での電圧値と寿命の関係は、下記のアイリングモデルで表される。一般に使用されているのはこれである。

$$L = C' \cdot V^{-\alpha}$$

L = 寿命,  $C'$  = 定数, V = 電圧,  $\alpha$  = 電圧加速係数

Cは電圧以外の要素で寿命が決まる定数であるが、ここでは省略しますが、データから約 20.5 となっている。

また、従来セラミックコンデンサは電圧3乗則に従うと言われており、 $\alpha$  は 3~5 が得られているが、容量値の大きいものは電圧依存性が高いため、ここでは省略するがアイリング解析プロットから最近の 1  $\mu$ F 品では、 $\alpha$  は 4.4 が得られている。

## 7. 積層セラミックコンデンサの信頼性情報 - 3 (7/7)

前述の温度、電圧加速モデルを用いて、最高使用温度85°C、定格電圧に置ける寿命を推定すると概略ではあるが、下記の様になる。

$$\begin{aligned} L &= 20.5 \times 25^{4.39} \\ &= 28,100,270\text{hrs} \\ &= 3,207 \text{ 年} \end{aligned}$$

### (10) 寿命試験における不具合モード

データからは下記の様な不具合モードを検出している。

- ショート不良 : 概ね100%
- Cap. 抜け(Cなし) : 0%

---

## 8. セラミックコンデンサの特徴

## 8. セラミックコンデンサの特徴 (1/2)

- (1) セラミックはダイヤモンドについて硬いが欠けやすい  
(衝撃に弱いことはない)  
外観検査などはピンセットの先が樹脂や象牙のものを、製造メーカーでは使用しているケースが多い。
  - (2) セラミックのポアはダイヤモンドについて少ない。
  - (3) セラミックは急熱、急冷に弱い。  
特に急冷はガラスと同様であることを認識必要。  
製造メーカーではリード線付け品の予熱温度とはんだ温度との差は100℃以下にしている → 常識化(耐圧不良実績から)
  - (4) クラック防止の為、及び外部電極折れなどを防止する為、2度  
はんだごて付けは避ける。
  - (5) バイアス特性があるので注意すること。
  - (6) セラミックはコンクリートブロックの様に圧縮には強いが、引っ張り  
には弱い。
- 

## 8. セラミックコンデンサの特徴 (2/2)

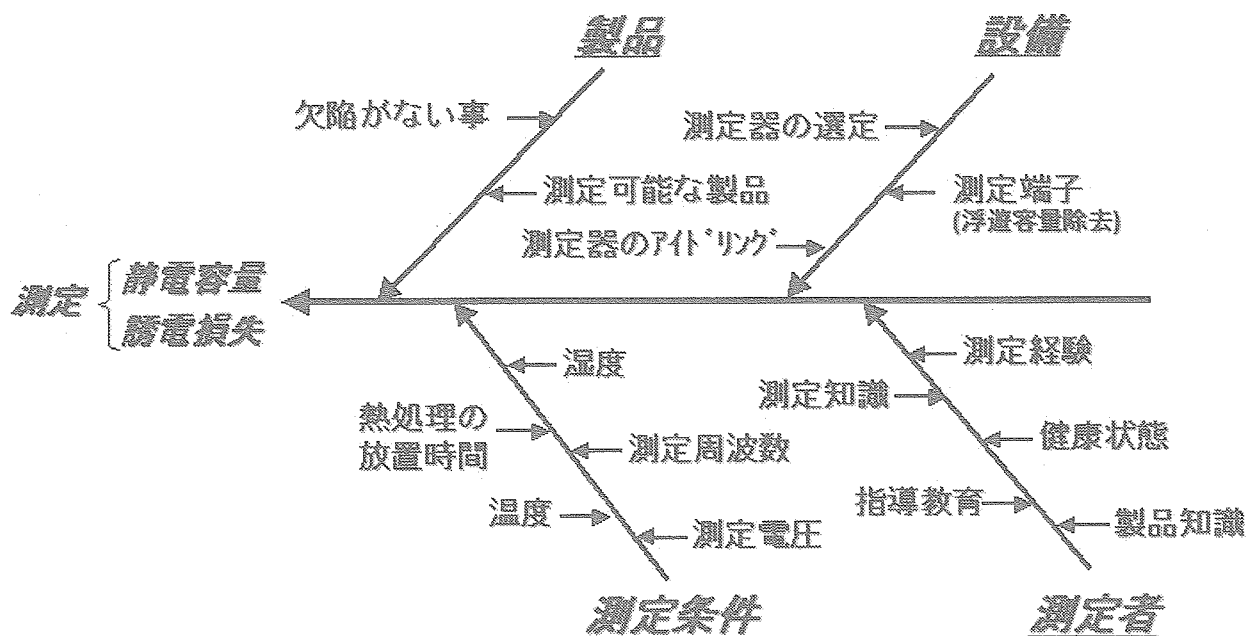
- (5) セラミックコンデンサには経時変化がある。材料にもよるが温度  
特性NPOのものは経時変化が他の材質よりも小さいため、標準  
コンデンサに使用されている。  
例：アジレント テクノロジから発売されている。
- (6) 周波数特性が良い。→ 電極構成方法などの改善例参照
- (7) 単板のコンデンサは電極マージン(Gap.)は少ないほうが、破壊  
電圧は高くなる。→ 電極マージンと破壊電圧の関係参照  
但しマイグレーション対策、電極間の欠け、クリーン度、樹脂など  
の接着は十分なる対策が必要である。
- (8) 寿命曲線(バスタブカーブ)から初期故障を除去すれば偶発故障  
は少ないので、磨耗故障まで行くと見て良い。  
これらに着目して宇宙用はCSAM(超音波探傷)試験とXRAY試  
験を全数実施している。また定格電圧と破壊電圧の比を安全係数  
とすれば、10倍以上をDR(設計審査)では見ている例がある。

## 添付資料：特性要因図

静電容量、誘電損失測定時の注意点

### 静電容量、誘電損失測定 一特性要因図一

例







# 積層セラミックコンデンサの エージング特性

# 固定磁器コンデンサ(種類 2)の静電容量のエージングについて

## 1. 概要説明

高誘電率系の磁器コンデンサ（代表的なものとして、 $\text{BaTiO}_3$ を主成分とし、温度特性がB、E、F特性のものなど）は、静電容量が時間経過と共に低下する性質を持っています。この性質のことを静電容量のエージング（Aging）と呼んでいます。

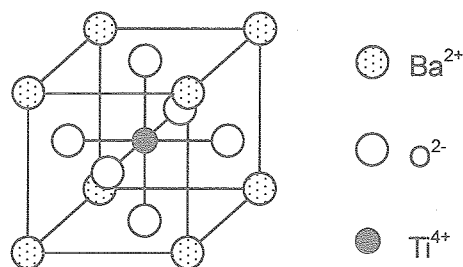
静電容量のエージングは自発分極を有する強誘電性磁器に特有の現象で、磁器コンデンサをキュリー点（結晶構造が変化し、自発分極が消失する温度）以上に加熱し、その後キュリー点以下の温度に無負荷で放置したときに、時間とともに自発分極が反転しにくくなり、これが結果的に静電容量の時間的低下として観測されます。

なお、当現象は、高誘電率系（ $\text{BaTiO}_3$ 系）の磁器コンデンサ全般に見られる現象です。一部の公規格では付属書を設け、静電容量のエージングについて補足説明がされております（単板コンデンサ：IEC384-9 Appendix A、積層コンデンサ：IEC384-10 Appendix B、等）。

エージングにより静電容量が小さくなった磁器コンデンサを再度キュリー点以上に加熱すると静電容量は回復します。そして磁器コンデンサがキュリー点以下に冷えた時点から再びエージングが始まります。

## 2. $\text{BaTiO}_3$ 系磁器の自発分極と強誘電性

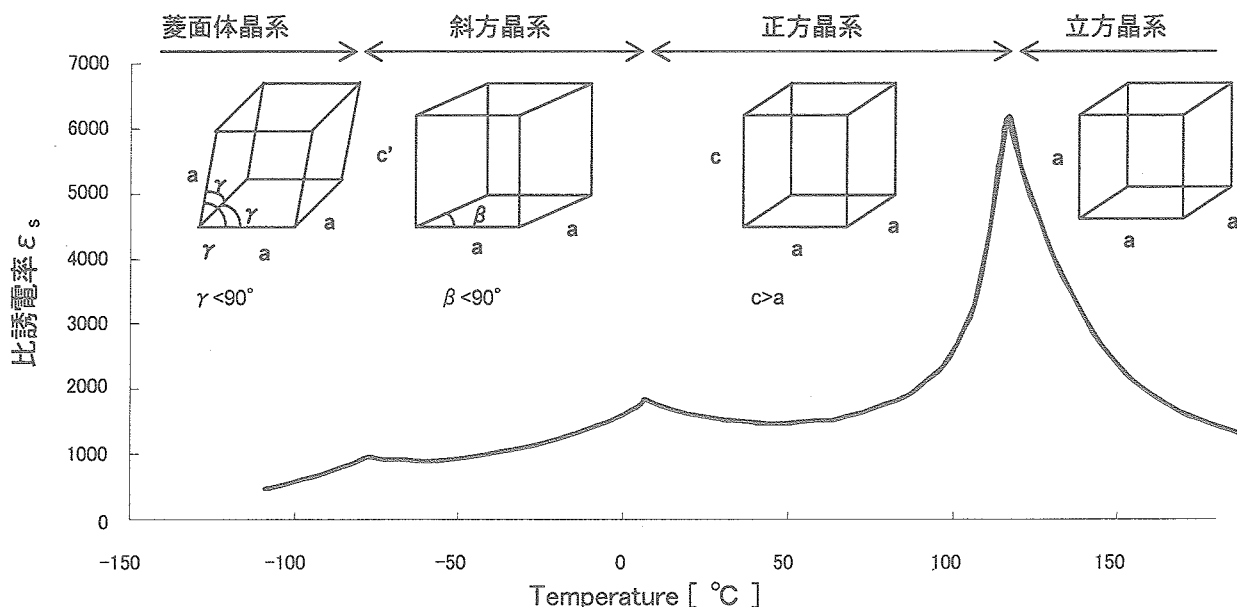
$\text{BaTiO}_3$ 磁器は図①に示すようにペロブスカイト（perovskite）形の結晶構造を持ちます。キュリー点以上の温度では立方晶系（cubic）で、Baは頂点に、Oは面心に、Tiは体心にあります。



図①  $\text{BaTiO}_3$ 磁器の結晶構造

これがキュリー点以下の常温領域では一つの軸（C軸）が約1%伸び、他の軸がわずかに縮んで正方晶系（tetragonal）となります（図②）。この際、 $\text{Ti}^{4+}$ イオンが伸びた軸方向に、体心から0.12 Å変位して $\text{O}^{2-}$ イオンに接近した位置を占めます。このため正負の電荷の重心がずれて分極が生じます。

この分極は結晶構造の非対称性に起因し、外部から電界や圧力を加えなくてもはじめてから生じているものです。このような分極を自発分極（spontaneous polarization）といいます。

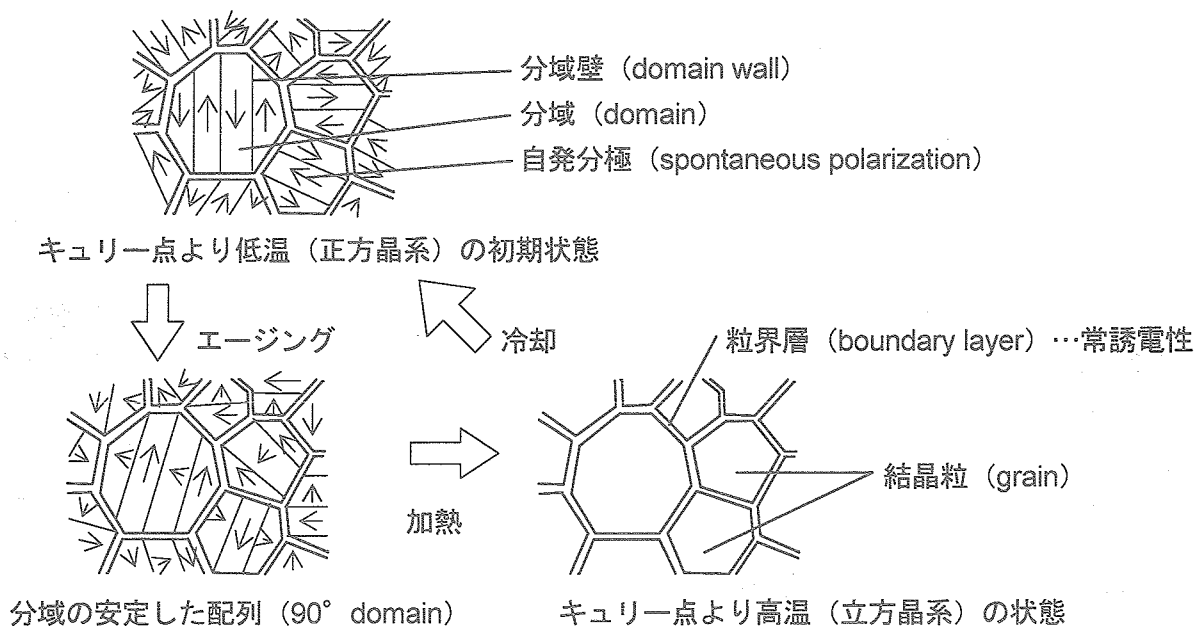


図② 温度による結晶構造および比誘電率の変化（純粋な BaTiO<sub>3</sub> 磁器の場合）

また、BaTiO<sub>3</sub> 積層磁器は外部からの電界により自発分極の向き（Ti<sup>4+</sup>イオンの位置）を容易に反転させることができます。このように、自発分極を持ち、自発分極の向きを外部電界によって反転させることのできる性質を特に強誘電性（ferroelectricity）と呼んでいます。BaTiO<sub>3</sub> 磁器は代表的な強誘電性磁器です。

### 3. エージングの機構

BaTiO<sub>3</sub> 系積層磁器は図③に示すように直径 1~20 μm の微結晶の集合体（多結晶体）です。この微結晶は結晶粒（grain）と呼ばれ、図①、②に示す結晶構造が規則正しく配列してできています。また、結晶粒はキュリー点以下の温度ではいくつもの分域（domain）に分かれています。分域内は結晶軸の方向がそろっており、したがって自発分極の向きもそろっています。



図③ BaTiO<sub>3</sub> 系磁器の微細構造（模式図）

BaTiO<sub>3</sub>系磁器をキュリー点以上に加熱すると、結晶構造が正方晶系から立方晶系へ相転移します。これに伴い、自発分極が消失し、分域もなくなります。

これをキュリー点以下に冷却すると、キュリー点近くで立方晶系から正方晶系へ相転移し、C軸方向が約1%伸び、他の軸がわずかに縮んで自発分極および分域が生成します。同時に結晶粒は周りに歪みによるストレスを受けます。

この時点では結晶粒内に微少な分域が多数生成しており、各分域が持つ自発分極が低電界でも反転しやすい状態にあります。単位体積あたりの自発分極の反転に相当するのが比誘電率ですので、これは大きな静電容量として観測されます。

キュリー点以下の温度に無負荷で放置されると、時間の経過とともに、ランダムな方向を向いていた分域がより大きな寸法をもち、かつエネルギー的により安定した形（図③ 90° domain）へと徐々に再配列して結晶の歪みによるストレスを解放していきます。

また、これに加えて粒界層の空間電荷（動きの鈍いイオンや空格子点など）が移動し、空間電荷分極が生じます。空間電荷分極は自発分極に作用して自発分極の反転を阻害します。

つまり、自発分極の生成から時間が経つと、徐々に自発分極が安定した状態に再配列するとともに粒界層に空間電荷分極が生じて自発分極の反転を阻害するようになります。この状態では分域がもつ自発分極を反転させるためにより高い電界が必要になります。言い換えれば低電界で反転する分域が減少する事になり、静電容量が低下します。

これがエージングの機構と考えられています。

なお、結晶の微細構造はキュリー点以上に加熱することで初めの状態に戻り、再びエージングを始めます。

#### 4. 磁器コンデンサのエージング

一般に、高誘電率系積層磁器コンデンサの静電容量は、125℃以上の熱処理から24時間後の値を基準として、対数時間グラフ上でほぼ直線的に低下します。ある製品の静電容量のエージング特性の代表例を添付の補足資料に示しますので、ご参照下さい。

エージングにより減少した静電容量は、取り付け工程での加熱により回復します。

積層コンデンサの静電容量は、機器に組み込まれた時点で規格の中央値を保持することが期待されていると考えます。一般には上記の考えに基づき、容量範囲を決めております。

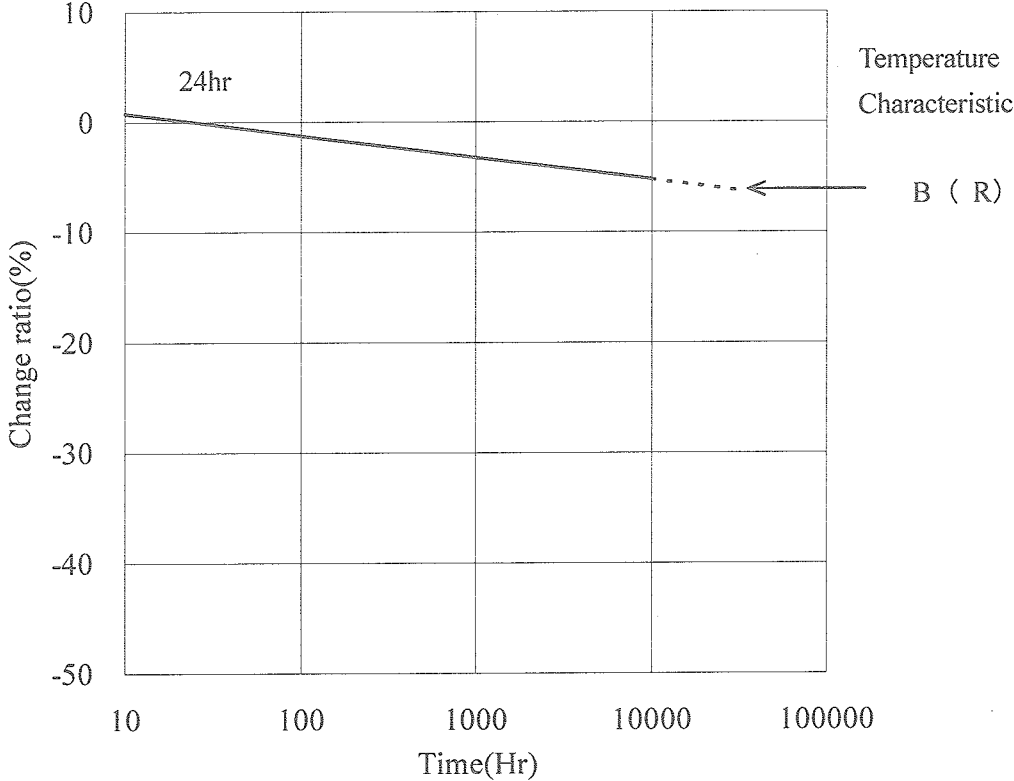
なお、温度補償用の積層磁器コンデンサには、エージング現象はありません。

#### 5. ご使用の際のお願い

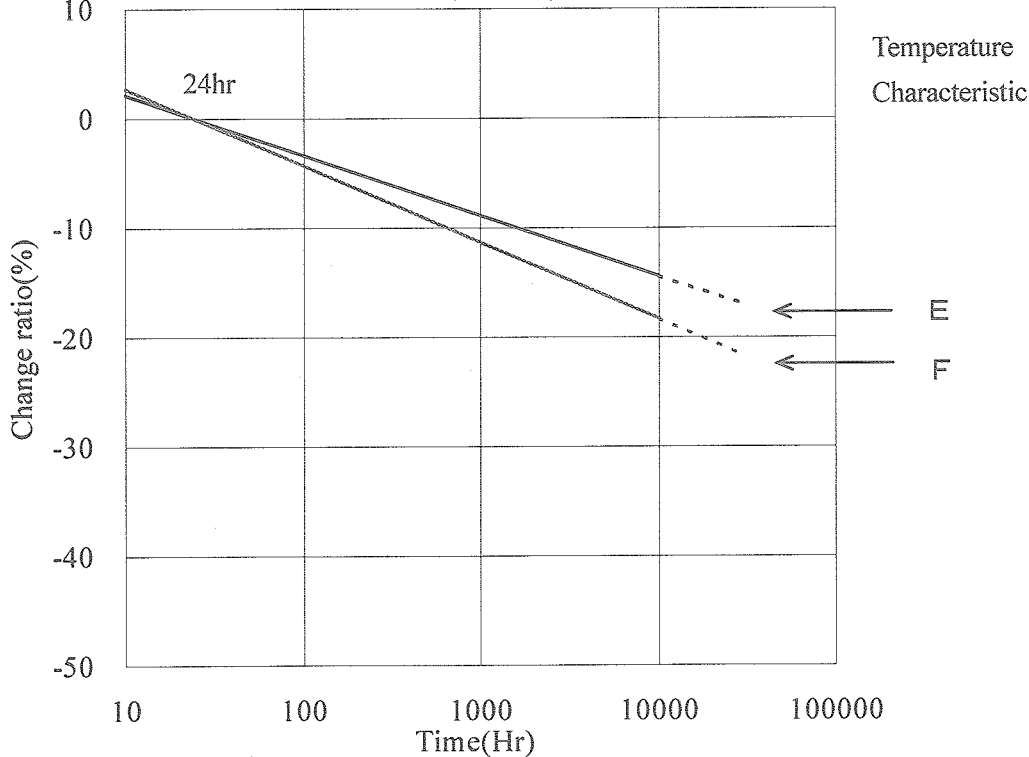
以上のように、高誘電率系の積層磁器コンデンサ（BaTiO<sub>3</sub>系）のエージング現象は、磁器材料の基本的な性質の一つであります。エージングによる静電容量の変化の大きさは、磁器材料の種類によって異なります。また、実際の回路上で、DCバイアス電圧が印加される場合には、DCバイアス電圧の大きさによっても、静電容量のエージングの大きさが変化します。

従いまして、高誘電率系の積層磁器コンデンサをご使用いただく場合におきましては、エージング現象による静電容量の変化をご配慮いただきますと共に、特に静電容量の安定性が必要な場合には、実際の機器でのご確認をお願いいたします。

1. Capacitance Change according to Aging  
(Multilayer Ceramic Capacitor)



2. Capacitance Change according to Aging  
(Multilayer Ceramic Capacitor)





\*\*\*\*\*

## 「コンデンサと適正な扱い方」質問書に対する回答集

\*\*\*\*\*

回答者：佐藤幸雄（JAXA 総合技術研究本部 宇宙用部品開発共同センター）

\*\*\*\*\*

Q 1. 今回紹介されたさまざまな不具合（P. 1-21～P. 1-31）に対して、組む前に不良品を除くためのスクリーニング方法を教えてください。

A 1. 記載事項が多いので別紙 1 のファイルにて回答します。

Q 2. 一般MIL品を調達する際のUPスクリーニング項目について、ロケットに使う場合に必要な項目条件（時間、温度など）を教えてください。（要求にはUPスクリーニングとだけあり、項目、条件は実績からという場合が多く、「こういう考え方により」ということがどこかにあると助かります。）

A 2. まずMIL-HAND BOOKかADS（適用データシート）を見て判断下さい。次に、NASAのNPSLのHPにNoteの様な注意事項が記載されていますので、参照願います。  
なお場所はRD-202の部品センター → 研開棟3F → DB → 海外Spec → NASA/TDの2003-212242に記載されていますが、個別に私から説明して理解を得る様にします。

Q 3. 宇宙実績のない？コンパチ品（MIL品）を使う場合に必要な評価試験（考え方を含め）を教えてください。

A 3. 基本的には「部品の初期認定試験」で指定されている試験項目を実施することが肝要ですが、特にNASDA-QTS-2040に規定されています品質確認試験のうち熱、電圧、湿度などの環境性能の品質確認試験を行うことが重要と判断します。他に超音波探傷試験（ボイド、デラミ、クラック検出用）は私の経験では試験項目には一般に入っていませんが、積層構造になっているものについては全数全点実施することが、必須条件と考えています。

Q 4. MIL品使用上（回路での使い方など）の注意があれば教えてください。（H-IIA で話題になっていますので。）

A 4. 一般論になりますが使用回路の電圧（リップルを考慮）、周波数特性（共振点、発熱、ESR、ESL）、静電容量（回路乗数、経時変化を考慮）などが確認項目となります。取扱上の問題は考慮せず。

Q 5. 資料P. 1-32 にて、「外観選別もイメージセンサーが主」とありますが、どのようなものでしょうか。

A 5. 製品のサイズが1005（1mm×0.5mm）以下になりますと、肉眼では外観選別が不可能です。又実体顕微鏡でやっても作業能率が悪いとか、人による選別精度は必ずしも良くないし（選別ミス率が高い）、更に一日中顕微鏡をのぞいていると、人によっては吐き気がするなど、いろんな選定条件が入ります。このためどうしてもイメージセンサーを駆使した選別方法を採用することになります。イメージセンサーの原理は、被写体に光を当ててカメラ画像からの情報からカケ、クラ



ック、混入、変色、印表示不良などを検出（選別）するものです。しかし変色など判別困難なものとか、光の当て方から乱反射するなどの問題があるので、製造メーカーでは苦労しています。私見ですがこの選別方法を採用するまでには、長年専門メーカーと共同開発して、製造工程に入れた経験があります。なお製品の外觀構造からイメージセンサーによる選別が出来ないものは、顕微鏡使用を義務付けていることも付け加えておきます。

Q 6. 宇宙機器のメーカーでは、実装後に検査が行われていますが、セラミックコンデンサは識別が困難になると思います。Q 5 のイメージセンサーが利用できるのでしょうか。（実際に違った部品が付いていたことを見落とした不具合がありました。）

A 6. A 5. から類推可能と思いますが、採用は可能です。ただし異種品とか、ズレ、大きなクラック、表示カケなどは問題なく検出が可能と判断しますが、設備投資額が大きいことは了承下さい。つまり投資効率を考えてイメージセンサーを採用するか、人による確認（検査）をするか判断することになるでしょう。

Q 7. 車用のコンデンサを宇宙用として使うにあたり、熱設計だけでなく放射線特性を調べることは必要ですか。

A 7. 結論から申し上げますと、まだ正確な調査データがないので、調べる必要があると判断します。但しセラミックは放射線特性は問題ないと考えます。

Q 8. はんだくわれの処置方法が少し分かりにくかったのですが、ご説明いただけますか。

A 8. はんだ喰われは基盤にチップコンデンサなどをはんだ付けする時、チップコンデンサなどの外部電極が溶融したはんだに喰われる（移行する）ことをいいますが、この対策として、今回は積層セラミックコンデンサの製造メーカーが行っているはんだ喰われの対策として外部電極にNiめっきをした例で説明させて戴きました。しかしNiめっきははんだ濡れ性が必ずしも良くないので、Niめっきの上に更にSnめっきを施して、基板へのはんだ付け条件（はんだ温度、溶融はんだへの浸漬時間、はんだの種類など）が多少異なってもはんだ喰われが生じることなくはんだが付く様な構造にしています。なおNiめっき、Snめっき層は各社ははんだ喰われ対策だけでなく、生産性なども考慮して層の厚みとか、めっき工法を工夫していることは当然です。Snめっきはウィスカ問題（Snの針状結晶成長による短絡）があるとの指摘から、はんだめっきで対応するメーカーもあります。

Q 9. 高周波特性を向上させるための工夫（形状、配置）が納得できません。具体的に形状のどこが効くのでしょうか。例えば電荷の移動距離の差（？）など定性的にでも教えてください。

A 9. 積層セラミックチップコンデンサは構造が簡単であり、高周波特性は他の電子部品に比較してよい方ですが、市場は更に高周波特性の良い部品を要求する傾向があります。このための対策として下記のような設計改善をおこなっています。

- ・ 内部電極を従来の横長から90度電極構成方法を変えて、電極間の距離を短くして、ESL（等価直列インダクタンス）を小さくする。

$$ESL = \mu L / 2\pi \times \{ \ln(2L/Wt) \} + A$$

ここでL=内部電極長さ、W=内部電極幅、t=内部電極厚み

Aの係数は省略しました。これらの公式は電磁気の参考書に記載されています。

- ・ 原料組成を高周波特性の良いものでシリーズ化する。
- ・ 内部電極をESR（等価直列抵抗）の小さい電極材料にする。

\*\*\*\*\*

## 積層セラミックコンデンサを組み込む前の

### 不良品除去のスクリーニング方法

#### １．まえがき

不良品（不具合品）を発生させないためには、原料の選択からチップとして組み込むまでの工程が全て対象となりますので、相当量の説明が必要になります。ここではさる製造メーカーの工程を対象にして主要工程とか重要な不良品対策についてのみ、説明させて戴き回答とさせて戴きますので了承願います。

#### ２．具体的なスクリーニング方法

- a. 原料組成の検査（品質確認以外に粒径のばらつき、シリカとか鉄粉などの混入）を行ない、粉碎方法、原料調合基準、時には脱鉄などの処置方法を決めます。

→ 原料検査による選択の実施

- b. 原料１ロットは、製品形状によっては１ヵ年以上使用することも日常多いため、必ず先行試作をして、品質確認だけでなく、生産性（作業性、収率など）製造上の諸問題を確認して、不良品の発生し難い工法確立とか、問題点の事前把握をして、最適な仕様のものに振り当てを行なっています。この時点で最終原料調合条件設定を決めます。

→ 先行試作による事前の品質確認と原料調合基準の選択

- c. 積み重ねまでの工程はクリーンルームにしてクリーン度管理をするとともに、設備毎にクリーンベンチ、クリーンブースを取り入れて局所対策をし、浮遊粉塵の巻き込み対策をしている。

→ クリーン度管理（浮遊粉塵の混入対策）

- d. 次に製造工程毎に説明します。

- ・ 原料調合時も完成品数量ではこれまた数千万個にもなりますので、先行試作をして上記b. 項と同じ様な確認をします。この時は完成品の特性を確保するための誘電率の精測（静電容量の設計）とか、最終的な完成品仕様を決定して不良品発生の方策に結び付けています。

→ 第２次先行試作による品質確認と作業性確認及び作業条件設定

- ・ シート（マカロニの様に柔らかいセラミックをトイレットペーパーの様にロール状に巻きつけたもの）を形成する時は均一なシート厚みは自動コントロールで調整される設備になっていますが、センサーでチェックし、不具合箇所はマークして除去しています。

→ シート形成時の管理及び問題と考えられる箇所の表示と除去

- ・ 内部電極形成（印刷）は自動機で行いますが、内部電極材も別工程にてコンタミネーション（異物の混入）対策とか作業性など、試作をして確認されています。

またスクリーン印刷のため、スクリーンの材質、形状を吟味することは勿論、スキージゴムと同時にショット管理（使用回数による取替え管理）なども徹底しています。

→ 検査された内部電極材の採用と印刷機の詳細箇所の管理

参考ですが印刷は自動修正メカが採用されています。

- ・ 内部電極形成はシートから内部電極印刷、積み重ねまでの工程を一括して行い、人の手が入らない様に、更には空気にさらされている時間を短くして、浮遊粉塵を巻き込むことのない様に工夫している。

→ 人的対策（人の唾、化粧粉、衣服等の微細な糸くず対策等と設備の自動化）

- ・ 設備管理、作業者の管理（指導、教育、交代時の引継ぎなど）、各種の変更管理（材料、設備、作業者等の変更）、技術条件管理（温度、湿度、速度、計測器管理等、不良率管理（不良品の確認体制）、作業能率管理（作業性と品質は重要な関係にある）など管理体制も品質確保には重要な位置付けにあります。

→ 4 M（設備、人、材料、方法）の管理

（ア） 設備 （MACHINE）

（イ） 人 （MAN）

（ウ） 材料 （MATERIAL）

（エ） 方法 （METHOD）

これの他に計測（MEASUREMENT）を追加する人もいます。

以上







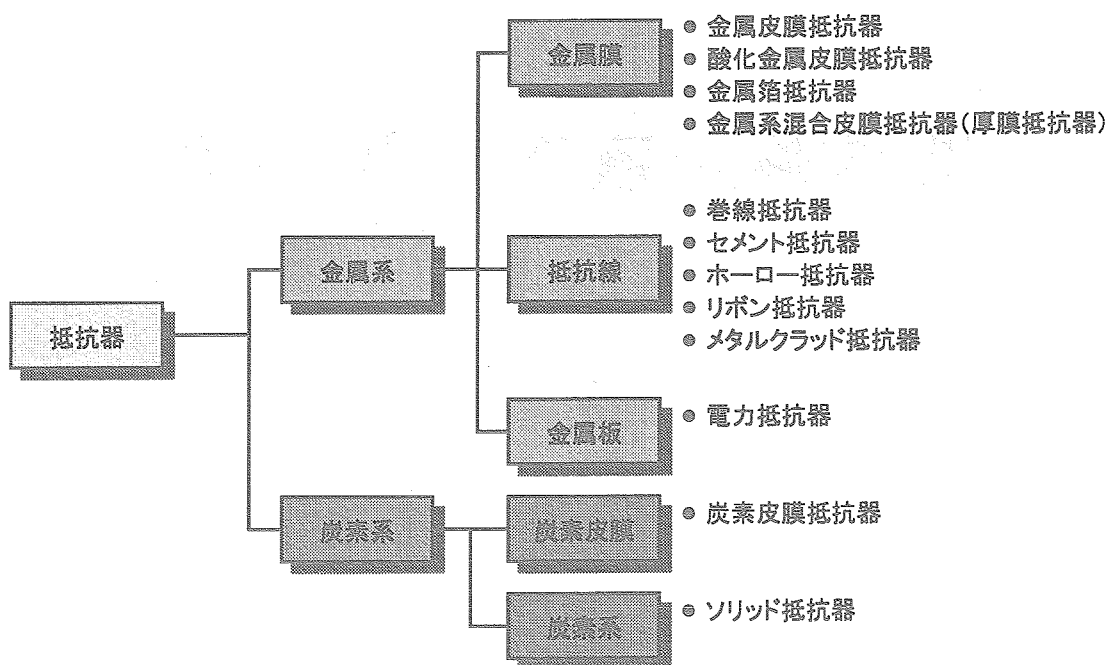
# 抵抗器と適正な扱い方

## 目 次

1. 抵抗器の種類
2. 抵抗器の性能と特徴
3. 用語の定義
4. 抵抗器使用上の注意事項
5. 抵抗器の故障モード
6. 抵抗器の諸特性と主要因との相関性
7. 解析手順
8. 金属皮膜抵抗の断線故障モードとメカニズム
9. 初期故障排除事例
10. 不具合事例



## 1. 抵抗器の種類



## 2. 抵抗器の性能と特徴

抵抗器の性能は、抵抗器の種類によって大きく異なります。実用条件における性能は、抵抗器の材料設計、構造設計及びプロセス設計に依存しているため製造業者の設計思想が保証性能へ反映されます。以上の理由から、性能の保証範囲は製造業者への確認が必要になります。

## 抵抗器の性能(代表値)

特性項目	単位	金属皮膜	酸化金属皮膜	金属混合系
抵抗値許容差	%	0.01~5	1~10	2~5
抵抗温度特性	ppm/°C	2~200	100~350	200~500
電圧係数	ppm/V	10以下	10以下	±500以下
短時間過負荷	%	0.25~0.5	0.5~2	1
温度サイクル	%	0.25~0.5	0.5~1	1
はんだ耐熱性	%	0.1~0.25	0.5~1	0.5~1

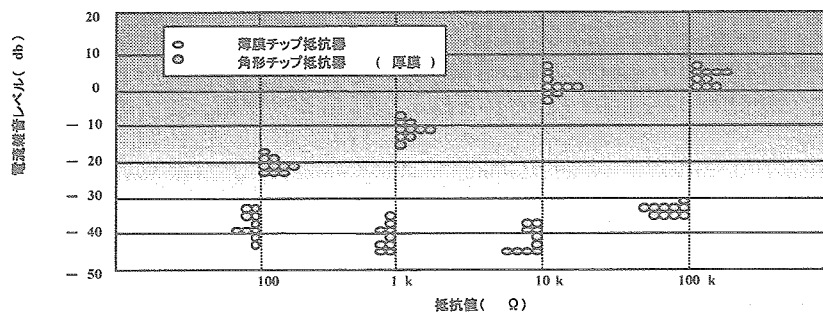
## 抵抗器の性能(続き)

特性項目	単位	金属皮膜	酸化金属皮膜	金属混合系
雑音	dB	-20~-50	-30~-10	-20~+10
耐湿負荷	%	0.5~1	1~5	2
負荷寿命	%	0.5~1	1~5	2
経時変化	%/年	0.1以下	0.1~0.5	0.1~1
最高使用温度	°C	150~175	235~350	125~150
定格周囲温度	°C	70~125	40~70	40~75

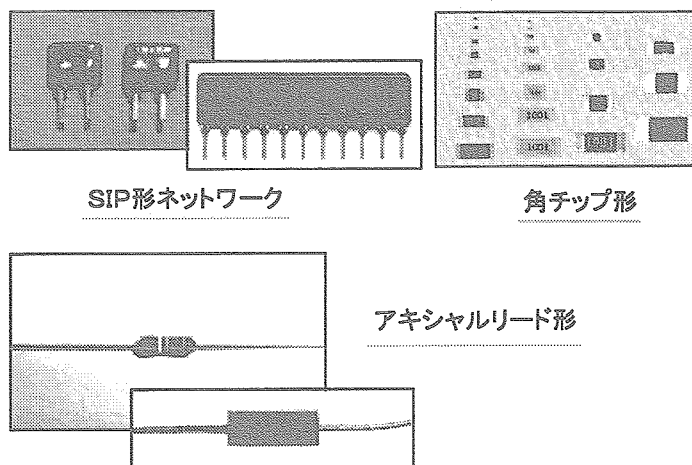
## 金属皮膜抵抗器

- Ni-Crなどの金属を抵抗膜とした精密巻線抵抗器に匹敵する高精度  
高安定性、高信頼性、低雑音性に優れています。
- 温度係数(TCR)は、 $\pm 25 \text{ ppm}/^\circ\text{C}$ 以下のものが容易に得られる。
- 抵抗値許容差の選択肢が広い( $\pm 0.01\% \sim \pm 5\%$ )

チップ抵抗器の電流雑音特性例

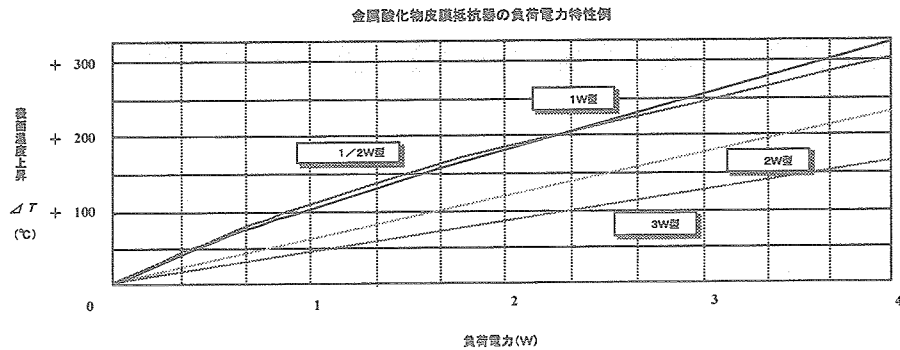


### 外形、構造による種類



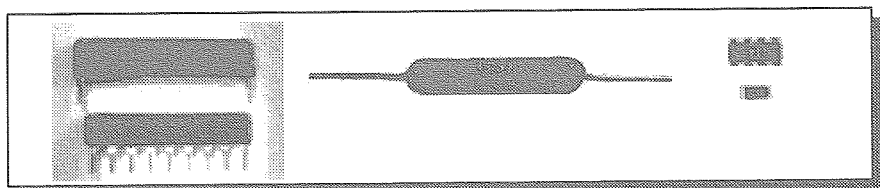
## 酸化金属皮膜抵抗器

- 抵抗膜は、金属酸化物であり、耐熱性に優れています。
- 1～10ワット程度の中～高電力用抵抗器として使われるものが多い。
- 小形で負荷電力が大きいいため、発熱が大きく(150～370℃)なるため、実装には十分注意する必要があります。



## 厚膜抵抗器

- 抵抗膜は、RuOとガラスの焼結体であり抵抗値範囲が、100kΩ～1,000MΩのもので安定性の良い抵抗器が得られます。
- 角型チップ、抵抗アレー、アキシアルリード形、可変抵抗器用素子として最も多く使われています。
- 角形チップ抵抗は、0402(0.4×0.2mm)サイズまで小型化が進んでいます。
- 実装面積を縮小(約70～80%)するのに1チップに複数内蔵した多連チップ抵抗が使われています。
- 形状は、2012タイプや1608タイプの2連、4連タイプから現在では、0603タイプの2連、4連まで小型化が進んでいます。



### 3. 用語の定義

- 定格電力

定格周囲温度において連続して負荷できる電力の最大値。

- 定格電圧

定格周囲温度において連続して印加できる直流電圧又は交流電圧（商用周波数実効値）の最大値をいい、定格電力と公称抵抗値を用いて、次式より算出した値となります。但し、最高使用電圧を超えない値。

$$\text{定格電圧 (V)} = \sqrt{\text{定格電力 (W)} \times \text{公称抵抗値 (\Omega)}}$$

- 臨界抵抗値

最高使用電圧を超えることなく定格電力を負荷できる最大の抵抗値。臨界抵抗値においては、定格電圧と最高使用電圧が等しくなります。

---

- 最高使用電圧

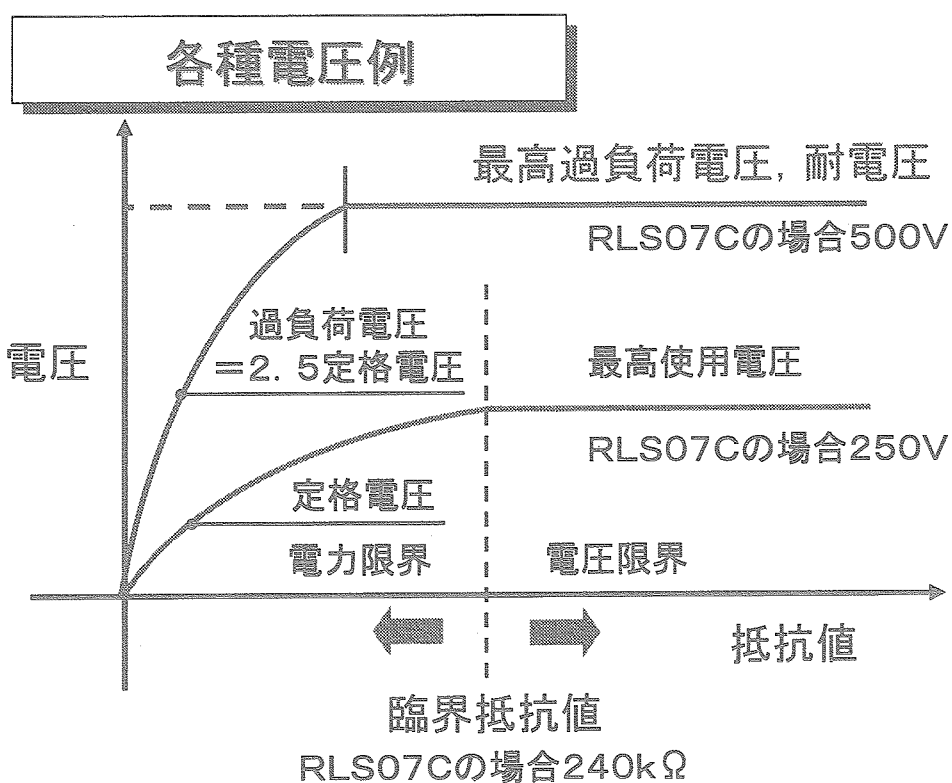
抵抗器又は抵抗素子に連続して印加できる直流電圧又は交流電圧（商用周波数実効値）の最大値。但し、臨界抵抗値以下では印加できる電圧の最大値は定格電圧となります。

- 最高過負荷電圧

過負荷試験（JIS C 5201-1 4.13）において、5秒間印加可能な電圧の最大値。通常、短時間過負荷試験における印加電圧は定格電圧の2.5倍で最高過負荷電圧を超えない電圧とします。

- 耐電圧

耐電圧試験（JIS C 5201-1 4.7）において、電極と外装の指定箇所の間に1分間印加可能な交流電圧（商用周波数実効値）。



・ 定格周囲温度

規定の定格負荷(電力)を加えて連続使用できる抵抗器の周囲温度の最高値。抵抗器を組み込んだ機器内部における抵抗器の周囲の温度であり、機器外の空気温度でないことに注意してください。

・ 軽減曲線

周囲温度とその温度において連続して負荷できうる電力の最大値の関係を示す曲線で、百分率で表します。

・ 抵抗温度特性

抵抗器の使用温度範囲内で、規定の温度間における1℃あたりの抵抗値の変化率をいいます。

## 4. 抵抗器使用上の注意事項

- ①抵抗器の使用に当たっては、特性、定格電力、構造、寸法、抵抗素子などが使用目的に合致することを十分に確かめる必要があります。
- ②抵抗器の信頼性に、温度、湿度、電力（電圧、電流及び波形を含む）が 相関々係をもって影響しますので、考慮した設計が必要とされます。
- ③機器によって使用環境、使用と休止のインターバル、製造後使用までの在庫期間の長短、その間の環境条件が種々雑多である。

これらを総合して品種の選定を考慮する必要があります。

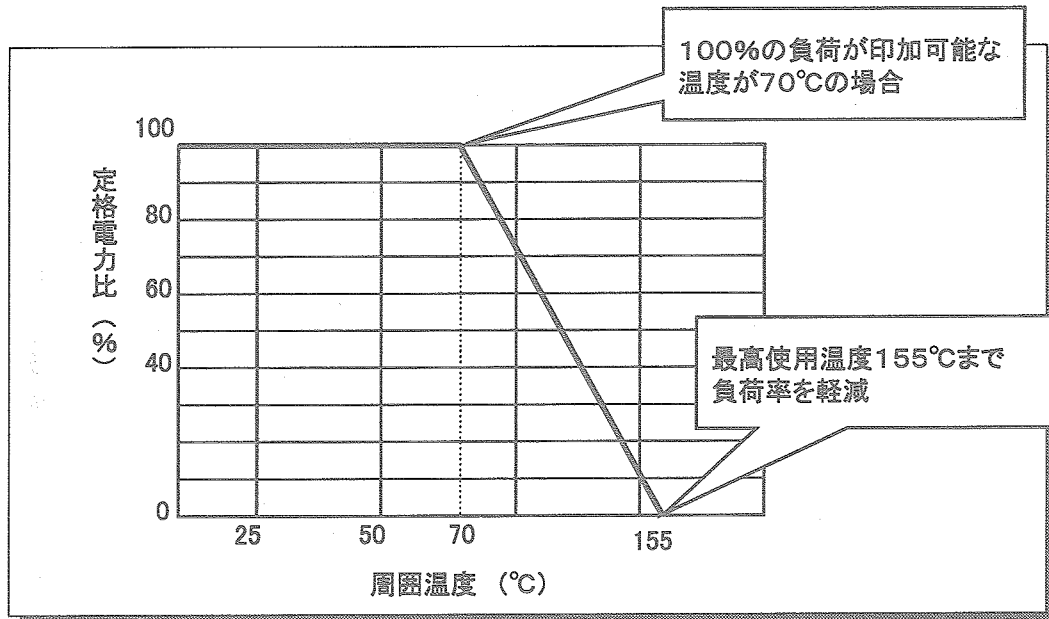
---

### 4-1. 電氣的な考慮

#### ① 定格と周囲条件

- ・ 抵抗器の電力は、規定の周囲温度において、連続的に負荷出来る最大値がとられていて、その値は、抵抗器の種類ごとに規格化されていて、さらに形状別に異なっています。
- ・ 一般に25、70、125、155℃を定格周囲温度としています。
- ・ 周囲温度が高い場合は、その抵抗器が放散する熱量は、それに応じて減少します。  
従って、それぞれ抵抗器の負荷軽減曲線に従って周囲温度に応じて電力を軽減する必要があります。

## 負荷軽減曲線(例)



## ② 定格と精度

全ての抵抗器は、固有の抵抗温度係数を持っています。  
従って、抵抗値精度を要する回路においては、周囲温度と自己発熱による温度上昇分の抵抗値変化を考慮する必要があります。

(例1) RLS05C 301kΩを、負荷率50%、70°C中で動作した場合  
抵抗値は、室温で動作した値から0.11%ズれる可能性があります。

$$(70^{\circ}\text{C} - 25^{\circ}\text{C}) \times 0.0025\%/^{\circ}\text{C} = 0.11\%$$

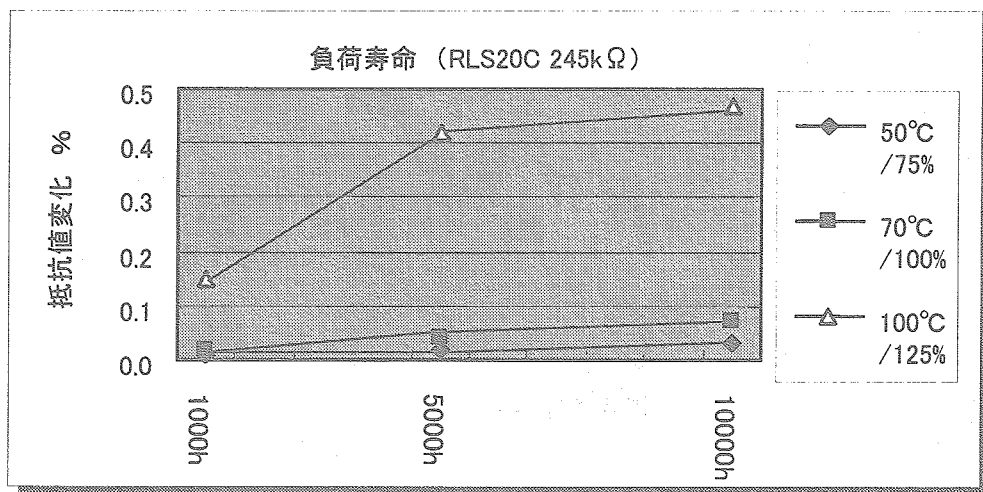
(例2) RLS05C 301kΩを、室温で負荷率を25%から100%で動作した場合、表面温度が17deg上昇し、抵抗値は負荷率25%の値から0.04%ズれる可能性があります。

$$(22.8\text{deg} - 5.8\text{deg}) \times 0.0025\%/^{\circ}\text{C} = 0.04\%$$



### ③ 定格と長期安定性(寿命)

- ・ 抵抗器の長期安定性(寿命)は、温度、湿度、電力(電圧、電流およびその波形も含めて)及び時間が関連々係をもって影響します。
- ・ 長期間の安定性を求める場合、公称定格電力の50%以下に軽減する事が最良です。



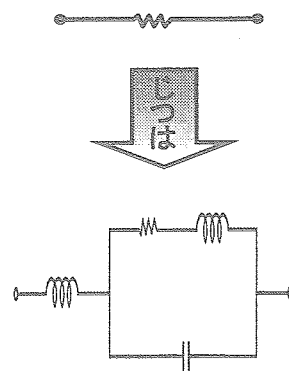
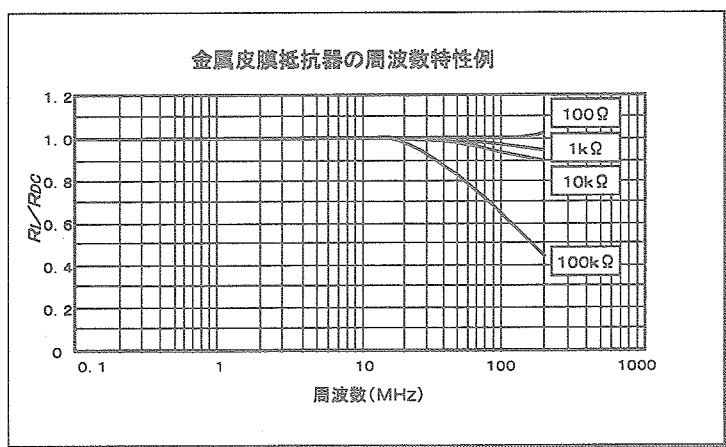
### ④ 過負荷

抵抗器に間欠またはパルス状な負荷がかかるような回路に使用する場合は、

- ①パルスの間中に抵抗器に実際にかかる最高使用電圧が、使用する抵抗器の許容される最高使用電圧を超えないこと。
- ②加えられる平均電力は、抵抗器に許容された定格電力に十分入っていること。

## ⑤ 高周波

構造上、実際の抵抗器はキャパシタンス分およびインダクタンス分を併せ持っています。抵抗器の周波数特性は、抵抗器のキャパシタンス分およびインダクタンス分のどちらかが支配的であるかにより変わります。



### 4-2. 実装上の注意

#### ① 損傷や過度の衝撃を与えない。

抵抗器の外装は、性能を保証する役目を持っています。

ペンチ、ピンセットなどで挟んだり、搭載機の調整不良により、抵抗に損傷や過度の衝撃を与えないように。

特性の変化、断線、クラック等の発生の要因になる場合があります。

#### ② 熱ストレスの影響をさける。

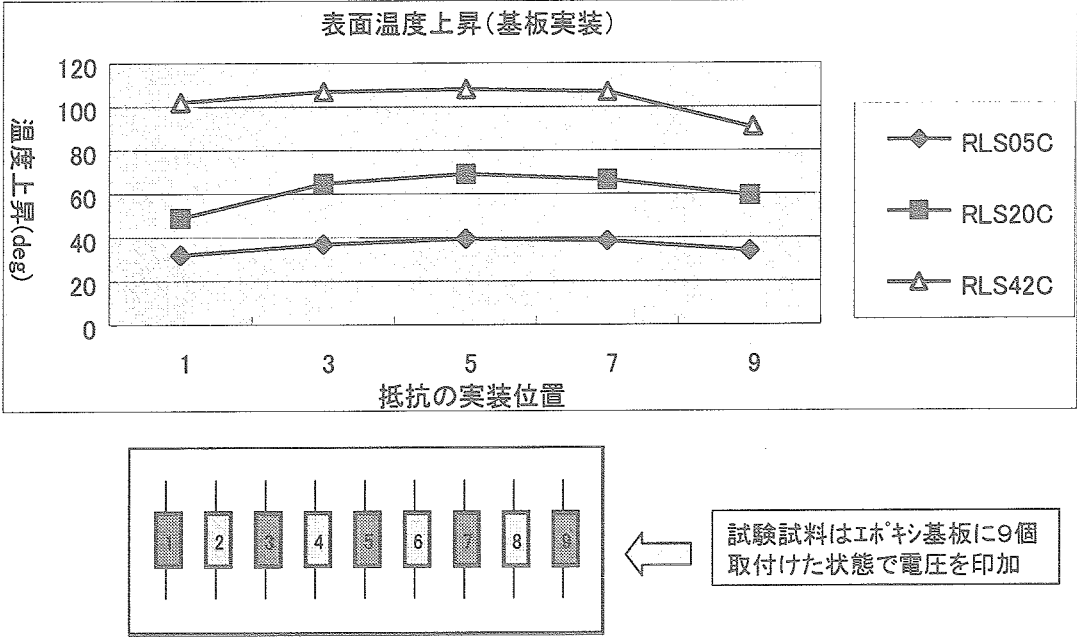
抵抗器と抵抗器の間隔は、許容される限り最大に保持します。

特に、高温部品からの熱輻射を受けないように。

#### ③ モールド封止やコーティング

熱衝撃による膨張と収縮によって、抵抗器の外装、皮膜の材質によっては、抵抗値が大きく変化し断線に至る事があるため、事前に信頼性の確認が必要です。

隣接する抵抗器の自己発熱の影響を受け、単体の表面温度より高くなります。



#### ④静電気(ESD)に対する配慮を

半導体ほど厳しくないが、劣化するケースがあります。  
条件(乾燥状態か否かなど湿度の高低)で大きく変わります。  
抵抗器の種類により、ESD耐量が異なる場合があります。

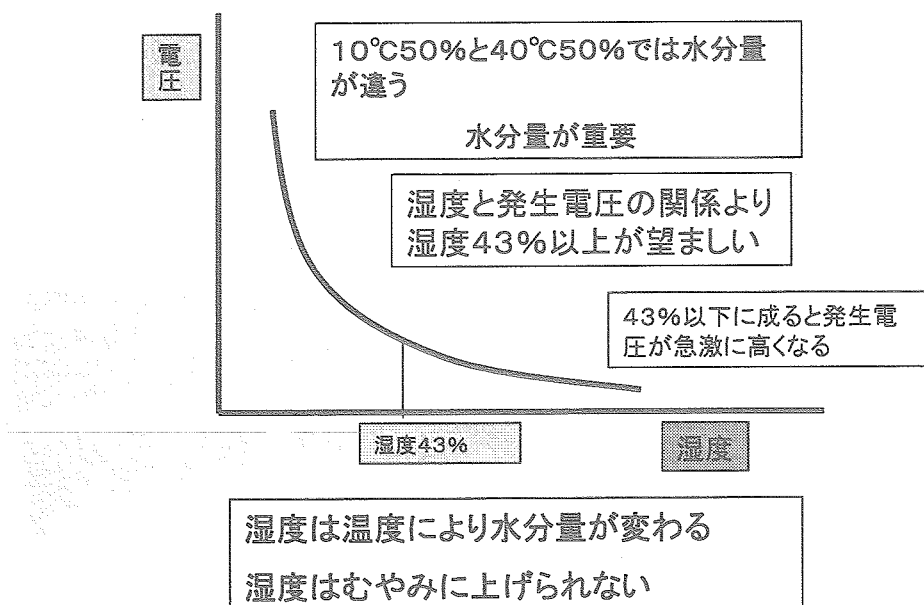
代表的なESDのシミュレーション・モデル

モデル	評価法	想定される現象
マシンモデル	C-V放電法 C=200pF、R=0Ω EIAJ-IC-121	金属などの帯電物体がICの端子に接触し、放電破壊が生じるというもの
人体モデル	C-V放電法 C=100pF、R=1.5KΩ MIL-STD-883C	人体に帯電した状態でICの端子に接触し、放電破壊が生じるというもの

## 帯電圧(V)の具体例

	相対湿度10～20%	相対湿度60～90%
1、カーペット上の歩行	35, 000V	1, 500V
2、ビニールタイル上の歩行	12, 000V	250V
3、椅子に座って作業	6, 000V	100V
4、透明ビニールカバー	7, 000V	600V
5、持ち上げられたポリエチレン袋	20, 000V	1, 200V
6、椅子のポリウレタンクッション	18, 000V	1, 500V

## 湿度と発生電圧の関係

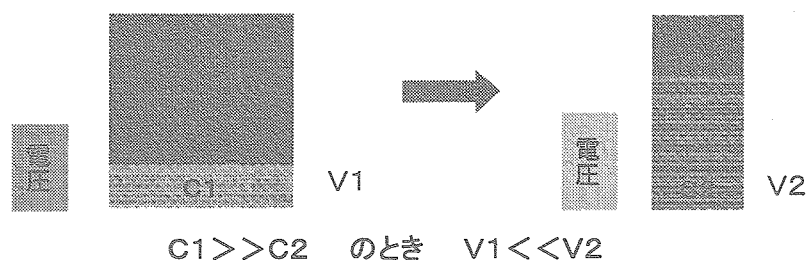


# 電 荷 量

電荷量＝静電容量×電圧

$$Q=C \cdot V$$

$$V = \frac{Q}{C}$$



電荷量の大きい物体の接近、接触  
に注意

## （事例） 金属皮膜角チップ抵抗

### 【再現実験】

試料 : 2.0×1.25mmサイズ

抵抗値 : 10kΩ

ESD試験条件 : C=500pF R=0Ω 6.5kV 一回印加

### 【結果】

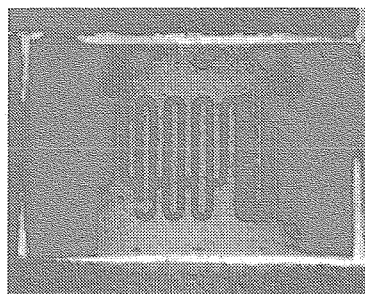
抵抗値変化 : 最大+5%変化

抵抗被膜 : 特に異常認められず

### 【メカニズム】

抵抗体への放電による膜破壊により

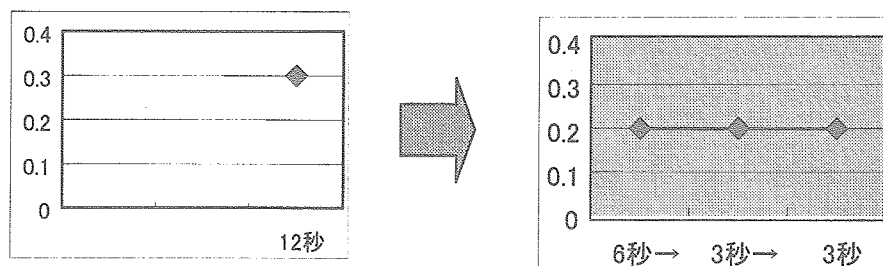
抵抗値がプラス側に増大



#### ⑤ はんだ付け

- 部品毎に定められた温度、時間、回数範囲内で。  
高温、長時間になると変色、特性の変化、断線等の恐れがあります。
- 一般的に、同一はんだ浸せき累積時間であれば、短時間で複数回浸せきした方が抵抗値変化は少ない。
- はんだ付け後は、冷却されるまで製品に外力がかからないように。
- はんだ付け後は、プリント基板の反り等で電極部に機械的ストレスがかからないように。

(事例) RLS05C4R7 はんだ付け条件による抵抗値変化



### 4-3. 洗浄

- ①部品の耐溶剤性にあった条件(溶剤の種類、洗浄方法、条件)を選定することが必要です。
- ②無洗浄はんだ付け、水洗浄、水溶性洗浄剤を使用する場合は、事前に信頼性を確認してから使用する必要があります。
- ③はんだフラックスに含まれるイオン性物質が、はんだ付けの洗浄後に残らないように配慮する必要があります。

### 4-4. 貯蔵、保管

- ①耐候条件は、温湿度、直射日光、熱、腐食性ガス、静電気などについて部品の納入仕様書などの保証条件内で保管する必要があります。
- ②抵抗器の故障原因には、湿気が関係しているところが多く、防湿には十分配慮する必要があります。
- ③周囲温度の急激な変化による部品の結露に対する配慮が必要です。

## 5. 抵抗器の故障モード

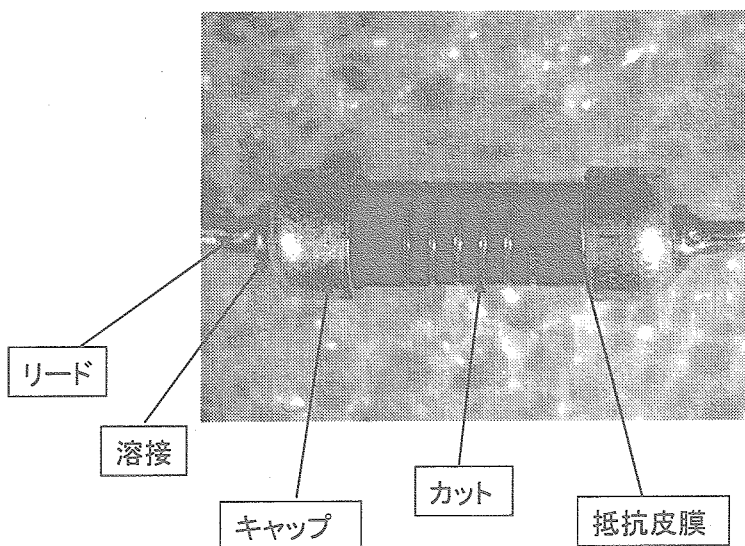
- ・ 抵抗器の性能に係わる故障モードは、下記の通りです。
  - ①断線
  - ②短絡
  - ③抵抗値不安定
  - ④ルーズコンタクト
  - ⑤外装被覆のクラックによる耐圧不良
- ・ 抵抗器の種類によって、一番発生しやすい故障モードが変わってきます。
- ・ 故障メカニズムは、抵抗器に使用している材料及び構造によって異なります。

## 6. 抵抗器の諸特性と主要因との相関性

諸特性 \ 要因	温度	湿度	電圧	電流	時間	機械的要素
温度特性	〇〇					
高温特性	〇〇					
はんだ浸し特性	〇〇					
湿度特性	○	〇〇				
電圧係数			〇〇			
パルス特性	○	○	〇〇			
負荷寿命特性	〇〇	○	〇〇	〇〇	〇〇	
高温負荷寿命特性	〇〇		〇〇	〇〇		
耐湿負荷寿命特性		〇〇	〇〇	〇〇		
絶縁耐力		○	〇〇			
熱雑音	〇〇					
電流雑音		○	○	〇〇		
経年変化特性	○	〇〇			〇〇	
端子強度	○	○				〇〇

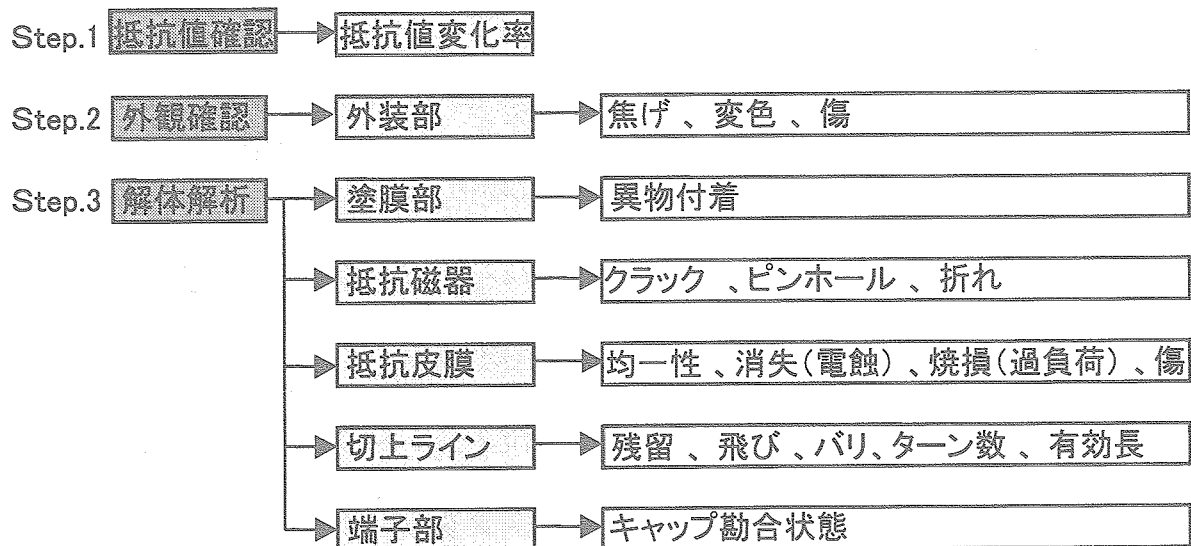
〇〇印は、その特性にとって本質的な要因と考えられるもの。  
○は、二次的な要因。

## アキシャルリード形金属皮膜抵抗の内部構造



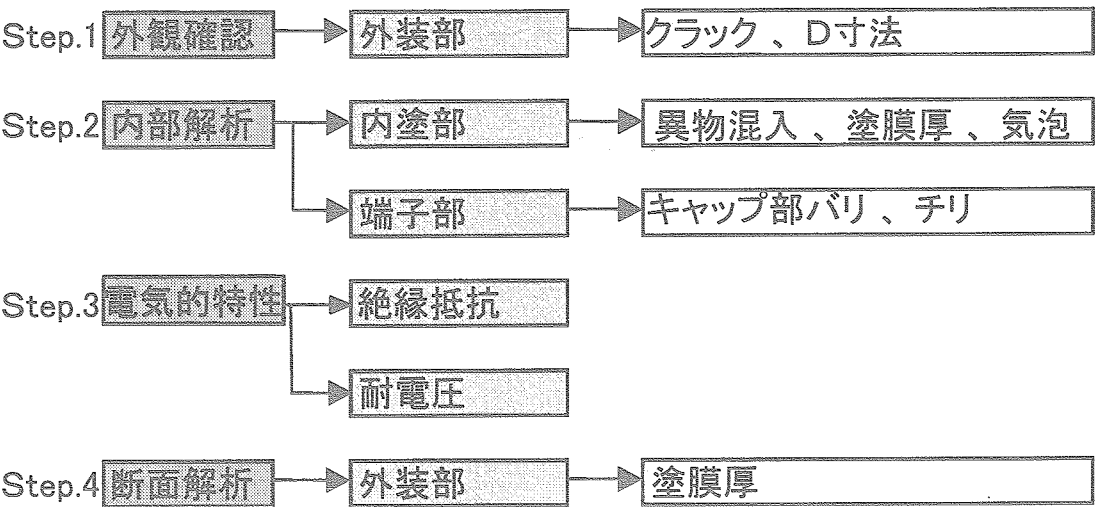
## 7. 解析手順

### 7-1. 抵抗値変化





7-2. 絶縁耐圧不良



8. 金属皮膜抵抗の断線故障モードとメカニズム

エレメント	故障モード	故障のメカニズム	製品に対する故障の影響
磁器	折損 クラック 表面異常	取扱不良 素材の不良	断線
抵抗皮膜	断線 劣化	抵抗皮膜ムラ カット不良 湿気の影響	
キャップリード	リード線折損	取扱不良	抵抗値ドリフト
	リード線とキャップの溶接不良	溶接不良	
	キャップ嵌合不良	寸法不適	

# 湿気の影響による断線の発生メカニズム

・メカニズム

抵抗皮膜上に形成される電解質の水膜(イオン+水分)と電位差の三要素により引き起こされます。

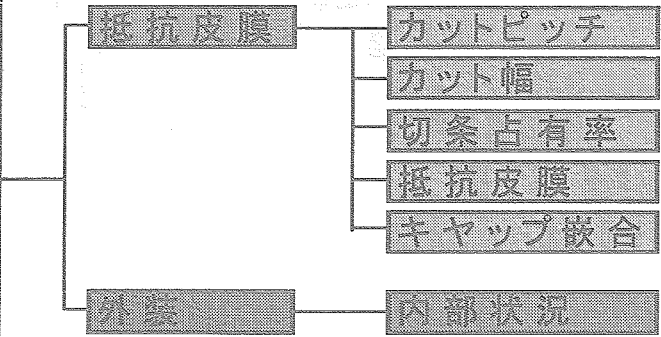
・電蝕現象の三要素

- ①イオン性不純物： 内存型不純物(作業環境、構成材料)  
： 人為的な汚染 (作業工程)  
： 外存型不純物 (実装後の製品表面、周辺部)
- ②水分の侵入： 作業環境、使用環境(フィールド)
- ③電位差： 電圧の印加

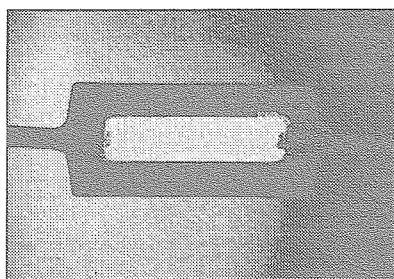
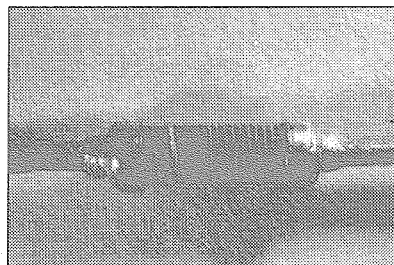
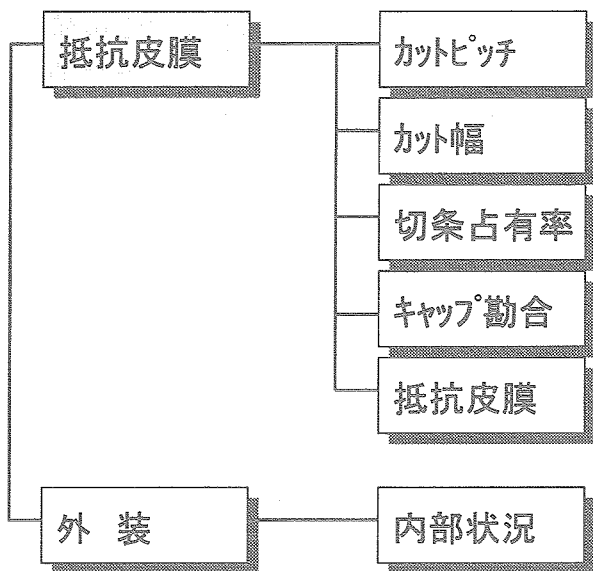
## 9. 初期故障排除事例 (NASDA RNS)

A1群	熱衝撃(I)
	過負荷
	抵抗値
A2群	製品検査
A3群	放射線
A4群	DPA
A5群	抵抗温度特性
	耐電圧
	絶縁抵抗

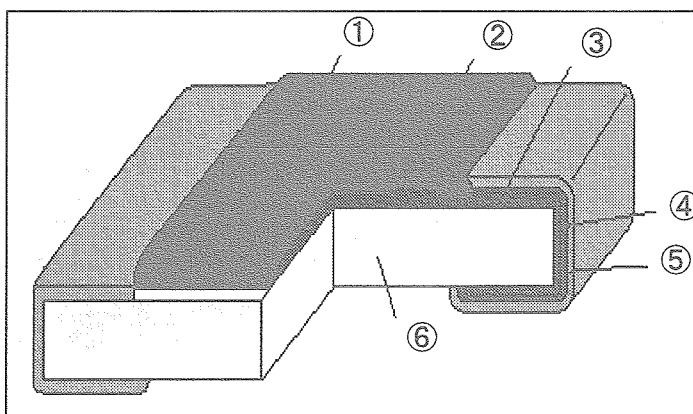
品質確認試験のグループAで、スクリーニングを実施し、初期故障の要因を排除しています。



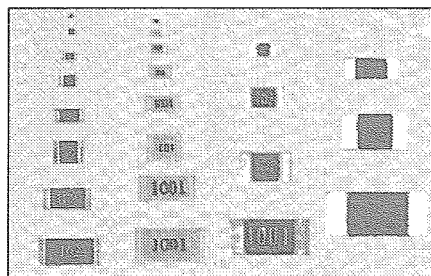
## DPAの事例（RNS55）

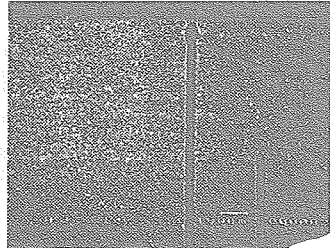
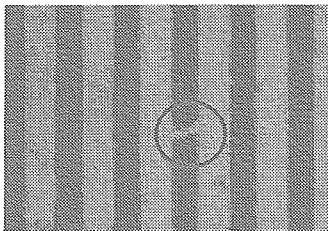


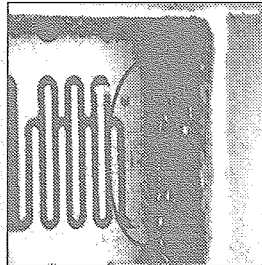
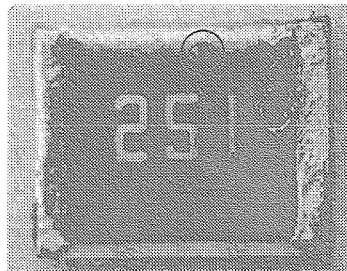
## 10. 不具合事例 ①

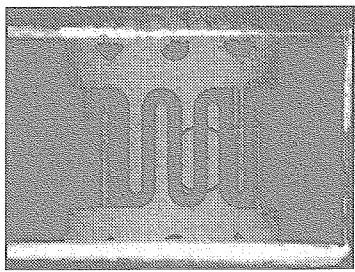
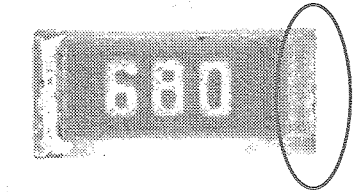


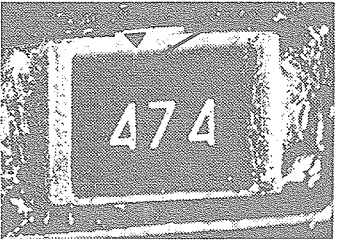
①	保護膜
②	抵抗皮膜
③	内部電極
④	ニッケルめっき
⑤	はんだめっき
⑥	セラミック



発生原因	モ ー ド		発生メカニズム
抵抗膜の異常	トリミングの異常		位置ズレ、膜残りにより抵抗皮膜が部分的に劣化
	パターン形状の異常		パターン形状不良、基板の表面あらさ異常により、抵抗皮膜が不均一

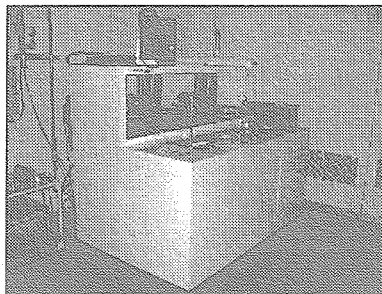
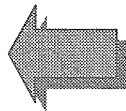
発生原因	モ ー ド		発生メカニズム
抵抗膜の異常	電氣的腐食		イオン性物質、水分、電界の3要素により抵抗皮膜が分解 外存型:使用環境中の水分と汚染物が介在 内存型:材料、製造工程
	熱的摩耗		過電流により抵抗皮膜が熔融

発生原因	モード		発生メカニズム
抵抗膜の異常	放電破壊		放電により抵抗皮膜にダメージを受ける
電極の異常	電極の故障		取扱い、実装時のストレス 電極の形成不良

発生原因	モード		発生メカニズム
基板の異常	基板の割れ、カケ		取扱い、実装時のストレス 材料の不良

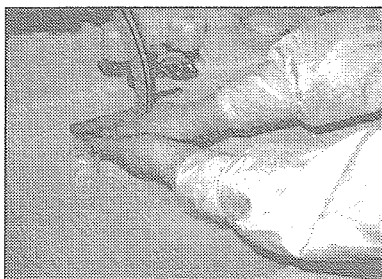
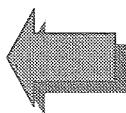
## 汚染物対策

汚染物除去



基板洗浄

汚染物の  
付着防止

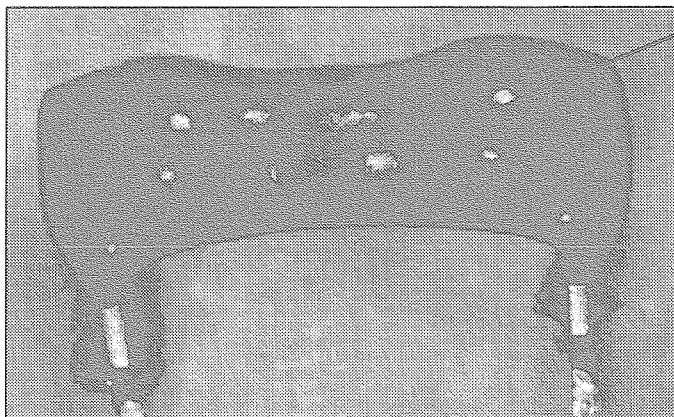


作業手袋の洗浄

## 不具合事例 ②

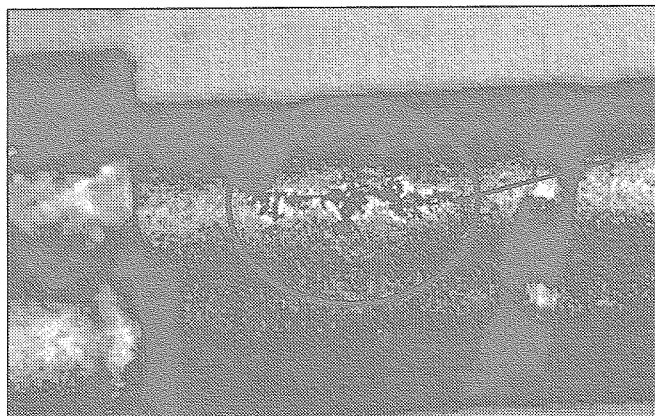
- 対象製品 : 金属皮膜抵抗器(当社製)
- 不具合内容 : 抵抗値の増大( $4.7\Omega \rightarrow 165.2\Omega$ )

外 観



僅か塗膜に膨らみ

## 外装剥離後の抵抗皮膜の状況



トリミング間を横断  
するように抵抗皮膜  
の焼損が認められた。

\*\*\*\*\*

## 「抵抗器と適正な扱い方」質問書に対する回答集

\*\*\*\*\*

回答者：清川 正史 講師（多摩電気工業株式会社）

\*\*\*\*\*

Q 1. 金属皮膜抵抗の断線原因として湿気による電蝕をご説明されていました。組立品レベルでは基板モールド等を行います、それでも故障が防げないとしたら、部品レベルでのモールドが必要と思われます。現在のRLR/RNR等のモールド剤を強化して耐湿性を向上させることは有効でしょうか。

A 1. 抵抗器の表面にイオン性不純物が付着したまま使用した場合、抵抗器の外装であるエポキシ樹脂の分子間距離より小さい湿気が周囲環境より侵入する際に、付着したイオン性不純物も内部に侵入するため時間の経過で抵抗膜まで達し、水分とイオン性物質の条件が揃えば電蝕が発生する事になります。現在使用しているモールド剤を強化しても、水分の侵入を完全に防ぐ事は出来ません。従いまして、抵抗器の汚染が確認された場合は純水等にて洗浄乾燥し、イオン性物質が残らない様配慮する事と、防湿材料には低イオン性不純物を選択する事が重要かと思います。

Q 2. 資料P.2-17「9. 初期故障排除事例」で各検査を行っているという話でしたが、これは全数検査なのでしょうか。また宇宙用部品と他の部品で検査に差はあるのでしょうか。

A 2. 事例の品質確認試験で、A 1とA 3群は全数検査、他の試験群は、抜き取り検査を行っています。また、弊社で個別にお客様の仕様に基づき製造している高信頼度部品と比較した場合、検査は個別保証試験とロット保証試験で構成されている所は基本的に変わりませんが試験の項目（内容）に差があります。

Q 3. 抵抗器は断線モード故障が多いようですが、ショートモードとの割合はどの程度でしょうか。またショートモード故障の原因を列記すると、どのようなものがありますか。

A 3. ショートモード故障の原因は、内部電極とリード端子を接続しているはんだが、何らかの原因で短絡しショートに至る場合があります。SIP形ネットワーク抵抗器がこれに該当します。はんだゴテ等により長時間加熱された場合、はんだが熔融流出しショートに至る場合があります

Q 4. 高電界を印加したときに抵抗値が上がるものと下がるものがあるとおっしゃっていましたが、その原因及び劣化メカニズムについて教えてください。

A 4. 通常、高電界を印加した場合は、抵抗被膜が焼損破壊することにより抵抗値が上がるか断線に至りますが、比較的低い高電界（過負荷）の場合、抵抗被膜上の塗装膜の一部が熔融炭化した場合、下がる事があります。又、厚膜チップ抵抗器に静電気を印加した場合、抵抗値は下がる場合があります。弊社の実験では、3.1mm×2.4mmサイズ、10kΩの厚膜角チップ抵抗器の保護膜と電極間に5kVのESDを印加した場合、抵抗値は下がる（この場合は、0.3%程度）傾向を示しました。厚膜抵抗体は、ガラスと酸化ルテニウムの金属で構成されており、高電界が加わった場合、ガラス層が破壊され絶縁抵抗が低下する事により抵抗値は下がるものと考えられております。



Q 5. 資料P.2-3「抵抗器の性能（代表値）」の表中で、単位として「ppm/°C」や「ppm/V」が出てきます。「ppm」とはどのような単位で何を表しているのでしょうか。

A 5. 1°C当たりの百万分率（ $10^{-6}/^{\circ}\text{C}$ ）を通常、ppm/°Cで表しています。これは、1°C当たり0.0001%の変化量は1ppmに相当します。同様に、1V当たりの百万分率（ $10^{-6}/\text{V}$ ）を通常、ppm/Vで表しています。

\*\*\*\*\*





# プリント配線板と その適正な扱い方

---

## 目 次

1. プリント配線板の概要
2. プリント配線板の種類と構造
3. プリント配線板用材料
4. 設計基準
5. 製法
6. 製造工程
7. 品質保証
8. 技術ロードマップ
9. 適正な扱い方(使用上の注意)
10. PWB関連JAXA規格の改訂の紹介

1. プリント配線板\*の概要 -1/2

(\*プリント配線板をPWB;Printed Wiring Board と表現する。)

1. 基本的な機能 : 回路の導通、回路間の絶縁、部品の支持体

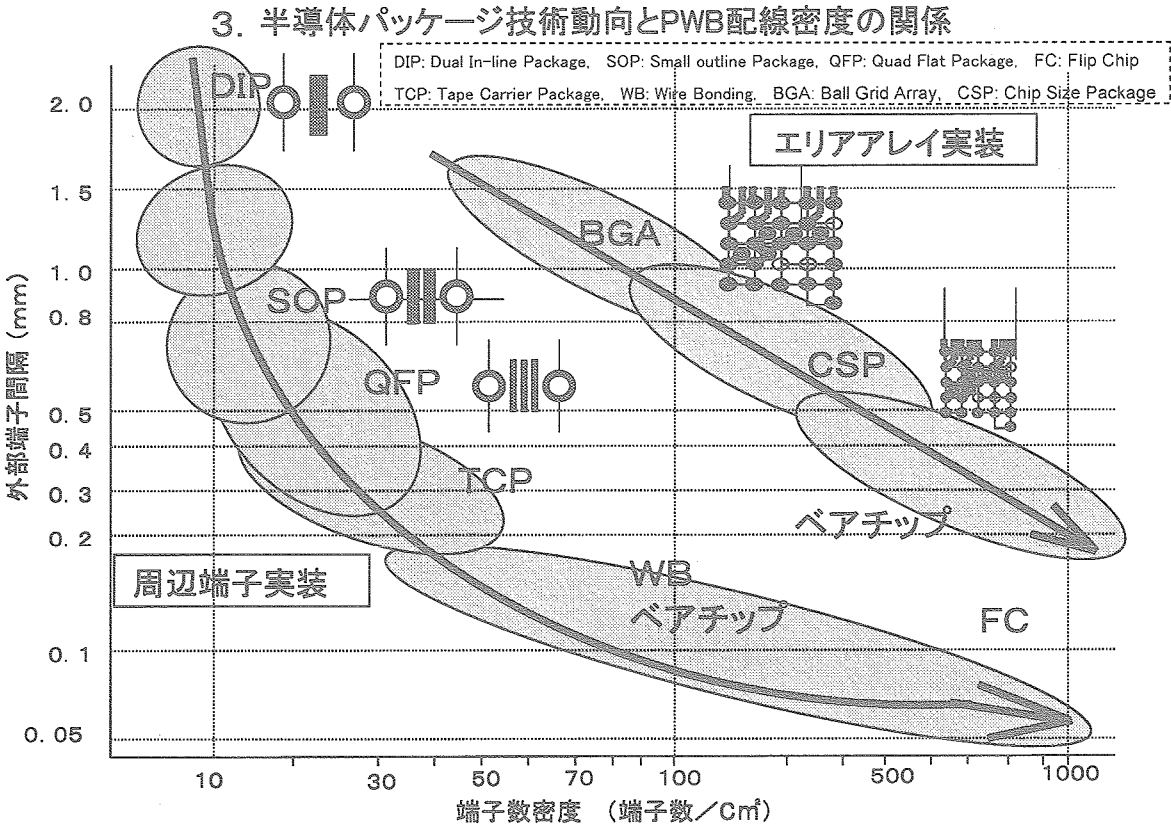
(JIS C 5603; 回路設計に基づいて、部品間を接続するために導体パターンを絶縁板の表面、その内部にプリントによって配線した板)

2. PWBを取り巻く環境

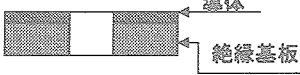
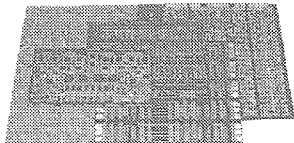
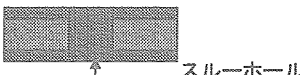
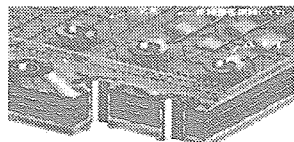
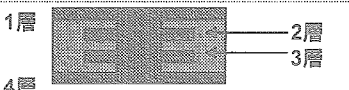

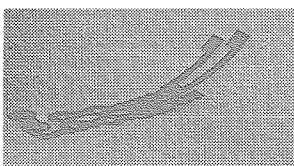
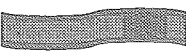
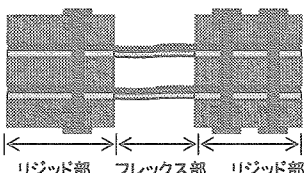
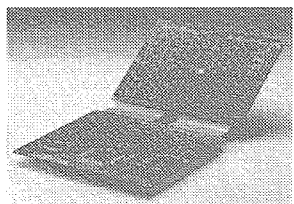
電子機器の傾向	PWBに対する要求のキーワード
軽薄短小 モバイル化	配線の高密度化、SMD対応化、薄板化、 フレックス・リジッドPWB、ビルドアップ工法
高速信号 大容量通信	低誘電率基材・低誘電正接基材 特性インピーダンス、伝送シュミレーション
低コスト化	プラスチックパッケージ用PWB  (MCM用PWB、BGA、CSPインターポーザー用PWB等)

SMD: Surface Mount Device, MCM: Multi Chip Module, CSP: Chip Size Package

1. プリント配線板の概要 -2/2

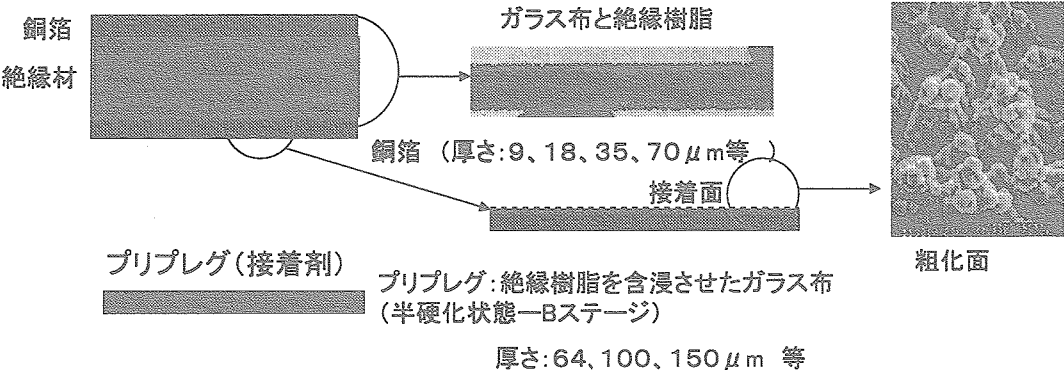


## 2. プリント配線板の種類と構造

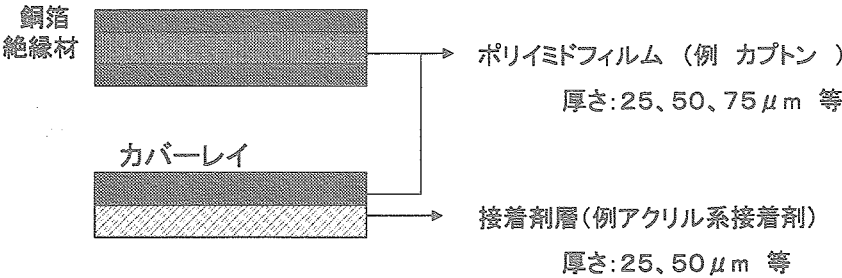
種類	構造(断面図)	JAXA規格	外観
リジッドPWB			
片面板		QTS-2140 付則A,B,C	
両面板		QTS-1046 QTS-1047	
多層板		QTS-1051	
フレキシブルPWB			
片面板		QTS-2140付則D	
両面板		QTS-1026	
フレックスリジッドPWB			
(両面板) 多層板		QTS-2140付則E QTS-1066	

## 3. プリント配線板用材料 -1/3

### 1. ガラス布基材絶縁樹脂銅張積層板とプリプレグの構成

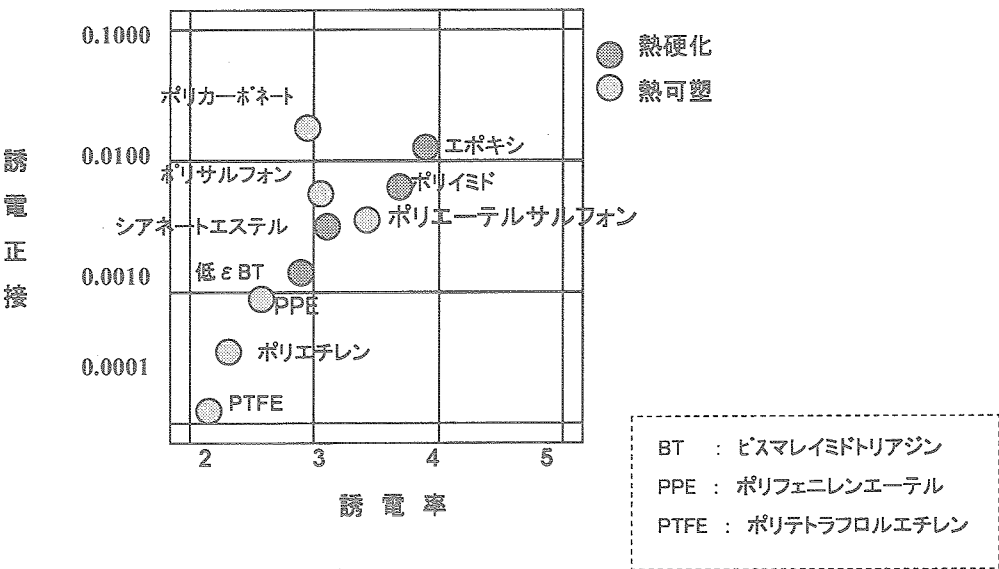


### 2. フレキシブルPWB用銅張積層板とカバーレイの構成



3. プリント配線板用材料 -2/3

3. 絶縁樹脂の種類と誘電特性



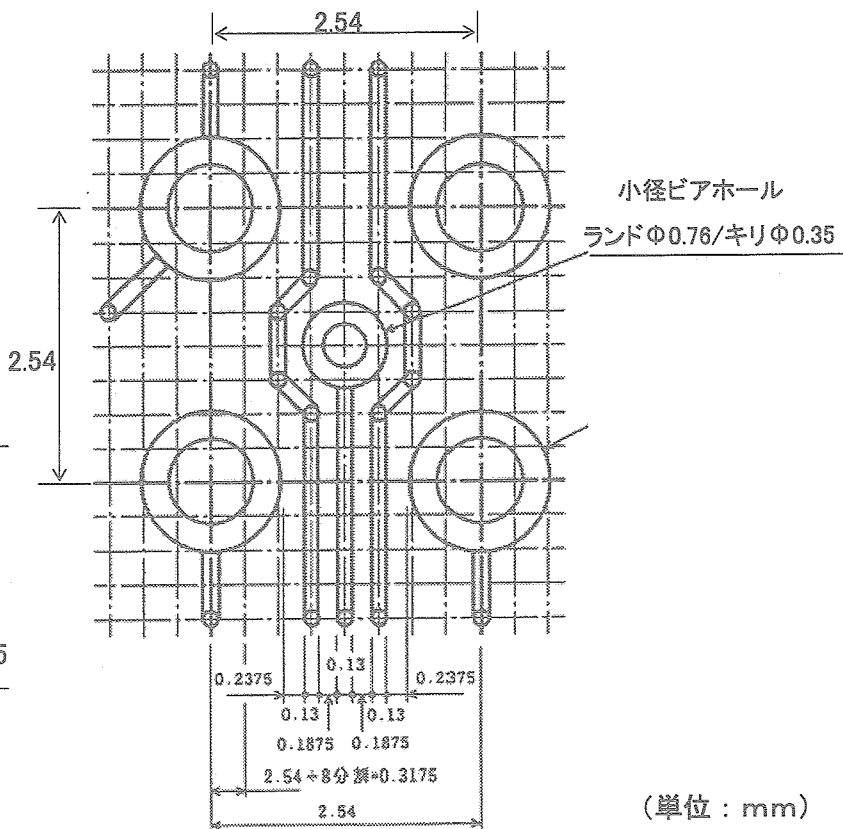
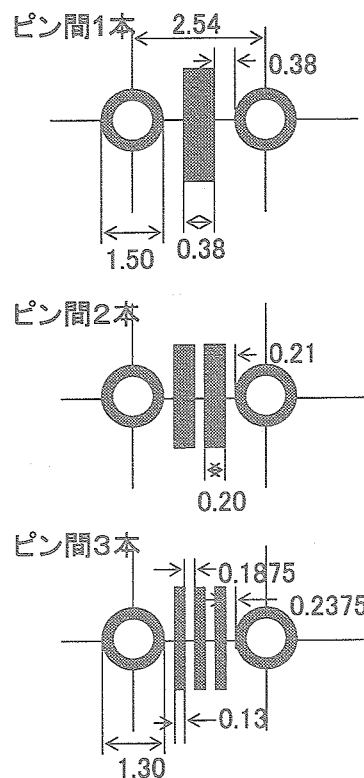
3. プリント配線板用材料 -3/3

4. JPCA/NASDA-SCL01-2001宇宙用信頼性保証プリント配線板用共通材料個別仕様書 抜粋

特性項目	単位	材 質		
材質		GF	GI	フレキシブルPWB用
区分		多層	多層	両面
基材と樹脂		ガラス布基材・エポキシ樹脂	ガラス布基材ポリイミド樹脂	ポリイミド樹脂(フィルム)
銅箔引き剥がし強度	N/mm	18μm :1.0 以上 (常態及びはんだ処理後)	18μm :0.8 以上 (熱衝撃処理後)	35μm :0.8 以上 (常態及びはんだ処理後)
曲げ強さ(1.0tの場合)	N/mm <sup>2</sup>	320以上	300以上	—
はんだ耐熱性		288℃、10秒以上	288℃、10秒以上	288℃、10秒以上
絶縁抵抗	MΩ	5×10 <sup>5</sup> 以上	5×10 <sup>5</sup> 以上	1×10 <sup>5</sup> 以上
体積抵抗	MΩ・m	5×10 <sup>6</sup> 以上	5×10 <sup>4</sup> 以上 (加熱加湿処理後)	5×10 <sup>5</sup> 以上
表面抵抗	MΩ	5×10 <sup>7</sup> 以上	5×10 <sup>4</sup> 以上 (加熱加湿処理後)	5×10 <sup>5</sup> 以上
耐電圧	KV/mm	30以上	30以上	AC500V、1分間以上
比誘電率 (1MHz)		5.4以下	5.4以下	4.0以下
誘電正接 (1MHz)		0.035以下	0.025以下	0.07以下
吸水率	%	0.5t:0.8以下	0.5t:1.1以下	—
耐燃性 (フレーミング時間)	秒	VO:10以内 V1:30以内	FVO:10以内 FV1:30以内	10秒以内、 10回の合計が50秒以内
寸法変化率 (0.3tの場合)	%	0.05以下	0.05以下	0.025t:0.00～-0.20 (エッチング・乾燥後の巻き方向)
ガラス転移温度	℃	—	変性ポリイミド:200以上 未変性ポリイミド:250以上	—
耐折性 (0.025t、銅箔 35μmの場合)	回	—	—	500 以上

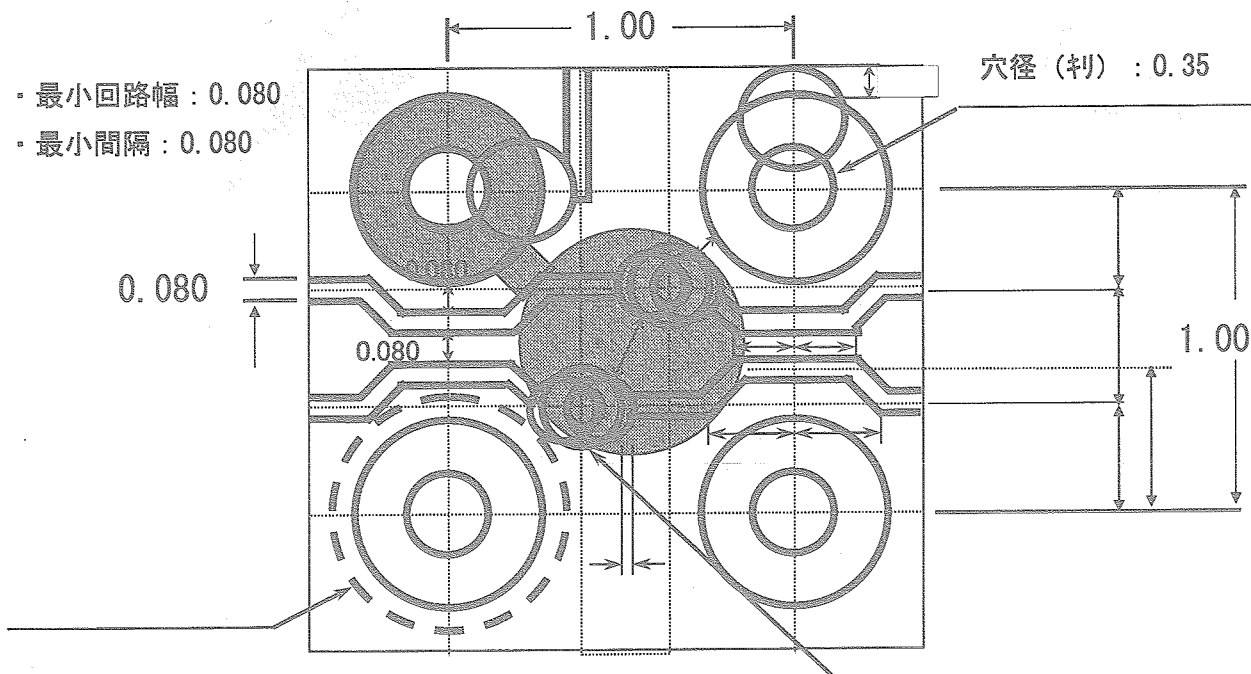
## 4. 設計基準 -1/5

### 1. 配線ルール



## 4. 設計基準 -2/5

### 2. 配線ルール ( 1.0mmピッチBGA実装PWB 設計例 )

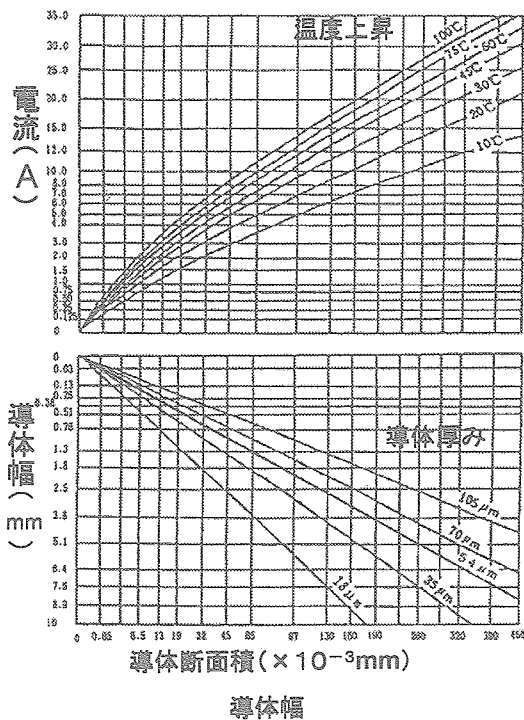


都合により一部の寸法の表示を行っていません。(単位 : mm)



## 4. 設計基準 -3/5

### 3. 電気設計—電流容量と耐電圧（導体幅と導体間隔の設計）



#### 導体間隔

(単位: mm)

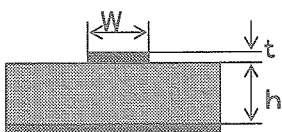
導体間電圧範囲 DC又はACp-p(V)	最小導体間隔	
	外層	内層
0~100	0.18	0.18
101~300	0.48	0.30
301~500	0.86	0.35
501以上	$(0.003 \times V) + 0.1$	$(0.003 \times V) + 0.1$

QTS-2140 QTS-1046  
QTS-1047 QTS-1051  
QTS-1026 QTS-1066

## 4. 設計基準 -4/5

### 4. 特性インピーダンス

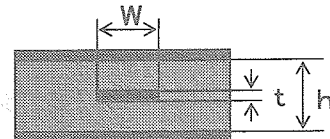
マイクロストリップライン構造



$\epsilon_r$ : 絶縁材誘電率  
W: 導体幅 (mm)  
h: 絶縁材の厚み (mm)  
t: 導体の厚み (mm)

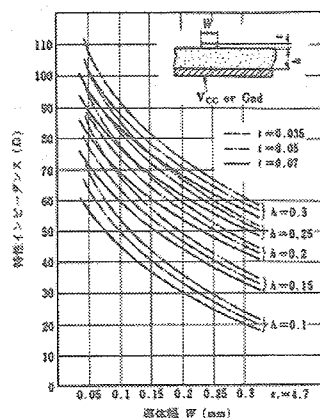
$$Z_0 = \frac{89}{\sqrt{\epsilon_r + 1.41}} \ln \left( \frac{5.98h}{0.8w + t} \right)$$

ストリップライン構造



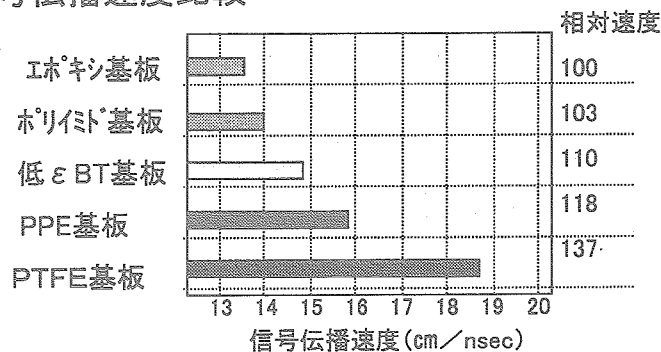
$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \left( \frac{4h}{0.67\pi (0.8w + t)} \right)$$

例) GF材、誘電率=4.7 のマイクロストリップラインの特性インピーダンス



## 4. 設計基準 -5/5

## 5. 信号伝播速度比較



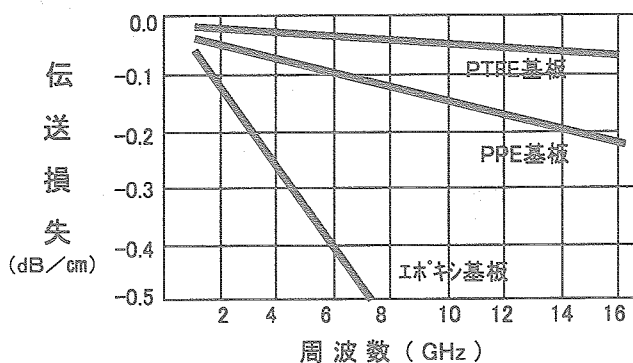
$$V_{oc} = C / \sqrt{\epsilon} \quad (\text{cm/nsec})$$

V: 伝播速度

C: 光速

ε: 誘電率

## 6. 伝送損失比較



評価対象のストリップライン寸法

h : 1.6

t : 0.035

W : 0.76 (単位:mm)

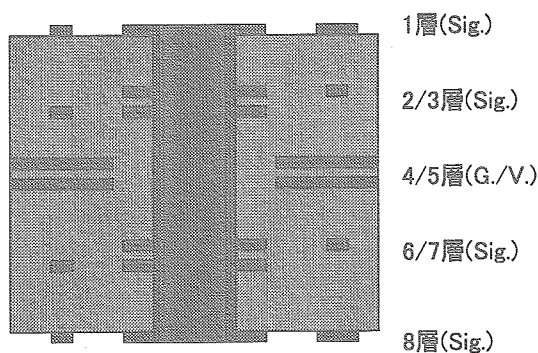
BT : ビスマレイミドトリアジン

PPE : ポリフェニレンエーテル

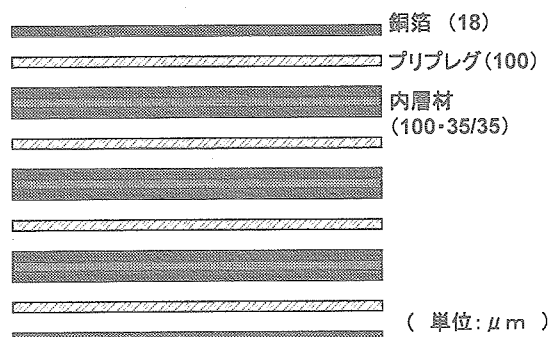
PTFE : ポリテトラフルオロエチレン

## 5. 製法 -1/6

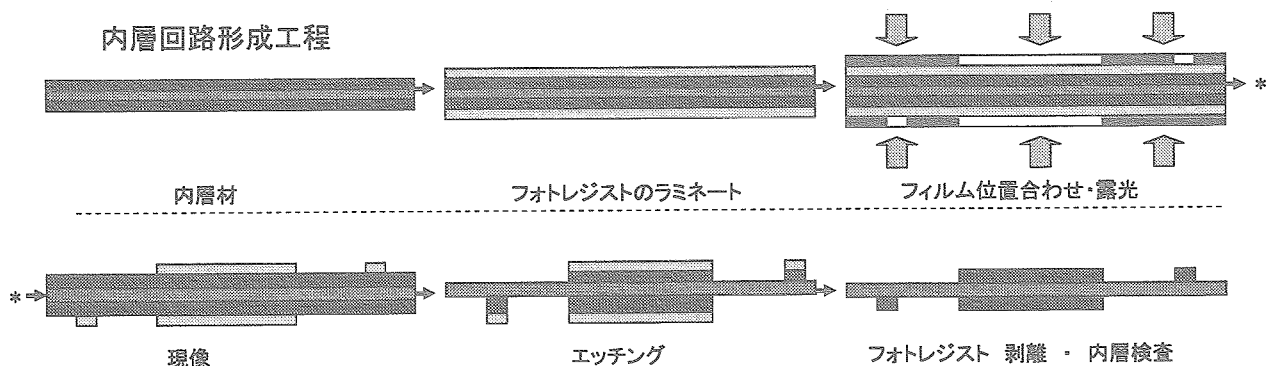
多層板断面構成(例: 8層板)



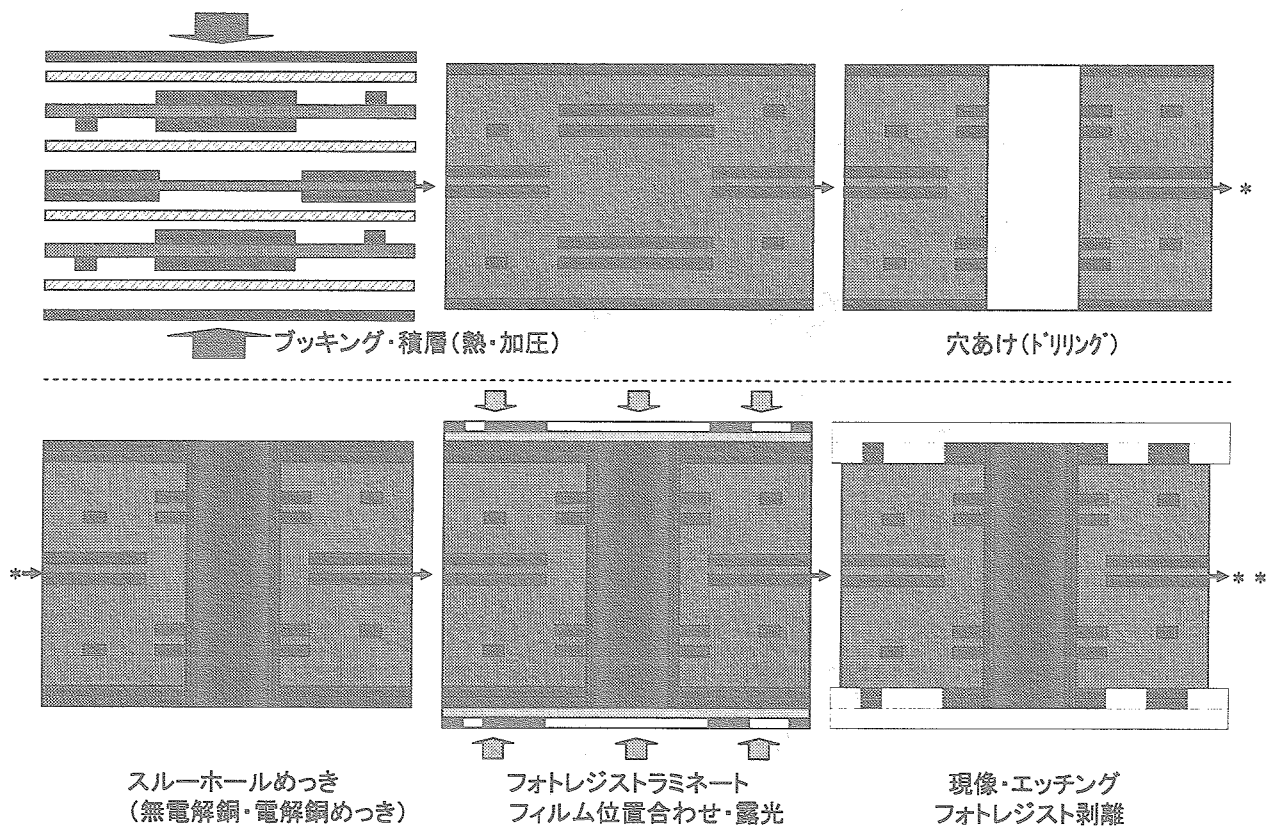
材料構成例



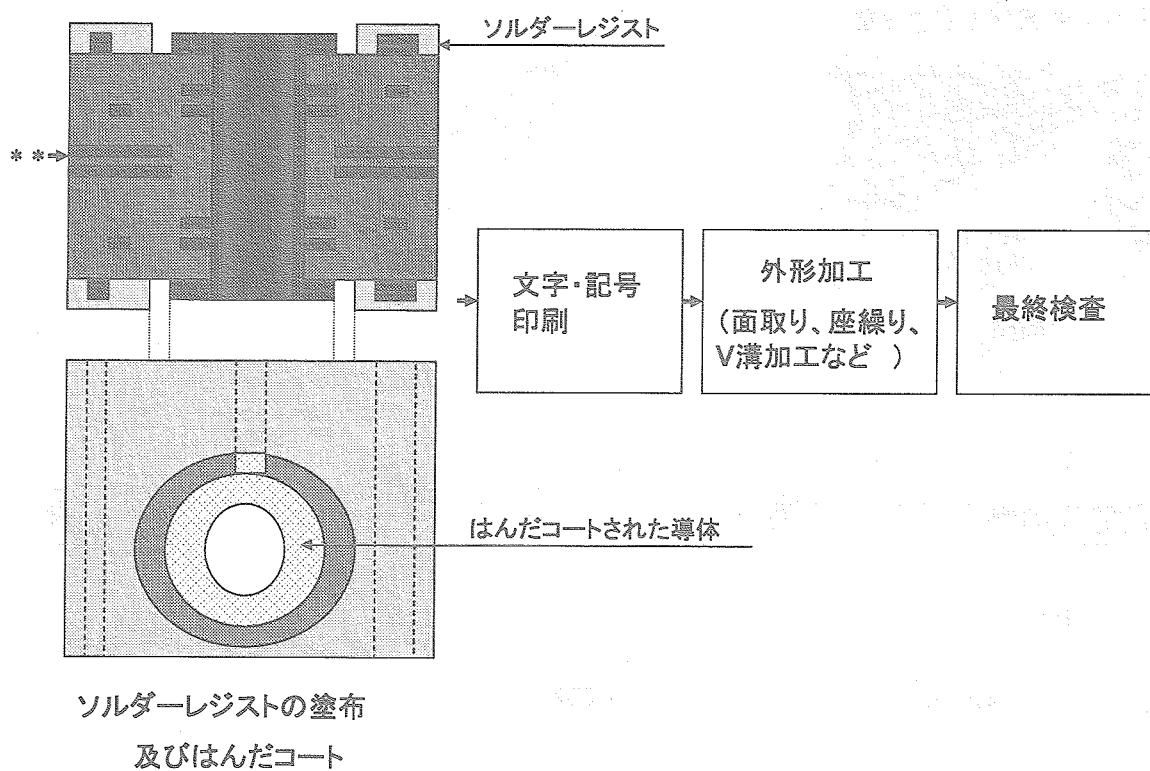
内層回路形成工程



## 5. 製法 -2/6

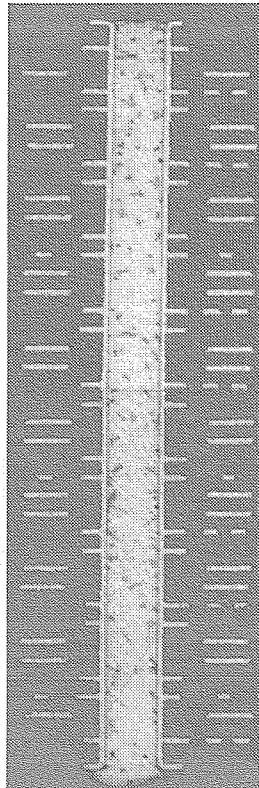


## 5. 製法 -3/6



5. 製法 -4/6

スルーホール断面写真



高密度高精度PWB

小径ビアホール断面写真

①はんだ耐熱性試験後の断面観察

②はんだ耐熱性試験条件

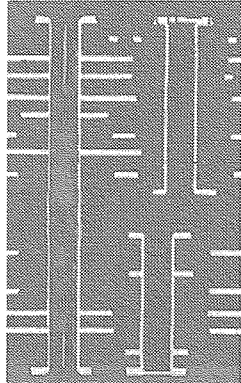
- ・前処理:湿度処理96時間
- ・はんだフロート:260℃10秒

5回

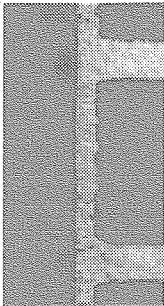
③サンプル概要

- ・層:40 ・板厚:4.8mm
- ・基材:変性ポリイミド
- ・スルーホール径:0.35mm
- ・アスペクト比:13.7
- ・銅めっき厚:25μm以上

2回積層PWB  
(10+8層のSVH構造)

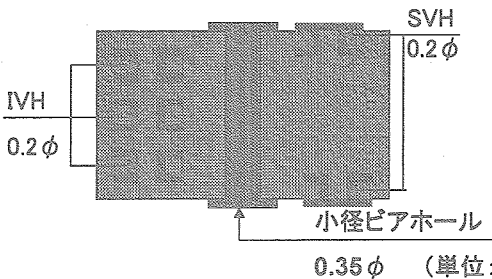


内層接続部拡大



5. 製法 -5/6

1. 小径ビアホール、IVH,SVH構造PWB (QTS-2140付則B、QTS-1047)

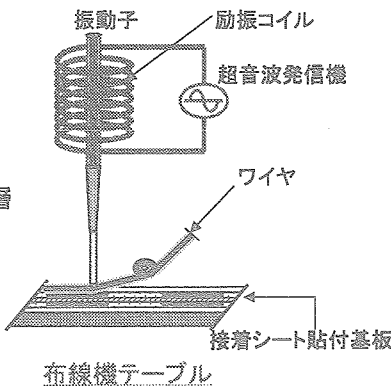
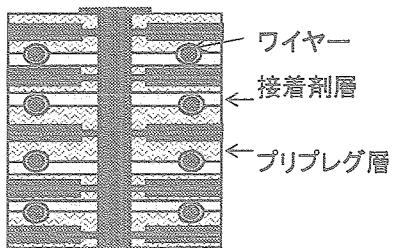


IVH (Interstitial Via Hole): 内層信号間回路間の接続を取るためのスルーホール

SVH (Surface Via Hole): 外層、内層信号回路間の接続を取るためのスルーホール

小径ビアホール: 部品挿入穴ではなく、導通を目的としたスルーホール

2. マルチワイヤーPWB (QTS-2140付則C、QTS-1051)

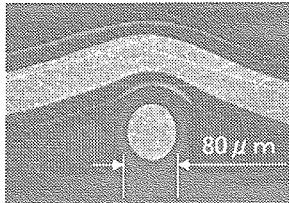


振動子 励振コイル 超音波発信機

ワイヤ

接着シート貼付基板

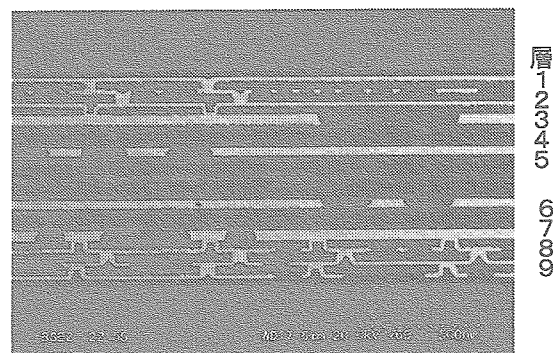
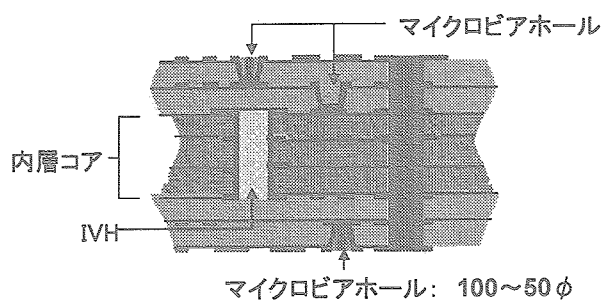
布線機テーブル



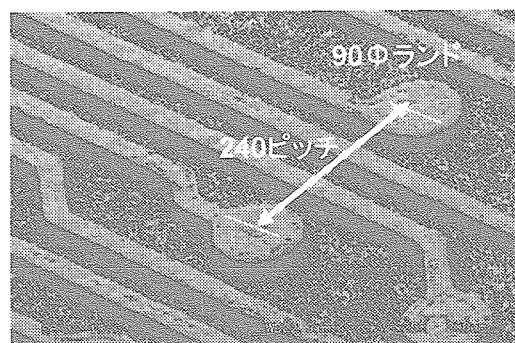
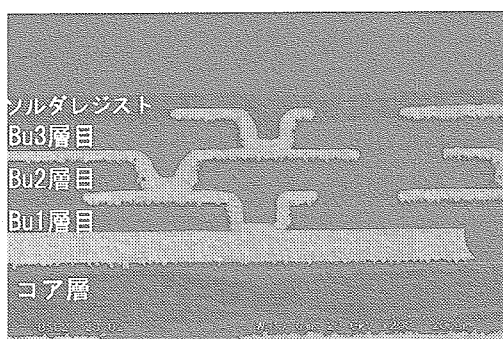
ワイヤ交差断面

## 5. 製法 -6/6

### 3. ビルドアップ工法

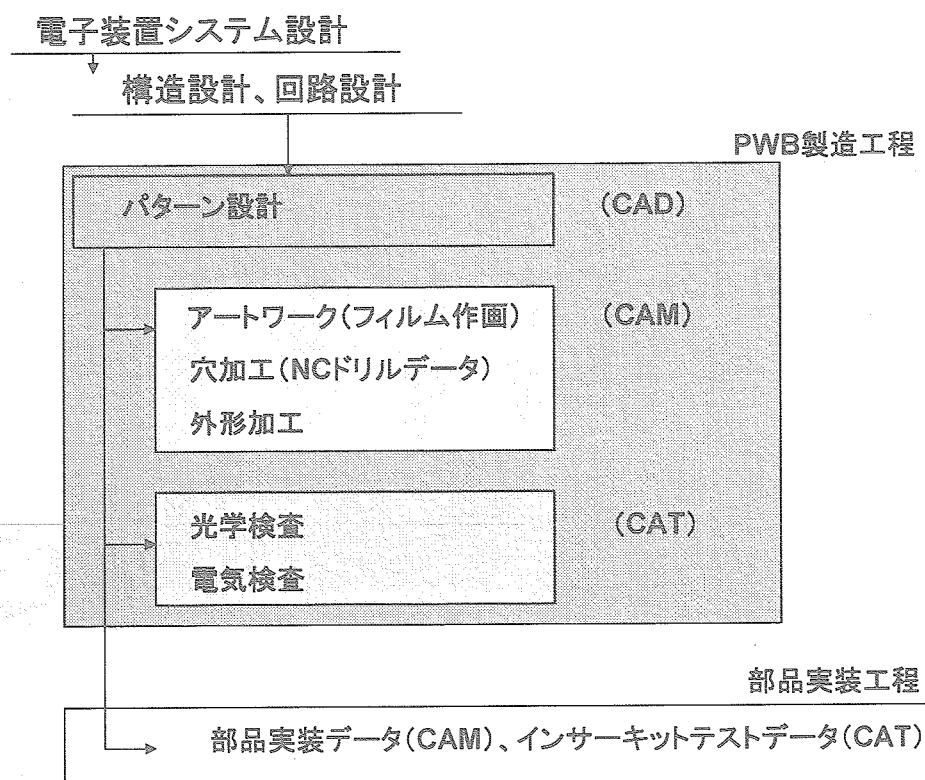


10層(3+4+3)ビルドアップPWBの断面



240ピッチパッド間2本 L/S:30/30 (単位:  $\mu\text{m}$ )

## 6. 製造工程 (全般)



## 6. 製造工程 -1/7

設計・ツール作成
材料準備
内層回路形成
多層積層
ドリリング
銅めっき
外層回路形成
中間検査
ソルダーレジスト印刷
シルク印刷
表面処理
外形加工
電気試験
出荷検査

### ◆ CADフロー

資料入手	部品・NET作成	配置・配線	得意先承認
------	----------	-------	-------

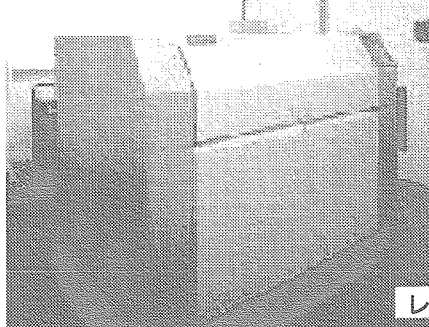
- ・ハード ワークステーション等
- ・ソフト PWB作画用ソフト
- ・技術要素
  - 最適部品配置(実装、熱)
  - 最短配線
  - 伝送回路解析



デザインセンター

### ◆ CAMフロー

File/APセット	Gerber IN	編集	プロット
------------	-----------	----	------



レーザプロッタ

- ・ハード ワークステーション、PC  
レーザープロッタ 等
- ・ソフト例
  - Orbotech Xpert1700
  - Orbotech GENESIS

## 6. 製造工程 -2/7

設計・ツール作成
材料準備
内層回路形成
多層積層
ドリリング
銅めっき
外層回路形成
中間検査
ソルダーレジスト印刷
シルク印刷
表面処理
外形加工
電気試験
出荷検査

### ◆ 内層主要材料

- ・基材厚 :0.06、0.10、0.15、0.20mm
- ・銅箔厚 :12、18、35、70
- ・プリプレグ厚 :0.064、0.1、0.2mm他

### ◆ 技術要素

- ・スケーリングコントロール
- ・回路幅仕上がり精度
- ・微小径IVH形成
- ・銅箔表面処理  
(ブラウン処理、粗化処理)

### ◆ 内層ファイン化

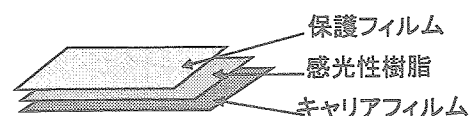
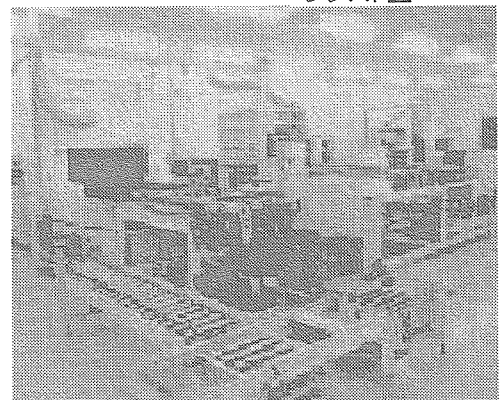
- ・Line/Space( $\mu$ m) :80/80
- ・穴径/ランド径(mm):
  - $\phi 0.35/\phi 0.60$
  - $\phi 0.10/\phi 0.35$

### ◆ 内層検査(工程検査)

- ・外観、寸法検査

### ◆ クリーンルームの管理

レジスト室



ドライフィルムフォトレジストの構造

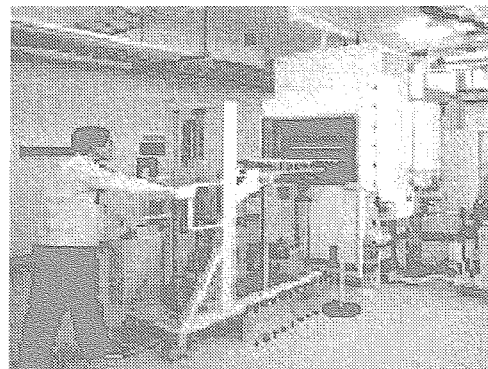


## 6. 製造工程 -3/7

設計・ツール作成
材料準備
内層回路形成
多層積層
ドリリング
銅めっき
外層回路形成
中間検査
ソルダーレジスト印刷
シルク印刷
表面処理
外形加工
電気試験
出荷検査

### ◆積層技術要素(積層成形性)

- ・ラミネーションボイド
- ・ガラス転移温度  
(デスミア性、誘電率)
- ・板厚／絶縁層間厚精度
- ・そり／ねじれ精度



### ◆穴あけ加工スルーホール信頼性要因

- ・穴あけ条件  
回転数／重ね枚数／  
送り速度／ヒット数  
／エントリーボード
- ・ドリルビット  
刃先形状、寸法
- ・加工材料  
板厚／内層銅箔厚計／  
Tg／樹脂／ガラス基材
- ・穴あけ後処理  
(デスミア処理工程)  
孔内洗浄／表面研磨



ドリリングマシン

## 6. 製造工程 -4/7

設計・ツール作成
材料準備
内層回路形成
多層積層
ドリリング
銅めっき
外層回路形成
中間検査
ソルダーレジスト印刷
シルク印刷
表面処理
外形加工
電気試験
出荷検査

### ◆銅めっきライン

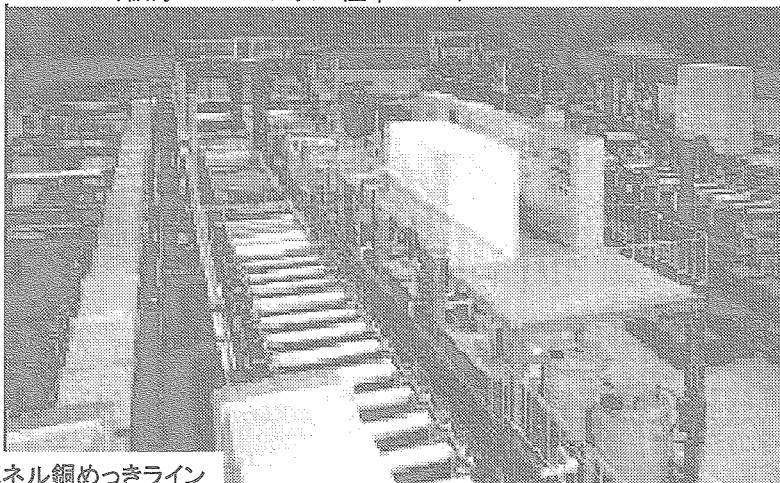
- ・無電解銅及び電解銅めっき
- ・パネルめっき
- ・パターンめっき

### ◆他めっきライン \* ( ) 内標準厚み

- ・はんだめっき(8  $\mu$ m)
- ・電解ニッケル(5  $\mu$ m)、金めっき(1.3  $\mu$ m)
- ・無電解ニッケル(3  $\mu$ m)、金めっき(0.05  $\mu$ m)

### ◆高アスペクトレシオ(A/R)パネルめっき

- ・A/R: 18(板厚7.2t ドリル径 $\phi$ 0.4)



パネル銅めっきライン

## 6. 製造工程 -5/7

設計・ツール作成
材料準備
内層回路形成
多層積層
ドリリング
銅めっき
外層回路形成
中間検査
ソルダーレジスト印刷
シルク印刷
表面処理
外形加工
電気試験
出荷検査

### ◆回路形成フロー

エッチングレジスト

- ①有機化合物系レジスト(ドライフィルム)
- ②金属系レジスト(はんだめっき、金めっき)

エッチング

- ①塩化第二鉄エッチング液
- ②アルカリエッチング液

エッチングレジスト剥離

- ①水酸化ナトリウム
- ②硝酸・塩化第二鉄パース

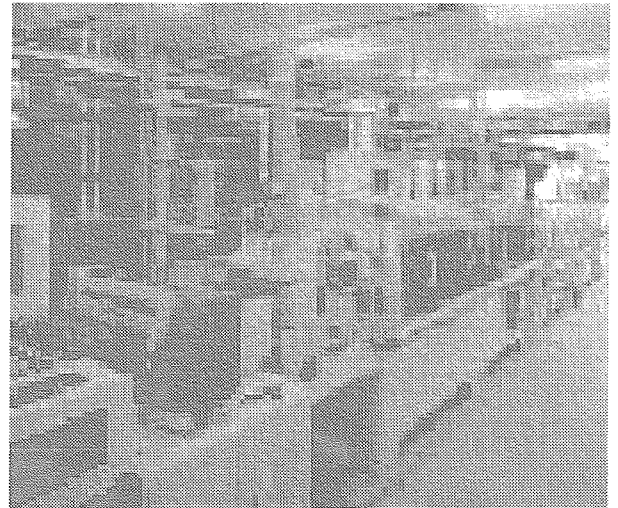
### ◆回路形成法

- ・サブトラクティブ法  
(一般積層基板)
- ・セミアディティブ法  
(ビルドアップ基板)

### ◆外層ファイン化

- ・Line/Space: 100/150  $\mu\text{m}$
- \* SVHの場合 150/160  $\mu\text{m}$
- ・穴径/ランド径(mm):  
 $\phi 0.35/\phi 0.60$

エッチングライン



## 6. 製造工程 -6/7

設計・ツール作成
材料準備
内層検査
多層積層
ドリリング
銅めっき
外層回路形成
工程検査
ソルダーレジスト印刷
シルク印刷
表面処理
外形加工
電気試験
出荷検査

### ◆検査項目

- ・指定照合(仕様、寸法)、外観、スルーホール抵抗値

### ◆AOI検査

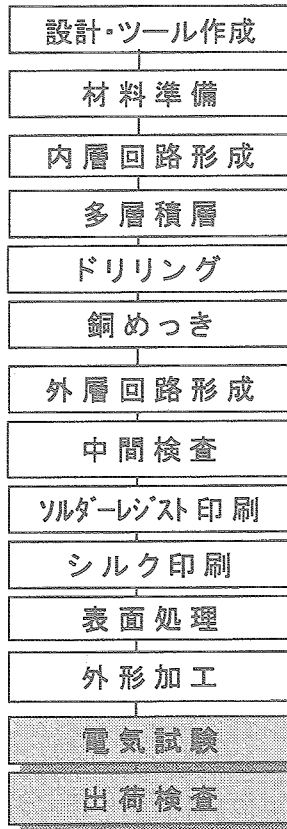
- ・方式: 蛍光法、反射法
- ・検査項目: オープン/ショート  
回路幅/回路間隙  
回路・ランド・パッド欠け  
ディツシュダウン 他

AOI : Automatically Optical Inspection





## 6. 製造工程 -7/7



### ◆試験項目

- ・オープン
- ・ショート／絶縁抵抗
- ・特性インピーダンス

### ◆布線試験機

- ・専用ジグ型
- ・汎用ジグ型
- ・フライングプローブ

### ◆出荷検査

- ・指定照合(仕様、寸法)
- ・外観
- ・破壊検査(断面測定・観察)
- ・オイルディップ
- ・信頼性試験

### ◆信頼性品質保証試験

- ・熱ストレス: 288℃ 10sec はんだフロート
- ・熱衝撃: -65℃(30min) ↔ +125℃(30min) 100cy
- ・オイルディップ: 260℃ 10sec → 空冷 10cy
- ・耐湿: 25~65℃ 90~98%RH 160H
- ・電食: 85℃ 85%RH 1,000H
- ・耐電圧: 1000V 印加30sec



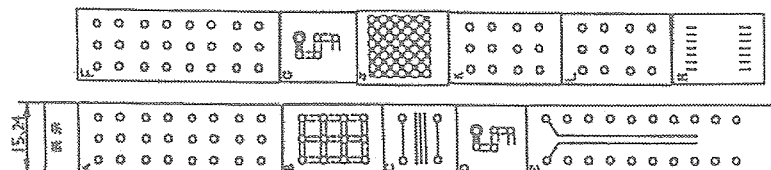
フライングプローブ

### ◆主な測定機

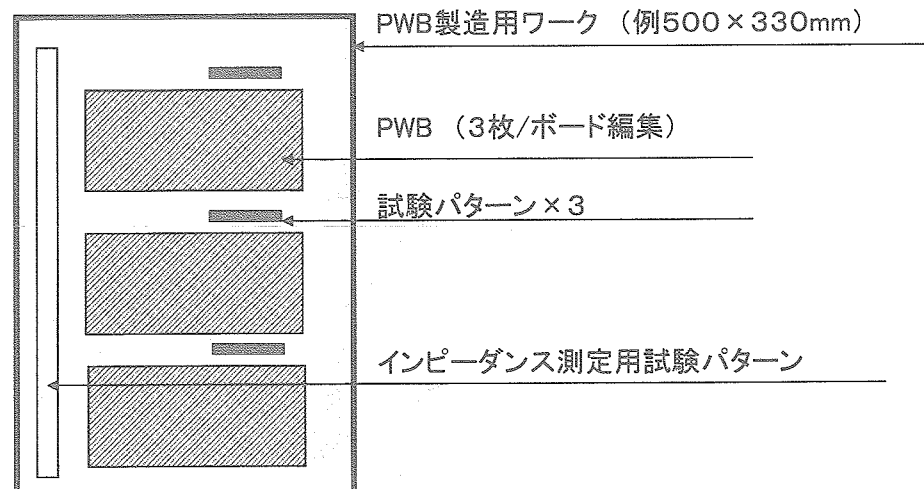
- ・絶縁抵抗計
- ・ミリオームメーター
- ・デジタルオシロスコープ(TDR法)

## 7. 品質保証 -1/3

### 1. 試験パターン(QTS-2140、-1046、1047、1051、1026、1066、)

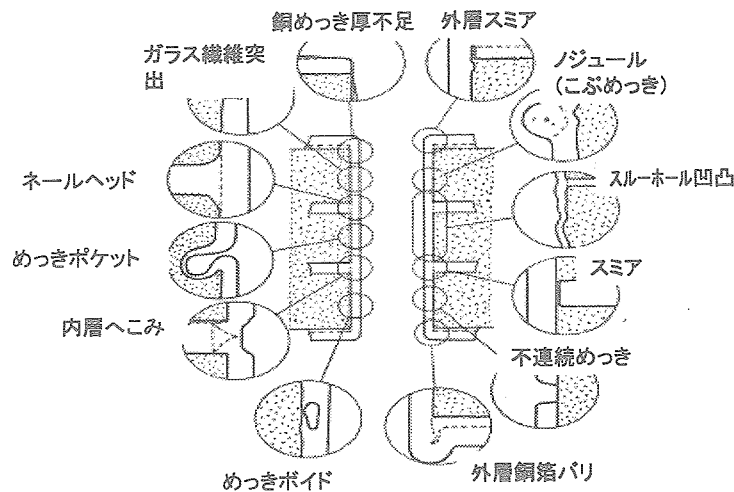


### 2. PWBワークと試験パターン編集例



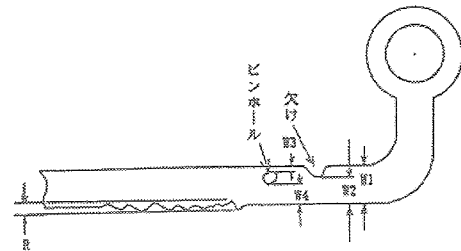
7. 品質保証 -2/3

3. スルーホール断面の観察項目例(欠陥モード)



4. 導体欠陥モード

導体の欠け、ピンホール、側面の荒れ等



7. 品質保証 -3/3

5. QTS-1047、-2140付則Bの認定試験、品質確認試験項目 抜粋

試験項目	試験条件	要求事項
熱ストレス	288±5℃、10秒、はんだフロート	外観及びスルーホール断面に異常がない。
耐ホットオイル	260±5℃—5秒、油浸漬 室温まで徐冷を1サイクルとし、 1サイクルとし、10サイクル実施。 試験前後の接続抵抗を測定する。	抵抗値変化率10%未満であること。
熱衝撃試験Ⅰ	(MIL-STD-202,M.107) GF:-30～125℃、1000サイクル GI:-30～150℃、1000サイクル	基材の劣化、回路の断線短絡がない。 試験前後の回路抵抗値の変化率は 10%未満であること。
熱衝撃試験Ⅱ	(MIL-STD-202,M.107) GF:-65～125℃、100サイクル GI:-65～170℃、100サイクル	基材の劣化、回路の断線短絡がない。 試験前後の回路抵抗値の変化率は 10%未満であること。
耐湿性及び 絶縁抵抗	(MIL-STD-202,M.106) 湿度90～98%、温度25～65℃、 100±10VDC印加、10サイクル 測定電圧500V、1分	500MΩ以上であること。

## 8. 技術ロードマップ -1/2

- 高密度実装化
  - ・配線のファインピッチ化
  - ・マイクロビアホールの小径化
  - ・MCM、CSP用基板対応低線膨張率基板材料
  - ・高Tg材料化
  - ・電子部品内臓化(システムインパッケージ)

最小導体幅/間隔のロードマップ

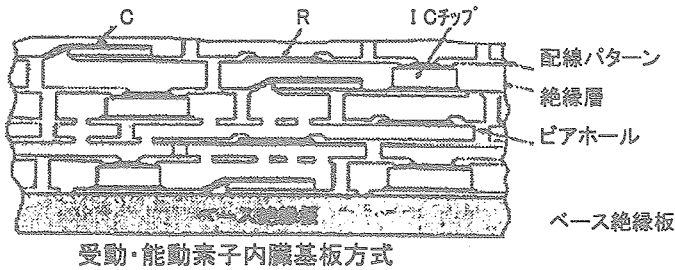
単位  $\mu\text{m}$

マザーボードクラスB					サブストレートクラスB				
製品/年	2002	2004	2006	2008	製品/年	2002	2004	2006	2008
両面版	75/75	50/50	50/50	40/40	テープ	25/25	20/20	15/15	15/15
多層板	75/75	50/50	50/50	50/50	リジッド	25/25	20/20	20/20	15/15
ビルドアップ層	50/50	40/40	40/40	25/25	ビルドアップ	30/30	30/30	30/30	15/15

JEITA(電子情報技術産業協会)2003年度版日本実装技術ロードマップ

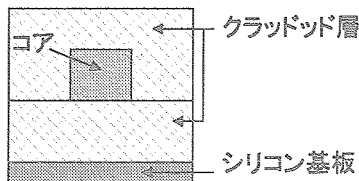
## 8. 技術ロードマップ -2/2

### ● 電子部品内臓化(システムインパッケージ)



### ● 信号の大容量化・高速化

- ・低誘電率基板 (Dk; 3.5~ )
- ・光プリント配線板(光導波路)



光導波路の断面

(コア材例:フッ素化ポリイミド)

### ● 環境対応

- ・ハロゲンフリー:ハロゲン系難燃剤の代替
- ・鉛フリー:銅めっき耐熱性プリフラックス仕上げ  
無電解Ni+Auめっき仕上げ等

## 9. 適正な扱い方(使用上の注意) -1/5

### 1. 素手でPWBを触らない。

油脂分、塩分等の付着は、はんだ付け性やコンフォーマルコーティングの密着性を劣化させる。

### 2. はんだごてをPWBパターンに直接当てない。

こて先の熱は部品リードまたは、予備はんだを介して、パターンに伝え はんだ付けすること。

加熱したこて先でパターンに力をかけるとパターンの剥離、基材の破壊が生じる。

### 3. PWB基材、パターンに衝撃力、応力などの負荷をかけない。

特にプリヒートなど加温状態で落下させたり、硬いもので突くなどの衝撃力を加えると、

外観の劣化のみならず、回路の断線が発生する。

### 4. PWBの保管は温・湿度管理下で行う。

実装前のPWBを保存する場合は吸湿を防ぐために、デシケータの中等で保存する。保存期間が長い場合は事前に乾燥し除湿後、実装作業を行うこと。吸湿したPWBのはんだ付けは基材の剥離が発生しやすい。推奨保管条件: 温度 $20^{\circ}\text{C}\pm 5^{\circ}\text{C}$ 、湿度 $50\%\pm 10\%$ (RH)

### 5. はんだ付け条件(時間・温度)を厳守すること。

各適用ハンドブック(ADS)の推奨条件及びはんだ付け工程標準STD-3を十分確認したうえで、はんだ付け時の熱ストレスを最小限に抑えるようにすること。

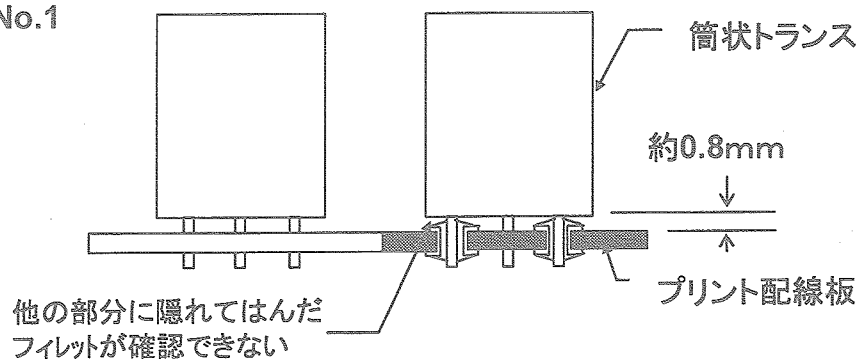
## 9. 適正な扱い方(使用上の注意) -2/5

### NASDA-STD-8(JERG-0-024)の不具合事例から抜粋

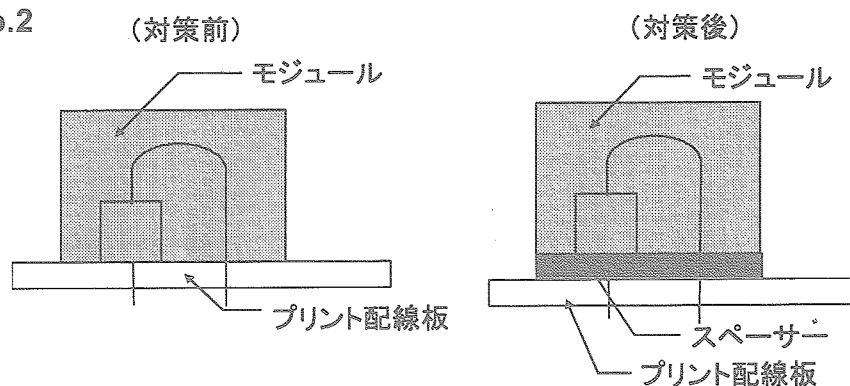
NO.	不具合事例	現象	原因	対策
1	筒状トランス(片端子)のはんだ接合不良	PWBのTHにリードを挿入し、はんだ付けしたが、接続不良が発生。TH:スルーホール	部品取付側からはんだフィレットの状態が確認できなかった。	部品取付側からも目視確認が出来るように取付方法、部品選定を行う。
2	モールド樹脂の熱膨張によるはんだ接合不良	モジュール内の部品リードとPWBはんだ接合部で接続不良	モジュール樹脂の熱膨張により部品リードとPWBはんだ付け接合部に応力が加わった。	モジュールとPWBの間にスペーサを入れストレスリリーフする。
3	部品リードの削り粉によるランド間の短絡	PWBに実装したトランジスタ端子間が短絡した。	リード線が曲がっており、THの角で削られ、削り粉がランド間に付着した。	リード線を真っ直ぐに予備整形し、THに無理なく挿入できるようにした。
4	部品リード線の切断	コンポーネント振動試験時にトランジスタ、コンデンサ、抵抗のリード線が切断した。	PWB上に部品を浮かして取り付けたため。5つのPJが発生。部品本体サイズに比べ細いリード線径の部品は要注意。	原則として部品はPWB上に面又は線接触で取り付ける。はんだ付けの目視検査のために部品を浮かす場合、部品固定材等で追加支持を行う。
5	はんだ付け後のフラットパックのリード間短絡	はんだ付けされたフラットパックICのリード間で短絡発生	はんだ付け後、硬い突起状のものでリード間を擦ったため線状痕がセラミックパッケージ上に残って付着した。	ICパッケージの金属異物付着検査実施。

## 9. 適正な扱い方(使用上の注意) -3/5

### 不具合事例No.1



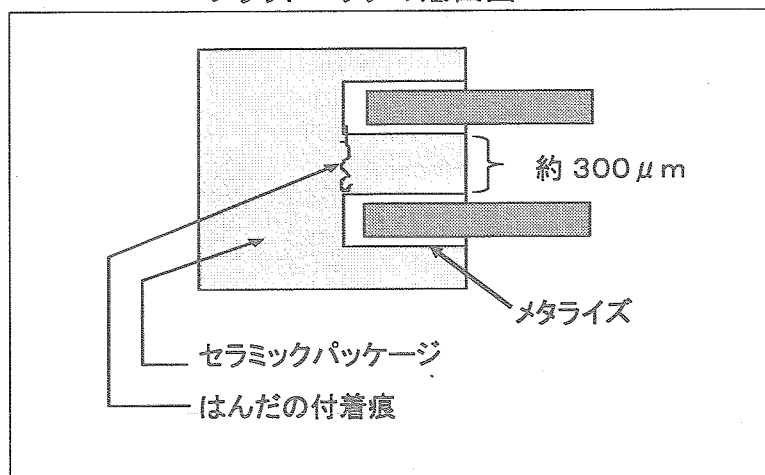
### 不具合事例No.2



## 9. 適正な扱い方(使用上の注意) -4/5

### 不具合事例No.5

#### フラットパックの底面図



## 9. 適正な扱い方(使用上の注意) -5/5

### NASDA-STD-8(JERG-0-024)の不具合事例から抜粋

No.	不具合事例	現象	原因	対策
6	部品接着固定材によるイオンマイグレーションによる短絡	PWB/パターン間の絶縁不良	2液性の部品接着固定材の混合時の攪拌不十分により、硬化剤がはんだのイオンマイグレーションを引き起こし、短絡した。	固定材(エポキシ樹脂-2液性)の混合条件、方法の見直し徹底。
7	リフロー時の部品落下	リフロー時に下面のSMT部品が落下。	部品質量が大きく、落下。両面SMD実装の場合の部品配置設計時の質量考慮が不足。	パターン設計要求書に部品配置の特定を支持するようにした。
8	ランド剥離	リペア作業中にPWBランドを剥離させた。	リペア部品が電源素子で熱容量が大きかったため、はんだが十分熔融する前にPWBに力をかけた。(作業ミス)	容量の大きいはんだゴテで、はんだの熔融を確認しながら徐々に力を加える。
9	はんだ付け不具合	最上層にH/Sを接着剤により取り付けて使用しているPWBのパターン間が短絡。	自動はんだ付け装置ではんだ付けした際、パターンのはんだめっきが溶解し、PWBとH/S間の侵入。	自動はんだ付け装置を使用する場合、条件を明確にする。パターンが目視できるように十分考慮すること。
10	シルク印刷色選択ミス	記号印刷が黒色で端子番号の識別困難。	内層の黒化処理とシルク印刷色が類似したため。	PWB仕上がりの色調を考慮し、対照色を選定する。

## 10. PWB関連JAXA規格の改訂の紹介 (平成16.11.10日現在)

### 1、JAXA-QTS-2140A【宇宙用信頼性保証プリント配線板共通仕様書】: '04.12初め公開予定

- ・QTS-2000Bの発行に伴う変更(平成15年度から見直し作業実施)
- ・他の部品との共通表現の仕様書

個別仕様書番号: 旧) JAXA-QTS-2140A/101A → 新) JAXA-QTS-2140/A101A

### 2. JAXA-QTS-2000B【一般共通仕様書】: '04.10.08公開

- ・品質確認試験の実施時期の明確化
- ・個別仕様書の発行元明確化
- ・QPLからQMLへの移行手順の明確化
- ・TRB活動定期報告の報告事項とその書式明示 等

### 3. JERG-0-042(旧NASDA-STD-8)【プリント配線板と組立品の設計標準】: '05.04改訂予定

- ・H2年度作成以降の見直し
- ・NASA NHB5300.4(3K)の廃止に伴いIPC-2221、-2222、-2223の適用
- ・NASDA-QTS-1046だけでなく、-1047、-1026、-1051、-1066、JAXA、-QTS-2140の追加
- ・不具合事例の追加 等

### 4. JERG-0-043(旧NASDA-STD-22A)【宇宙用表面実装はんだ付工程標準】: '04.04.01改訂

### 5. JERG-0-039(旧NASDA-STD-3B)【宇宙用はんだ付工程標準】: '04.04.01改訂



\*\*\*\*\*

### 3回 「プリント配線板と適正な扱い方」質問書に対する回答集

\*\*\*\*\*

回答者：花森 優 様（宇宙航空研究開発機構）

Q 1. 資料P.5 BGA実装PWB設計は宇宙用PWBで実績がありますか。

また、実装後のはんだ付け部の検査はどのように行っているかご教示願います。

A 1. 宇宙用PWBではまだBGA実装設計の実績は有りません。まだBGA部品の採用が決定していません。

但し、将来に向けてBGA実装のはんだ付け検査方法の検討をH16年度下期から開始しました。

Q 2. QPL認定からQML認定に移行していると伺いましたが、QPL認定とQML認定の差異をご教示願います。

また、何故QPL認定からQML認定に移行していくのか理由をご教示願います。

A 2. ・ QPL（部品認定）とQML（製造工程認定）制度の大きな違いは、後者ではTRB（Technical Review Board）を設定して、認定メーカー自身が工程変更、設備変更に関する適正な根拠の基に判断を行うことが出来る点です。その結果、新技術の導入や新設備の採用が早く、認定ラインの維持管理が容易になる他、同一工程で製造する同じQTS区分の新製品の開発と認定が容易になります。

次に認定期間が3年になることから継続認定に係る認定メーカーの作業の軽減化が図れます。

TRBでは安定した製品性能に対する検査項目や検査内容を軽減化することも検討・判断できることから、認定部品によっては低コスト化の対応策としても利用できると考えます。

・ 部品認定メーカーがQPL認定制度を維持管理する限界にきており、認定辞退が相次いでいます。QPL認定制度では認定時の製造ラインの維持管理を行う必要があり、認定メーカーでは旧式の認定製品の製造ラインが、他の民生部品の新技術の工程から取り残され、維持管理が難しくなったことから、QML認定制度への移行が進められています。これは宇宙用、防衛用の認定部品に關して世界的な傾向です。

Q 3. 推奨保管条件（ $20^{\circ}\text{C}\pm 5^{\circ}\text{C}$ 、 $50\%\pm 10\%$ ）で保管した場合の保管期限は何年でしょうか。

A 3. 規定はありませんが、経験的に多層板の場合1年、両面板の場合は2年ぐらいです。

使用前の乾燥条件、はんだ付けの設定温度条件は各社で異なるため、自社の保管期限を設定されるケースが多いと思います。

Q 4. 配線間隔が狭くなるほど、隣接配線と容量等を見無視できなくなりますが、そのあたりの考慮はどのようにされていますか。

A 4. 狭ピッチの回路設計では容量結合などによるクロストークなどの弊害を避けるために、以下のような配慮が一般的に行われています。

- ・ 平行に走る信号ラインを出来るだけ短くする。
- ・ 隣接する層に直角又は45度に配列する。
- ・ ライン間にガードラインとしてグランドラインを配置する。



・ストリップライン構造、マイクロストリップライン構造の設計にする。

Q 5. プリント配線板の引き剥がし強度に対する管理はどのようなものがありますか。

A 5. プリント配線板メーカーでは材料購入時に材料メーカーに対して、引き剥がし強度（常態及び高温時）の要求をして、材料自身の引き剥がし強度管理します。そのほか定期的な引き剥がし強度の測定・確認、及び耐熱性試験で銅箔のはがれの確認などが管理項目として行われています。

Q 6. ソルダークートを実施されているとの説明がありましたが、鉛フリーに対してはどのようなトレンドですか。

A 6. 鉛フリーのソルダークートは試験・評価は行われてるものの、生産ベースでは難しく課題が多いと見えています。共晶半田に比較し、PWB から鉛フリーソルダークート用溶融はんだ槽へ溶け出す銅による、はんだ槽の組成変動のコントロールが難しい。また鉛フリーソルダークート用はんだの種類と実装メーカーでの選択される鉛フリーはんだとの相性などが問題です。

PWB メーカーでは耐熱プリフラックス仕上げの銅スルーホール方式やフラッシュ金めっき仕上げ方式で対応したいと考えているところが多いと思います。

その方が実装メーカーが選択する種々な鉛フリーはんだ材料に対応しやすいからです。

以上はあくまでも民生品の一般的な話で JAXA 認定に関する PWB 及び組立てに関する鉛フリーの具体的な方策はまだ決まっていません。

講義の中でも話しましたとおり、NASA、ESA など海外の宇宙機関との調整を図りながら、また民生の鉛フリー実施動向・実績も見ながら検討する方針です。





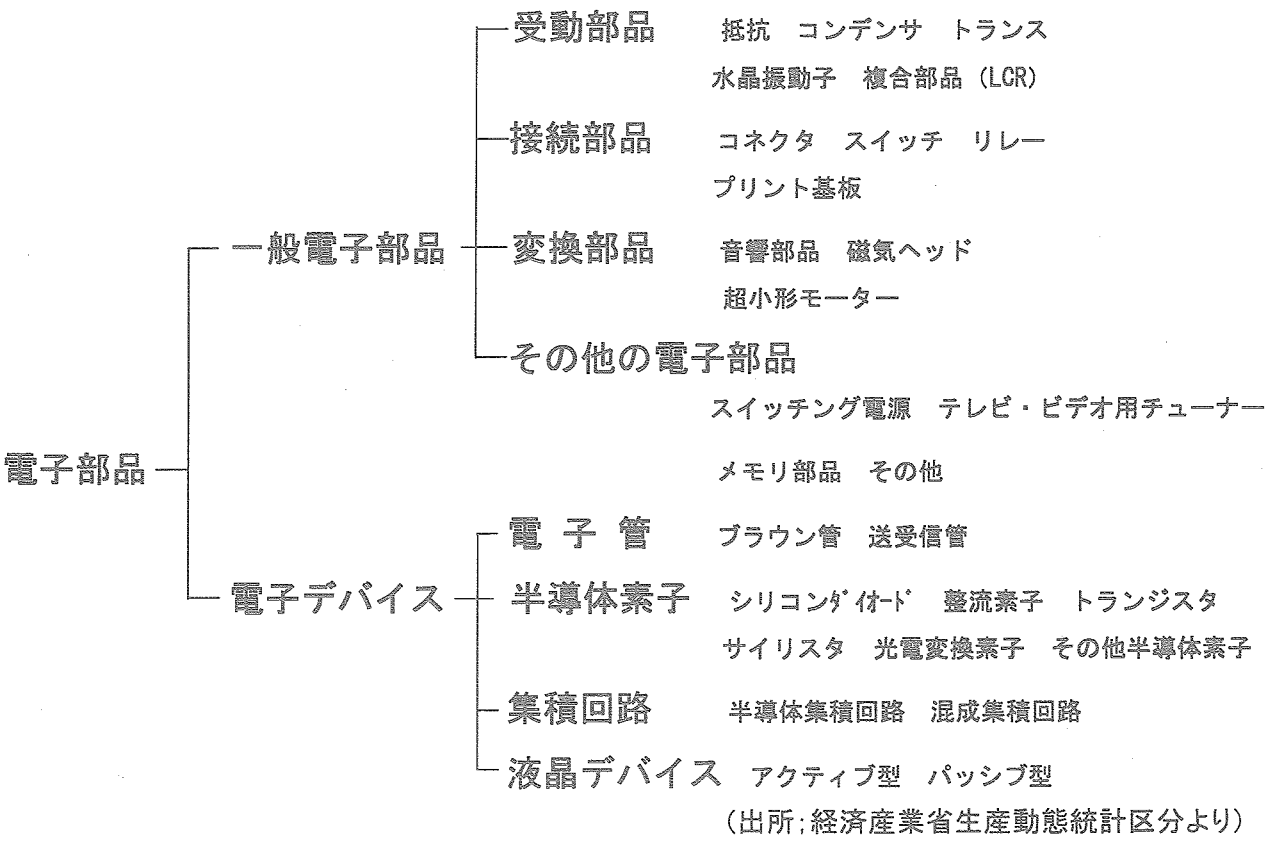
# コネクタの基礎・概論

---

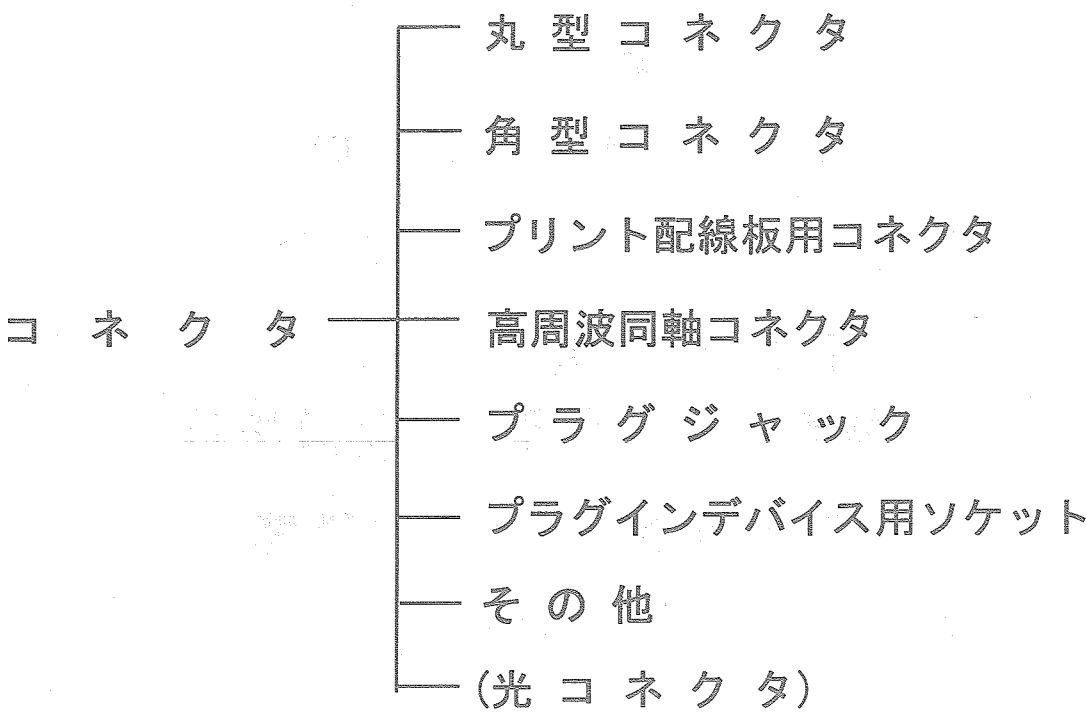
## 目 次

1. 電子部品の分類
2. コネクタの構造
  - ・ コネクタの構成部品と材料
3. 電線・プリント基板への接続
4. コネクタの性能
  - ・ 接触抵抗、耐電圧、絶縁抵抗
5. 航空宇宙用コネクタの特徴
6. コネクタの問題点

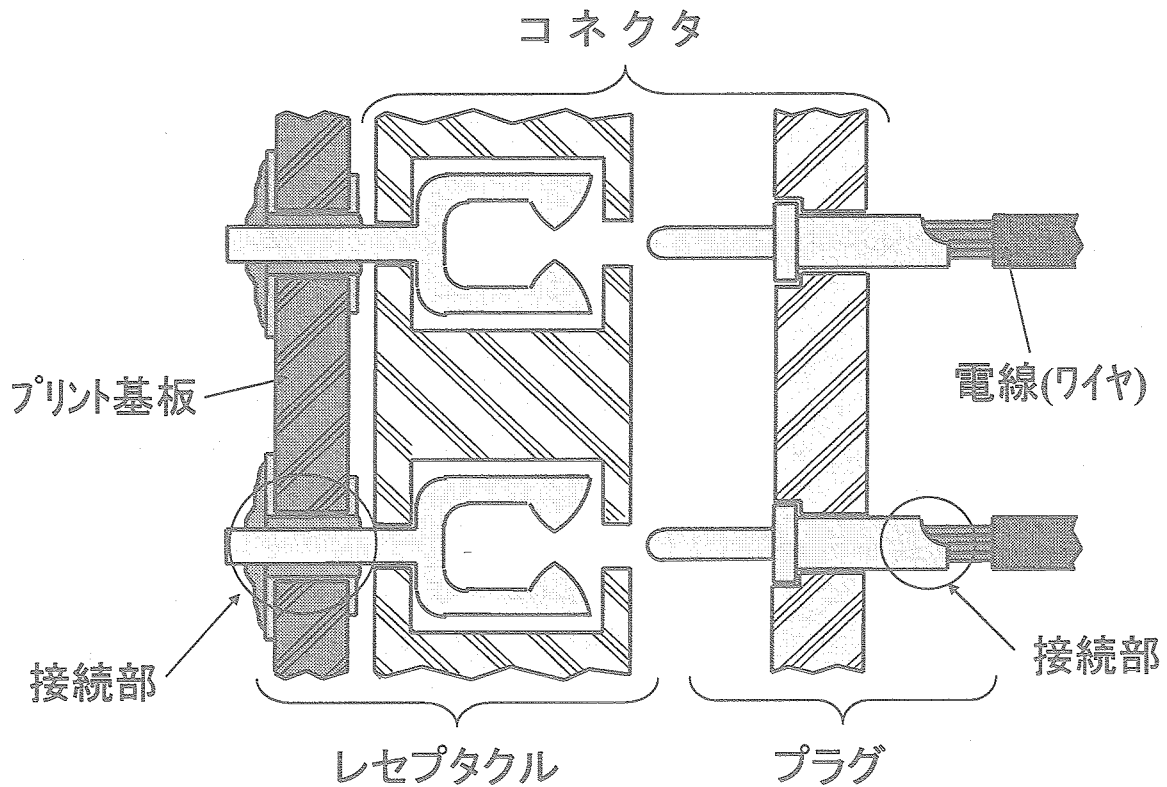
# 1. 電子部品の分類



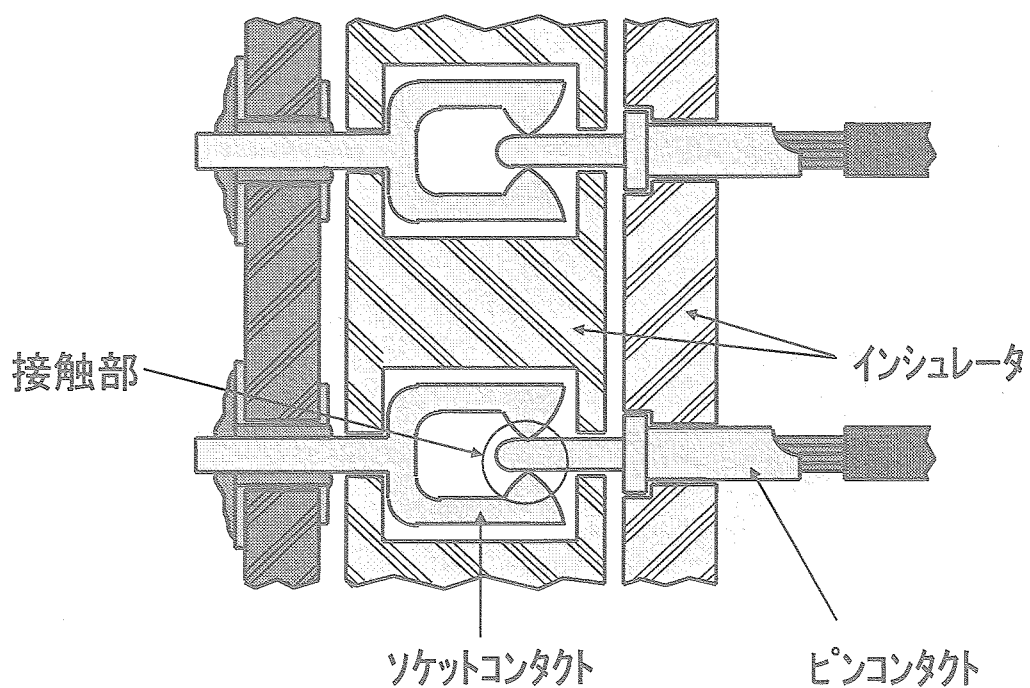
## コネクタの分類



## 2. コネクタの構造と材料

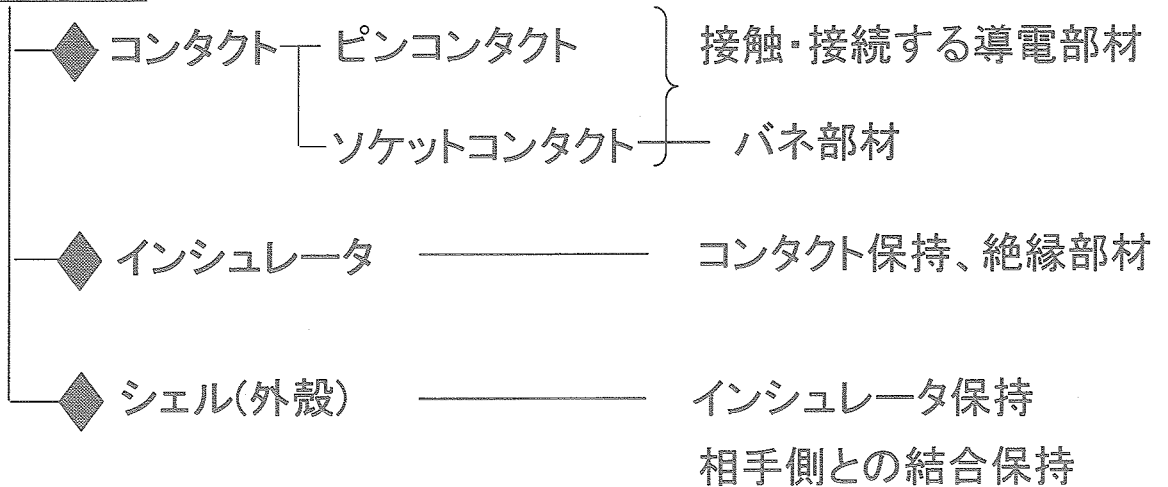


## コネクタの構造と嵌合状態



# コネクタの構成部品

## コネクタ



## コネクタ各部の材料

### コンタクト材料(導電材料)

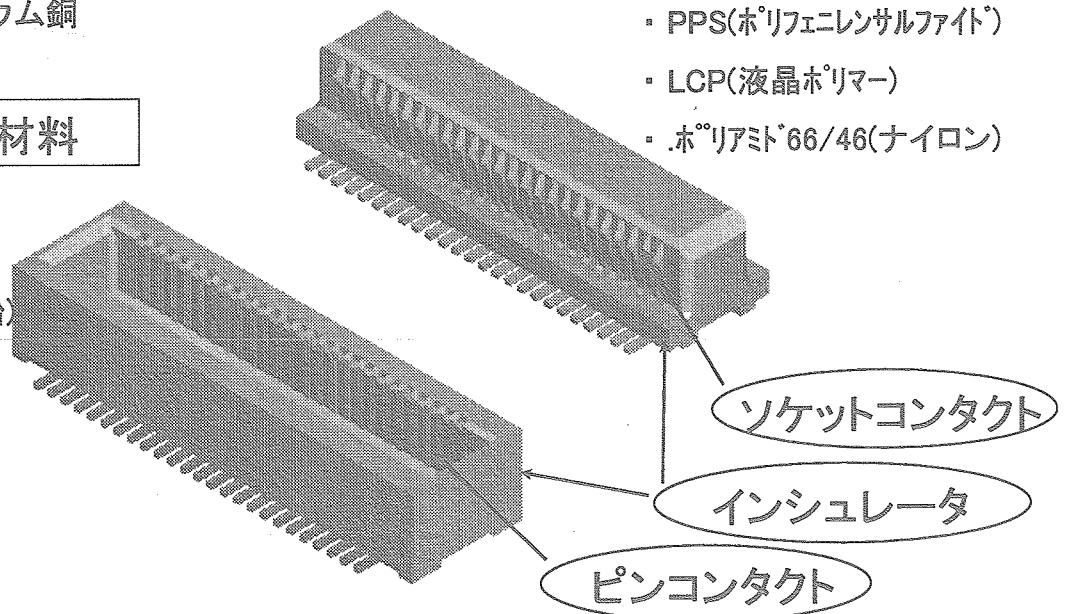
- ・ りん青銅
- ・ ベリリウム銅
- ・ 黄銅

### 表面処理材料

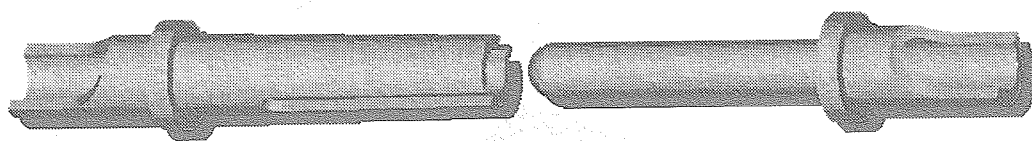
- ・ 金
- ・ 銀
- ・ 錫(錫-鉛)
- ・ ニッケル

### インシュレータ材料(絶縁材料)

- ・ PBT(ポリブチレンテレフタレート)
- ・ PPS(ポリフェニレンサルファイト)
- ・ LCP(液晶ポリマー)
- ・ ホリアミド66/46(ナイロン)

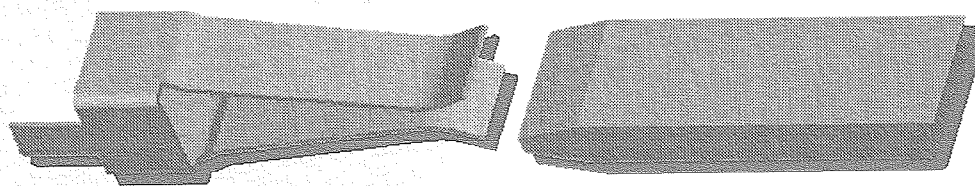


## コンタクトいろいろ

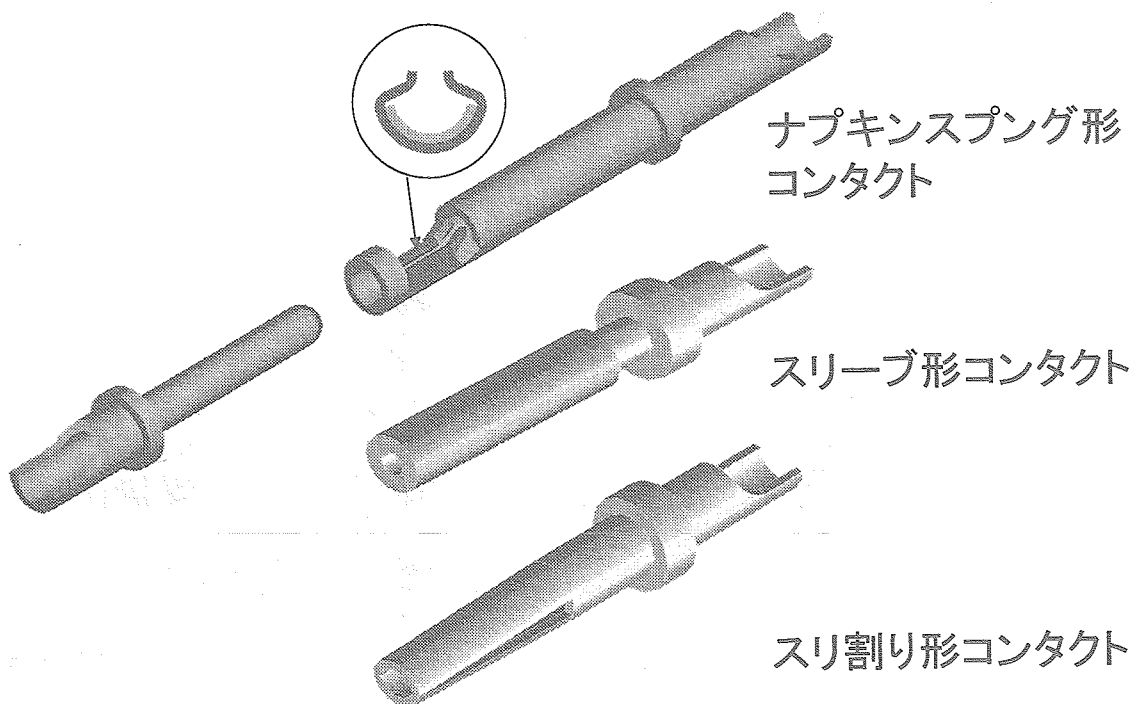


ソケットコンタクト

ピンコンタクト



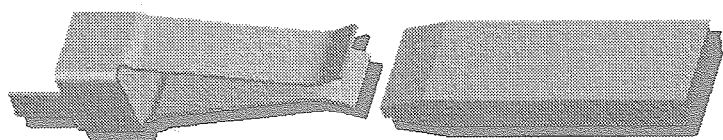
## 丸(マシン)コンタクト



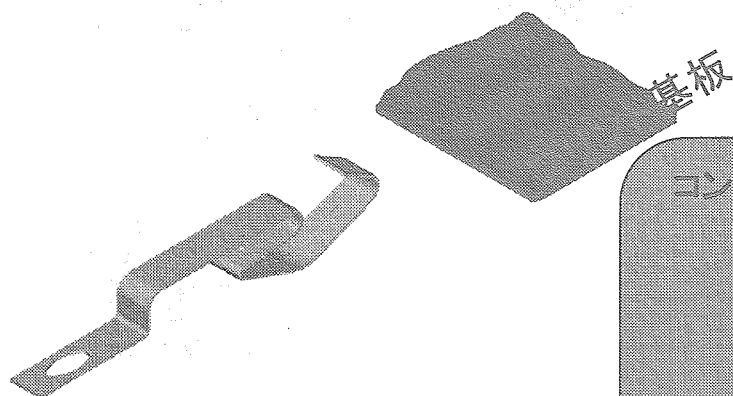


# 板(プレス)コンタクト

片持はり形コンタクト



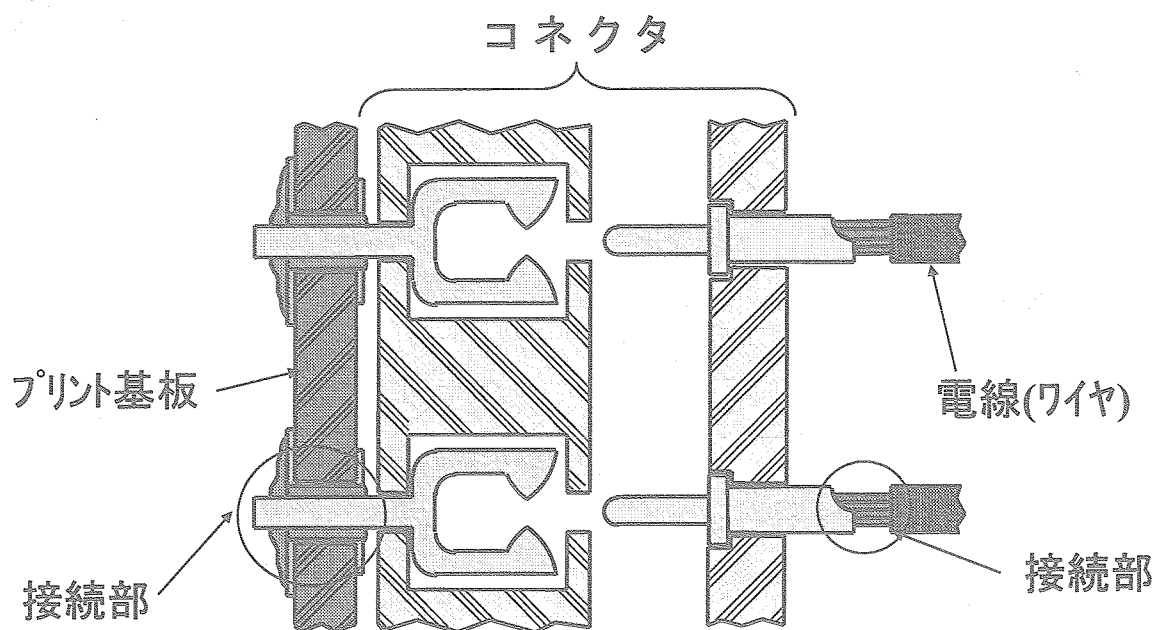
ベローズ形コンタクト



コンタクト形状がいろいろあるのは、

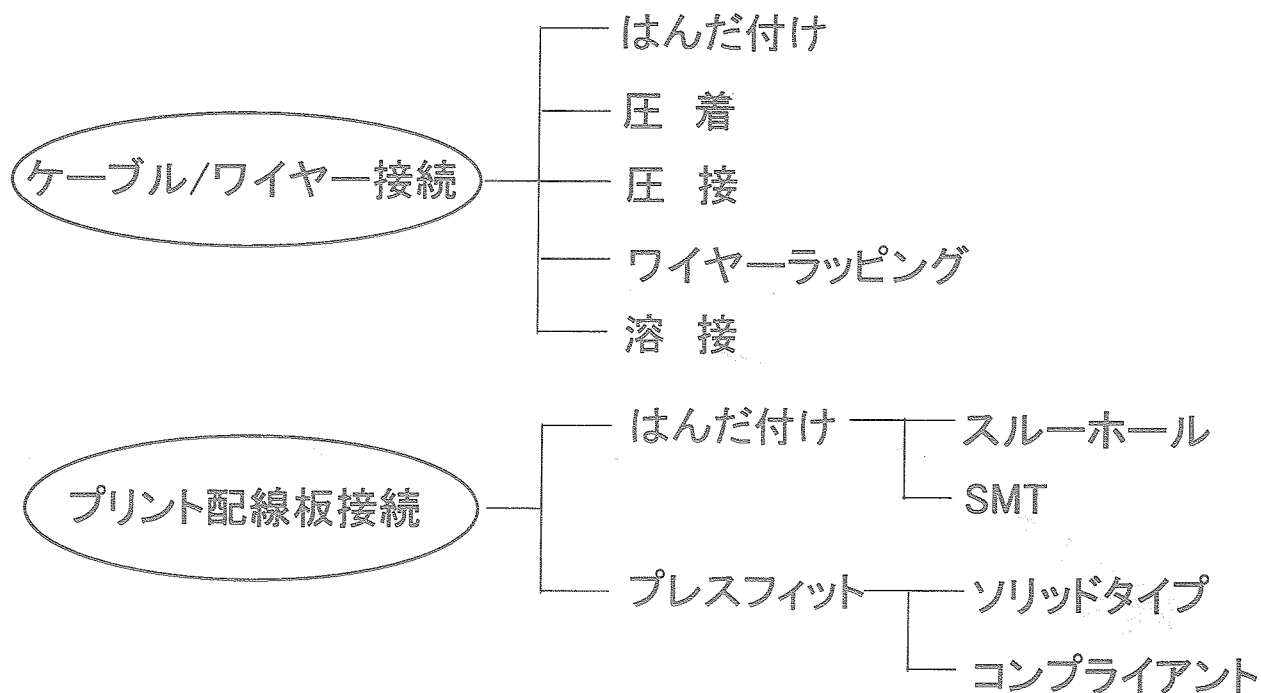
- ・コネクタの大きさ、形状
- ・コンタクトピッチ、芯数
- ・電流容量
- ・用途、使い勝手
- ・コスト、接触信頼性
- ・歴史、特許

## 3. 結線技術

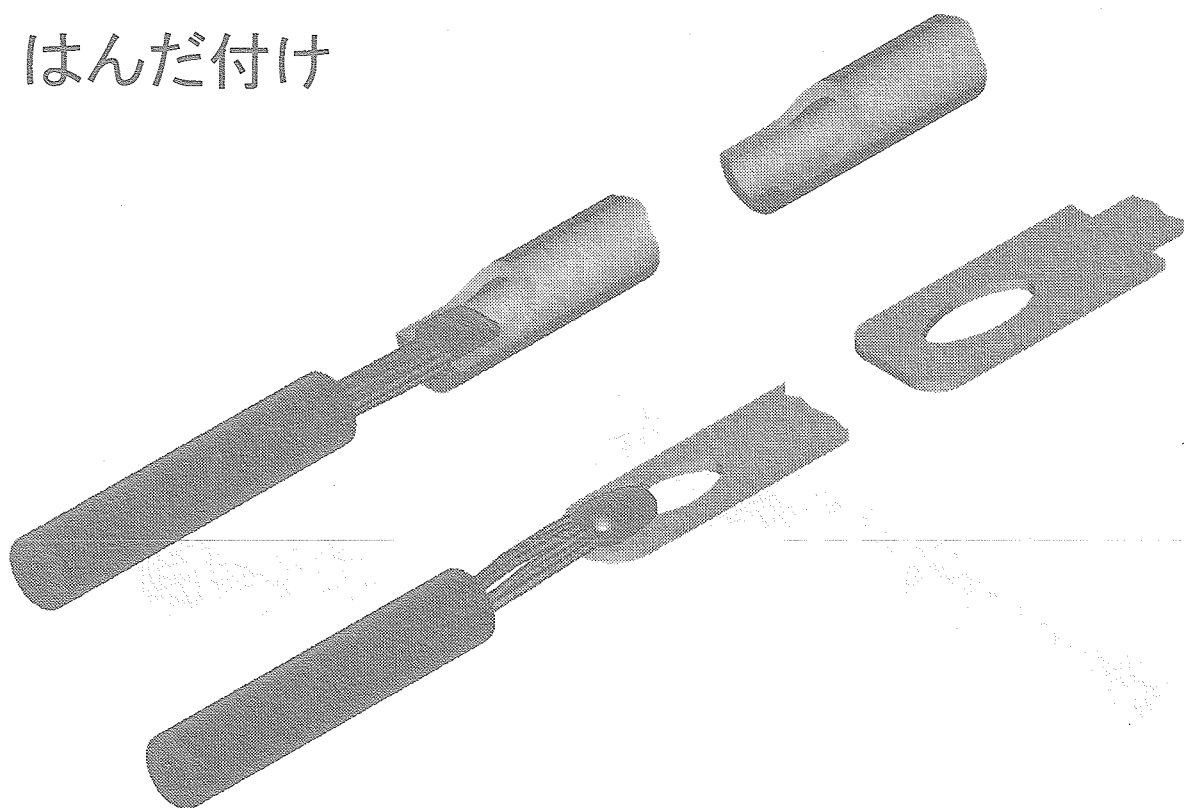


# 結線方法

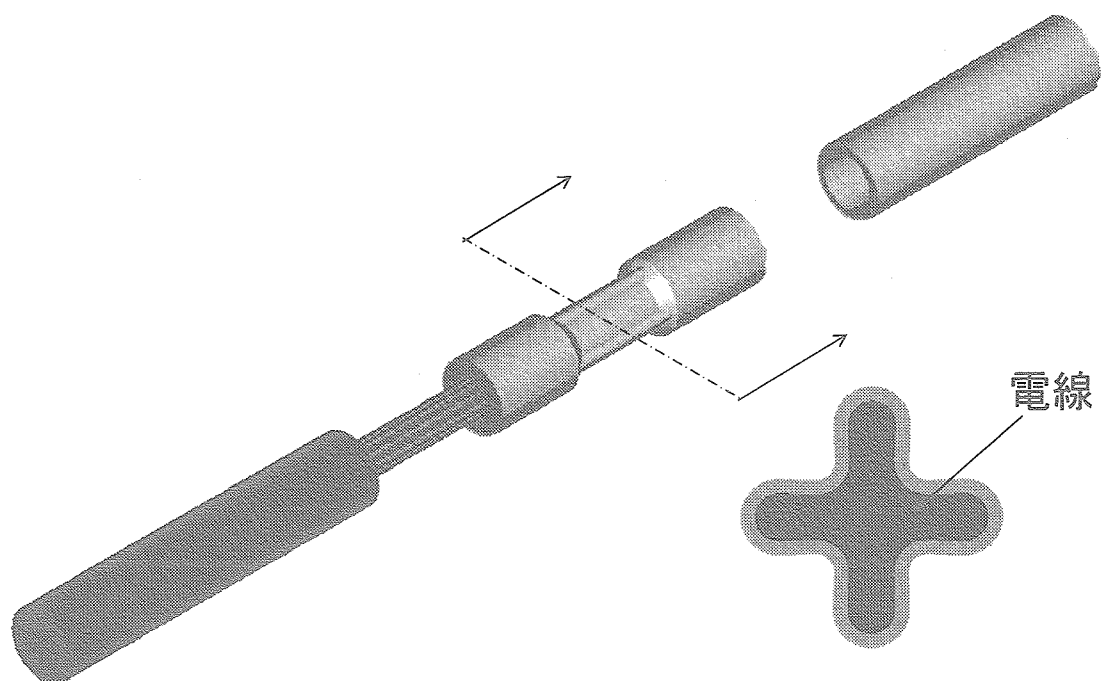
## ターミナル(接続部)



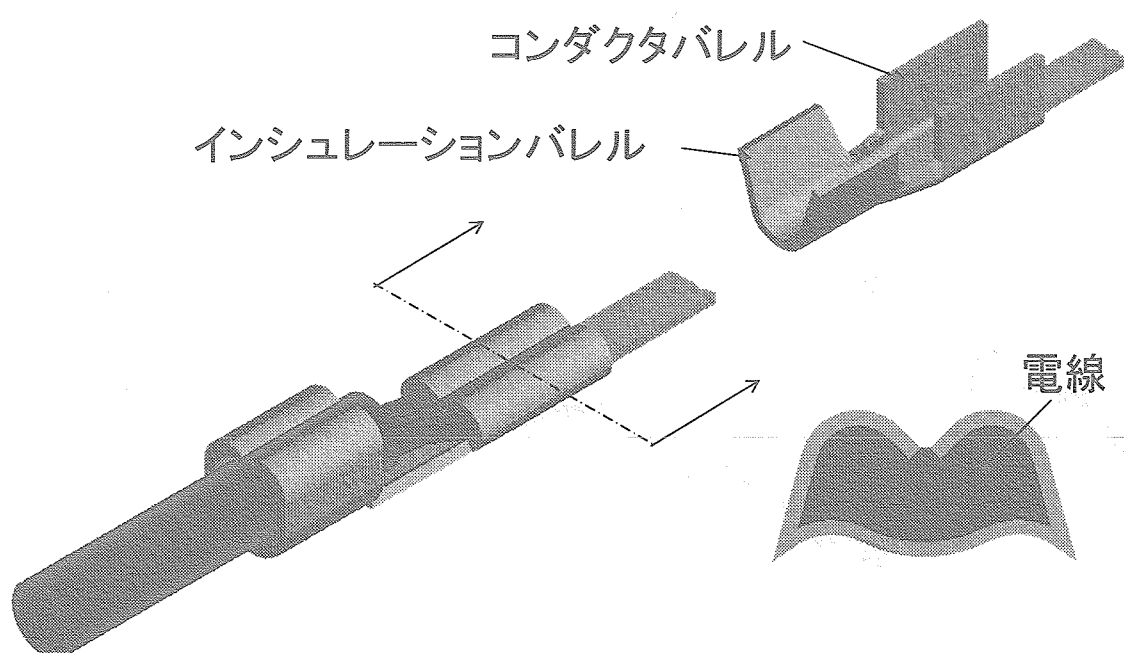
## はんだ付け



## 圧着(クリンプ)クローズドバレル

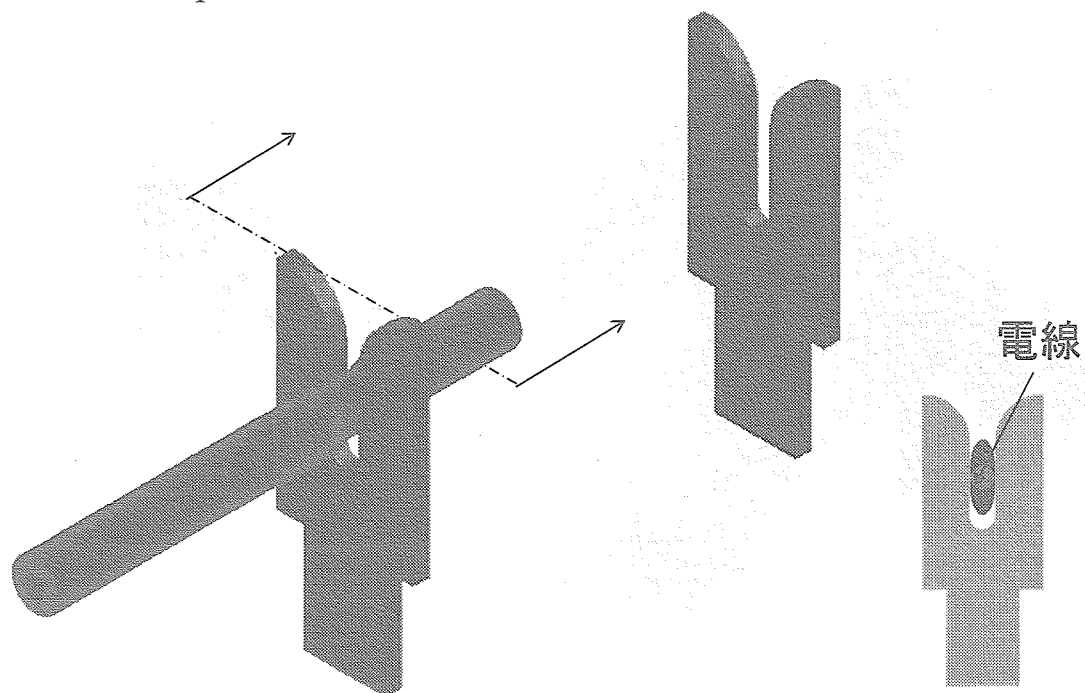


## 圧着(クリンプ)オープンバレル

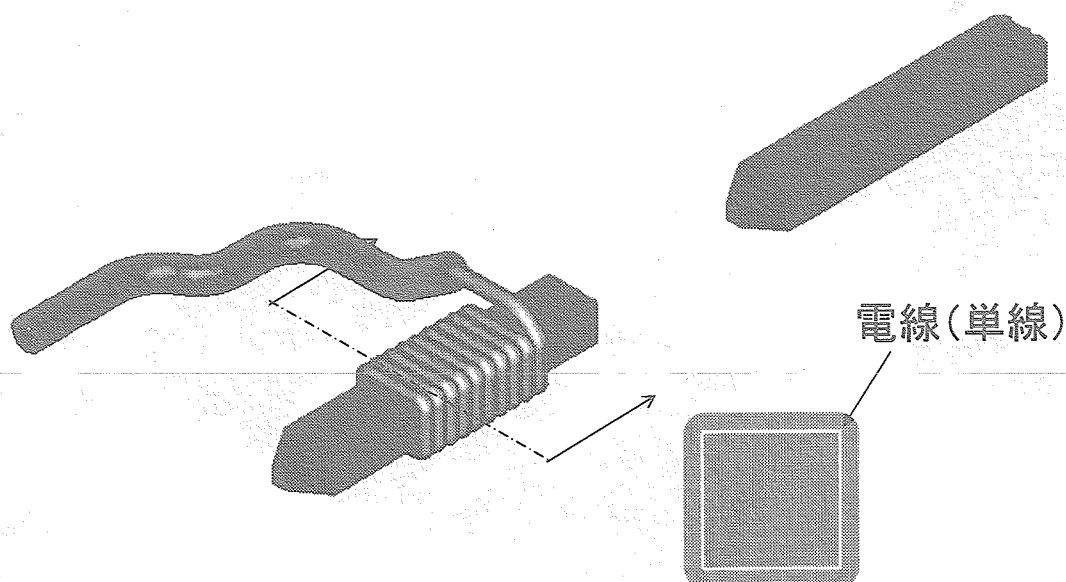


# 圧接 (IDC)

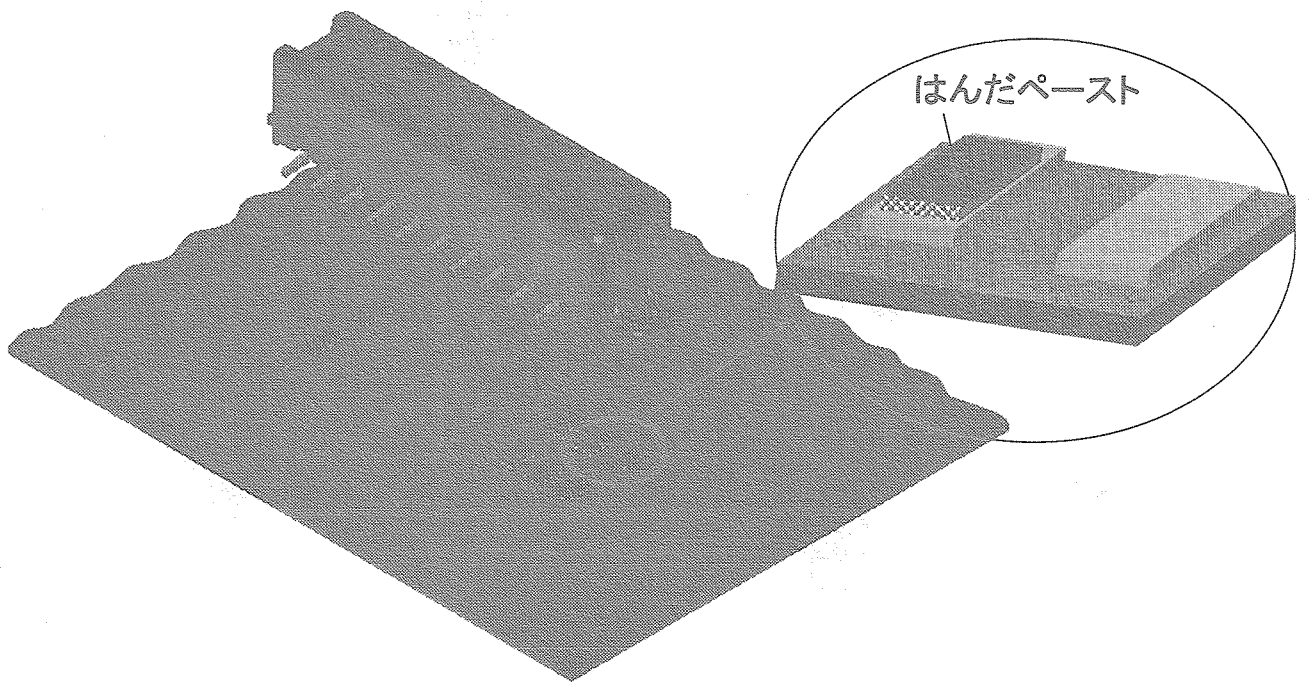
Insulation Displacement Contact



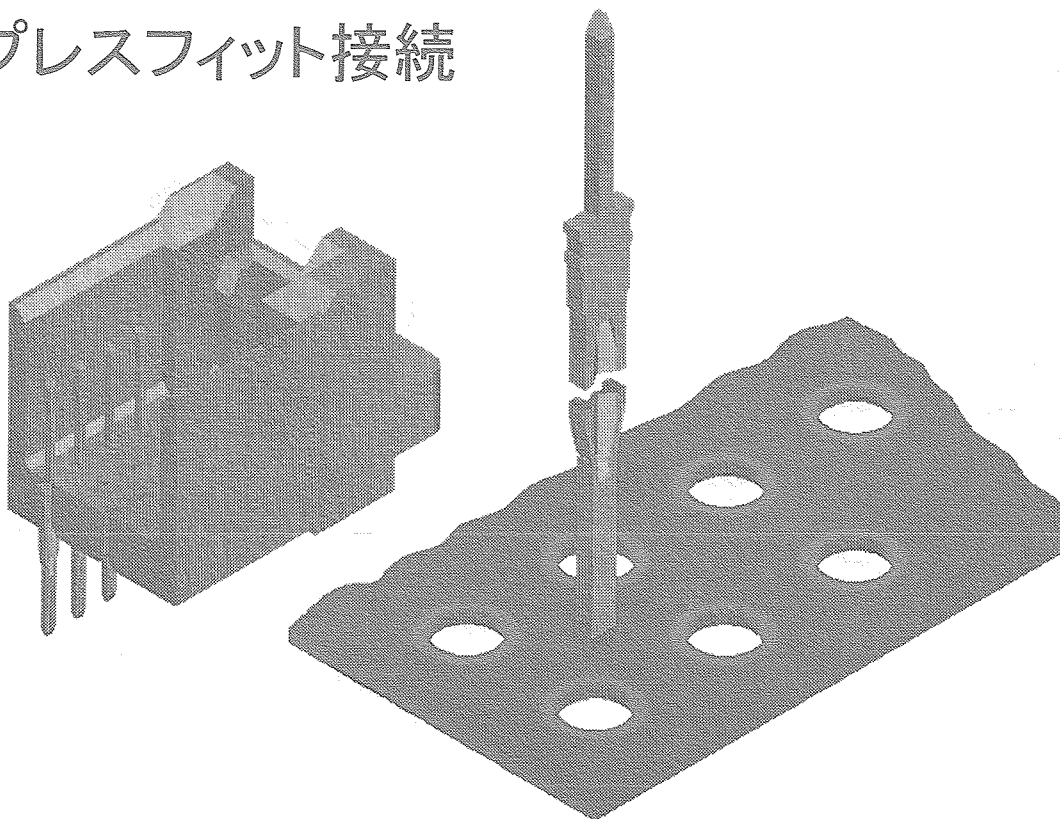
# ワイヤーラッピング



## サーフェイス・マウント接続(SMT)

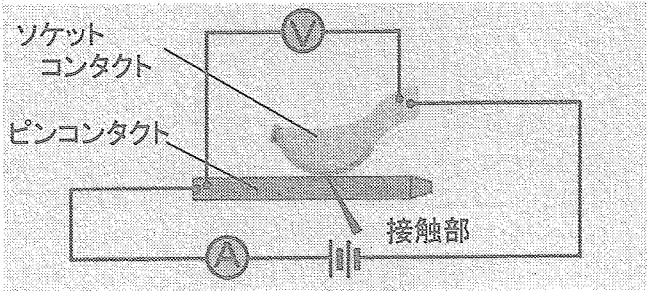
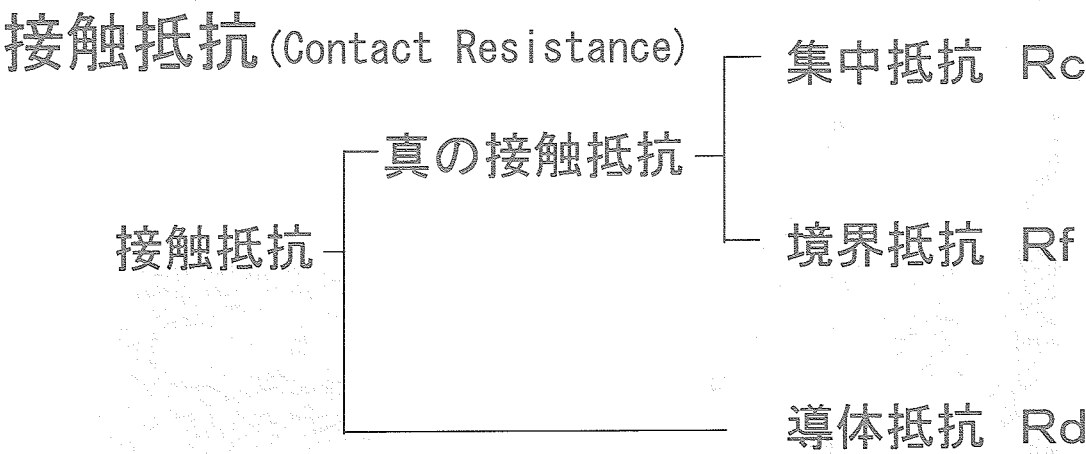


## プレスフィット接続

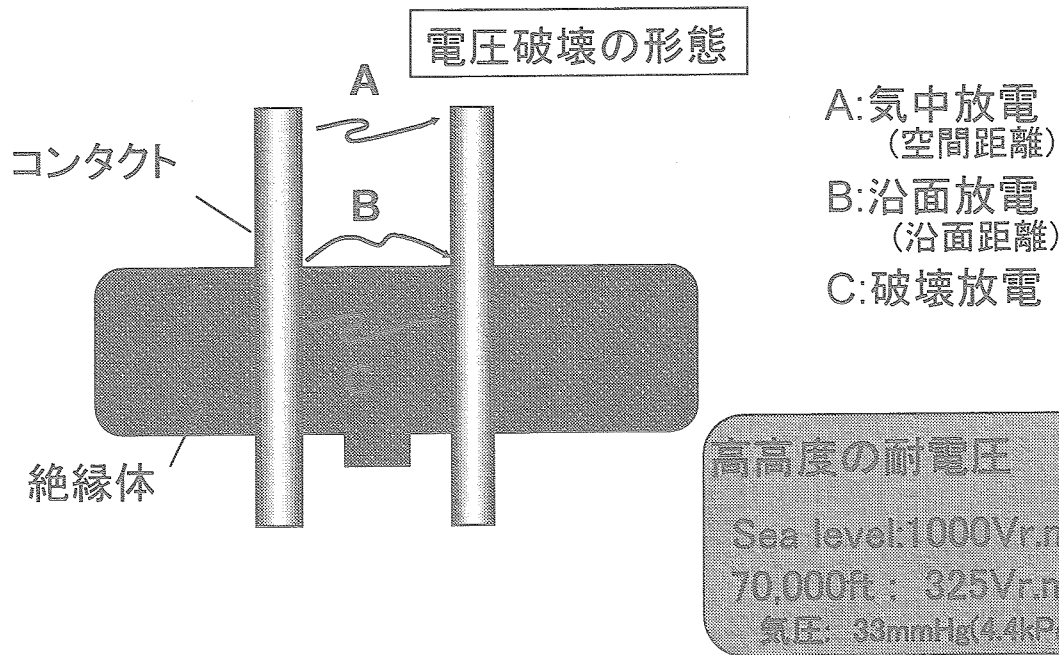


# 4. コネクタの基本性能

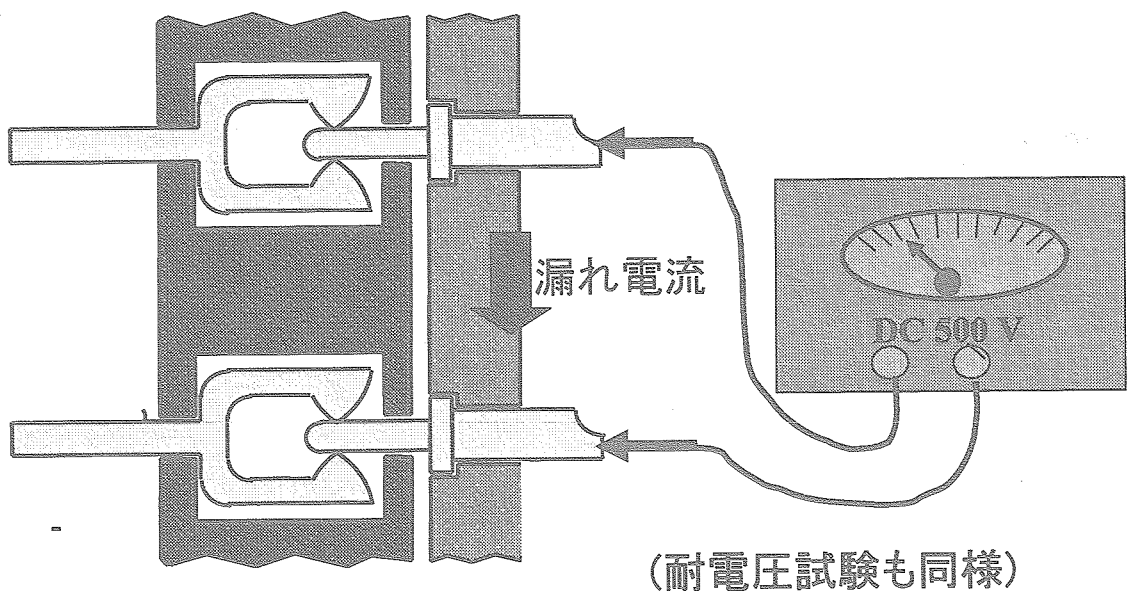
- |           |                   |
|-----------|-------------------|
| ○ 接触抵抗特性  | バネ特性(接触力)<br>表面処理 |
| ○ 絶縁抵抗    | インシュレータ材料         |
| ○ 耐電圧     | インシュレータ材料<br>絶縁距離 |
| ○ 結合・離脱特性 | 接触力               |



# 耐電圧 (Dielectric Withstanding Voltage)

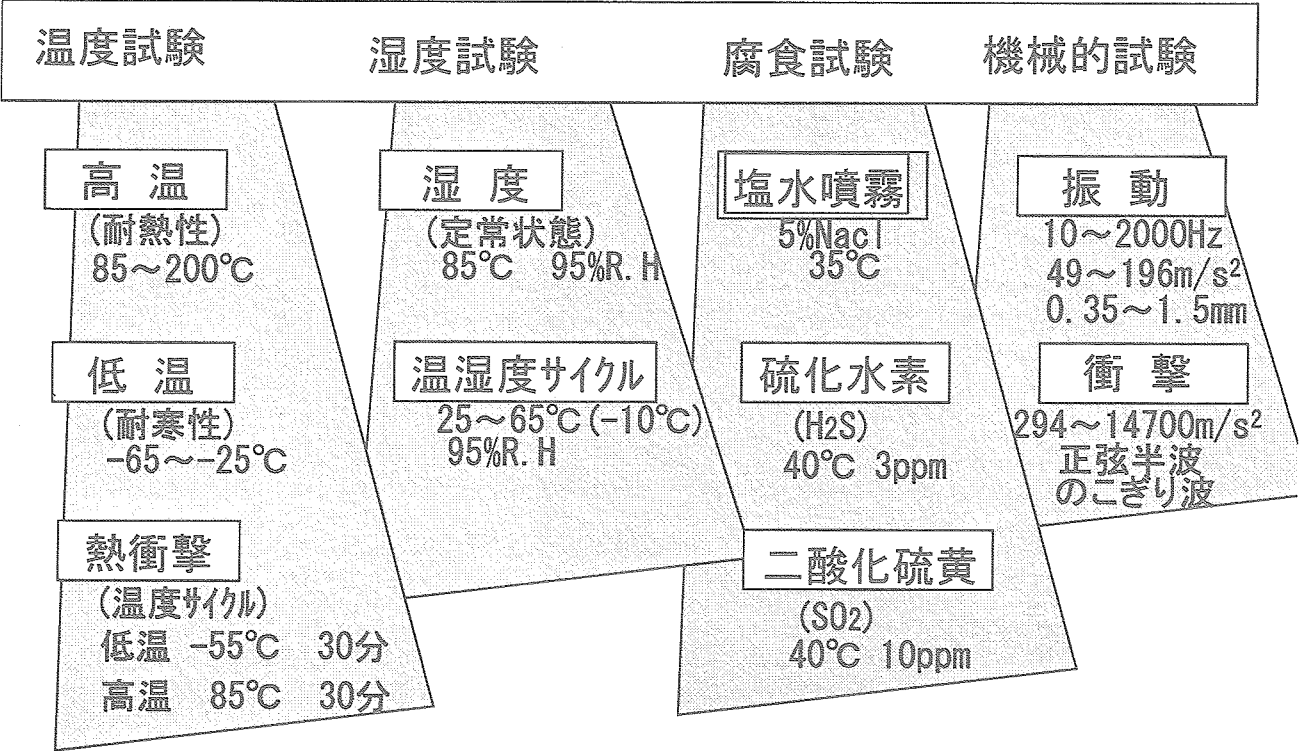


# 絶縁抵抗 (Insulation Resistance)

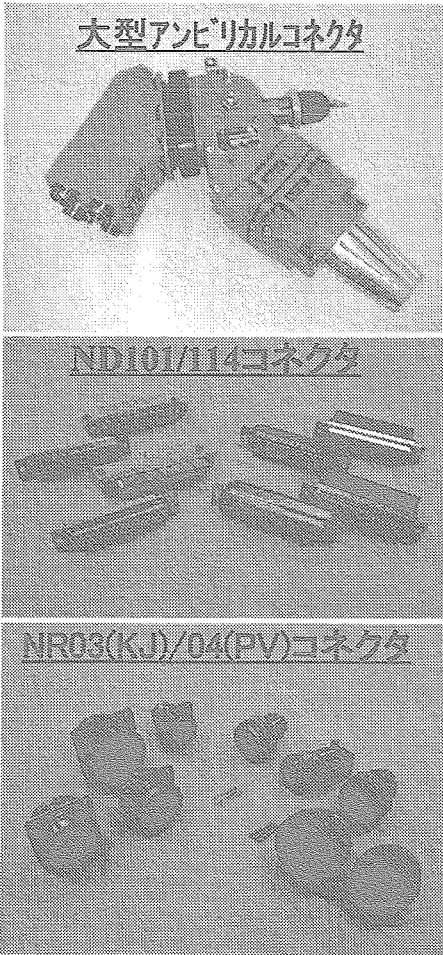
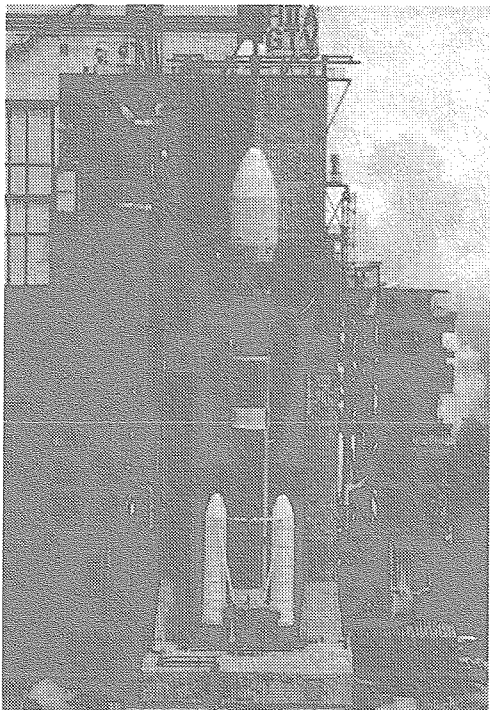




# 環境特性(環境試験の種類)



## 5. 宇宙用電子機器コネクタ





# 宇宙機器、衛星周辺用コネクタの概要

項目	コネクタのタイプ	丸型コネクタ	角型コネクタ	大型アンピリカルコネクタ
		NR03 / NR04	ND101 / ND114	L-UMBI
仕様書		NASDA-QTS-2060 付則B	NASDA-QTS-2060 付則C、D	E 7981
コネクタの結合・離脱		ハヨネット方式	プラグイン方式	自動分離
コンタクト		金めっき、圧着	金めっき、圧着 はんだ	金めっき、圧着
適用電線		NR03:AWG#22～#28 NR04:AWG#12～#24	ND101:AWG#20～#26 ND114:AWG#22～#26	AWG#8、16、同軸
コンタクト芯数		NR03: 6～128芯 NR04: 3～61芯	ND101: 9～50芯 ND114: 104芯	111芯
使用温度範囲		-65～+200℃	-65～+125℃	リセ: -65～+200℃ プラグ: -20～
その他の特性		耐油性 EMI(NR03)	非アウトガス、非磁性	+100℃ 非磁性

## 人工衛星およびロケット用電子機器コネクタの特徴

### 宇宙環境

温度	-65～+200℃ -65～+125℃	} 非昇華材料 非アウトガス絶縁材料 非磁性材料
気圧	常圧～ $1 \times 10^{-6}$ Torr ( $133 \times 10^{-6}$ Pa)	
EMC		

### 高信頼性設計

● コンタクト	● バネ性、強度の優れた材料
	● 電気、化学的に優れた表面処理材
● クローズドエントリ	● コンタクト保護構造
● 耐環境形構造(水分、塵埃)	● かん合部保護構造

## 耐環境型コネクタ

### ●コネクタ

- ・鉛入り銅
- ・ベリリウム銅
- ・鉛入ニッケル銅
- ・金めっき

### ●インシュレータ

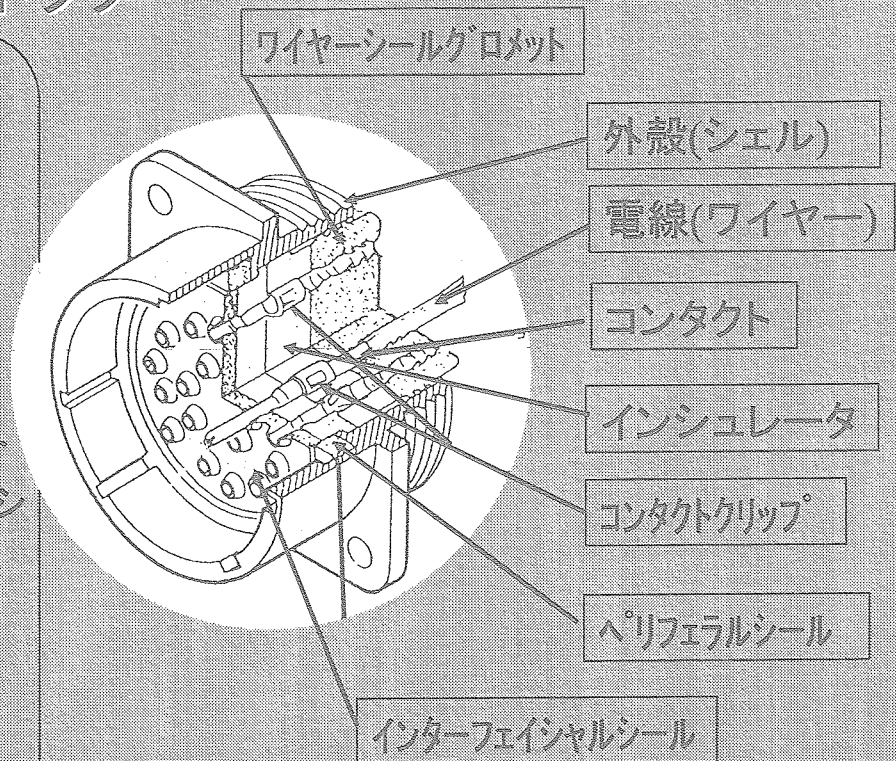
- ・ジアリルフタレート
- ・ガラス入りエポキシ

### ●グロメット・シール

- ・シリコンゴム

### ●シェル

- ・アルミ合金
- ・無電解ニッケル
- ・金めっき



## 6. コネクタの問題点

### ★イオンマイグレーション(耐圧、絶縁不良)

直流電圧、高温多湿下で生ずる結晶析出(成長)現象

### ★ウィスカー(耐圧不良)

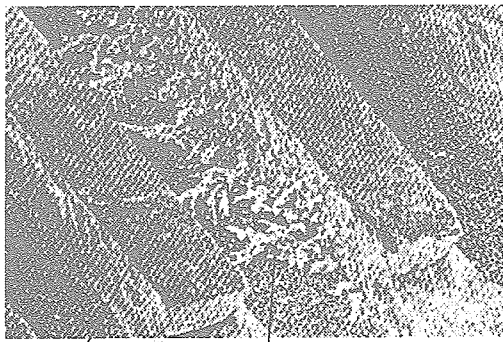
40～60℃、応力負荷状態で生ずるひげ状単結晶

### ★フレッティングコロージョン(接触不良)

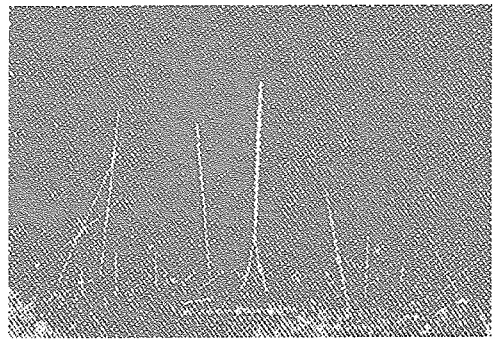
微摺動による摩擦・磨耗及び酸化の複合した接触不良現象

### ★湿食(接触、外観不良)

水溶液下で異種金属が接触することによって生ずる腐食現象



電極 Agめっきの析出（結晶の成長）  
→ 絶縁劣化



0. 数mm～数mm → ショート

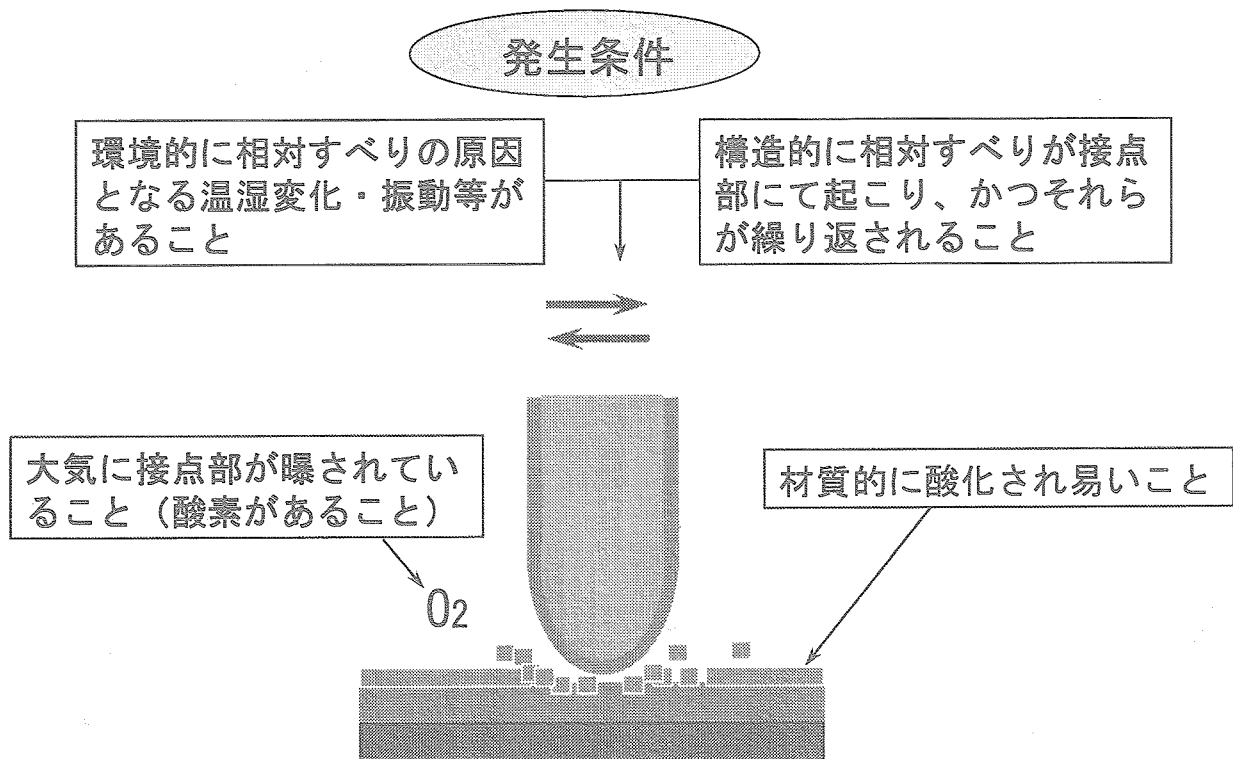
\*) コネクタの使用条件に注意

\*) 対策：スズへの鉛添加、めっき表面の再溶融（リフロー）、応力除去

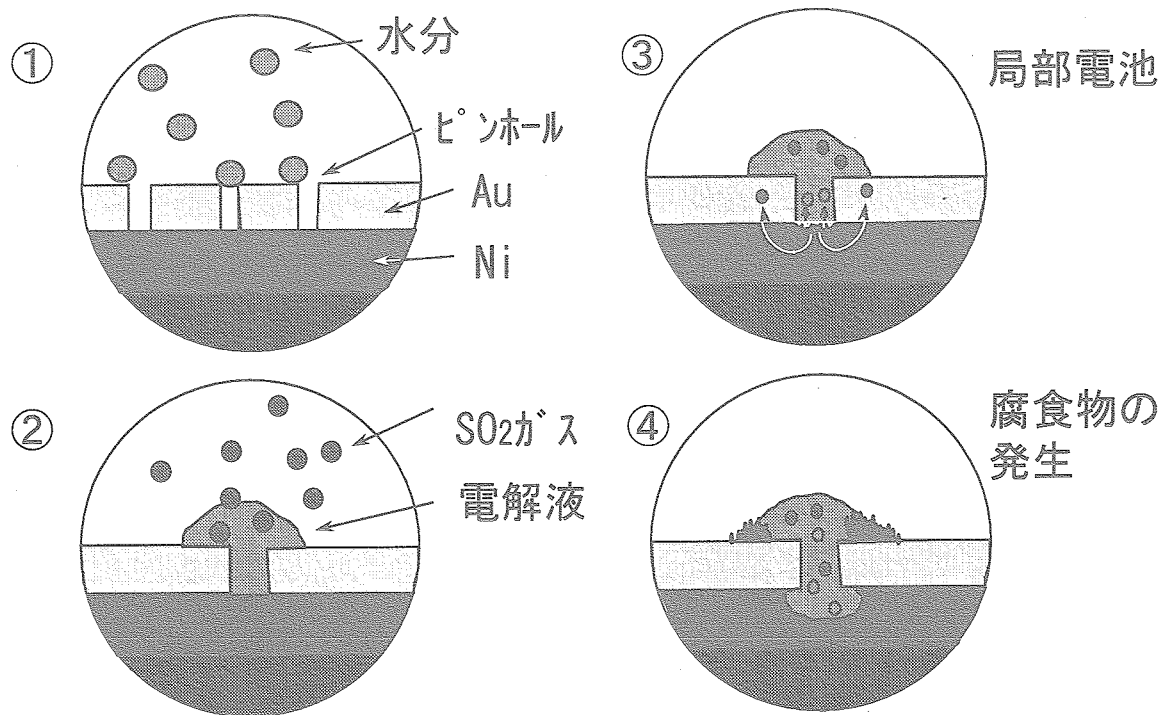
イオンマイグレーション  
(直流電圧、高温多湿)

ウィスカー（ひげ状単結晶）  
(40~60℃で応力負荷状態)

## FRETTING CORROSION (微摺動摩耗)



## 湿食のメカニズム（例）



—終わりに—

### コネクタの動向と課題

- 小型・薄型
- 高速伝送対応
- 低価格対応
- 環境負荷軽減

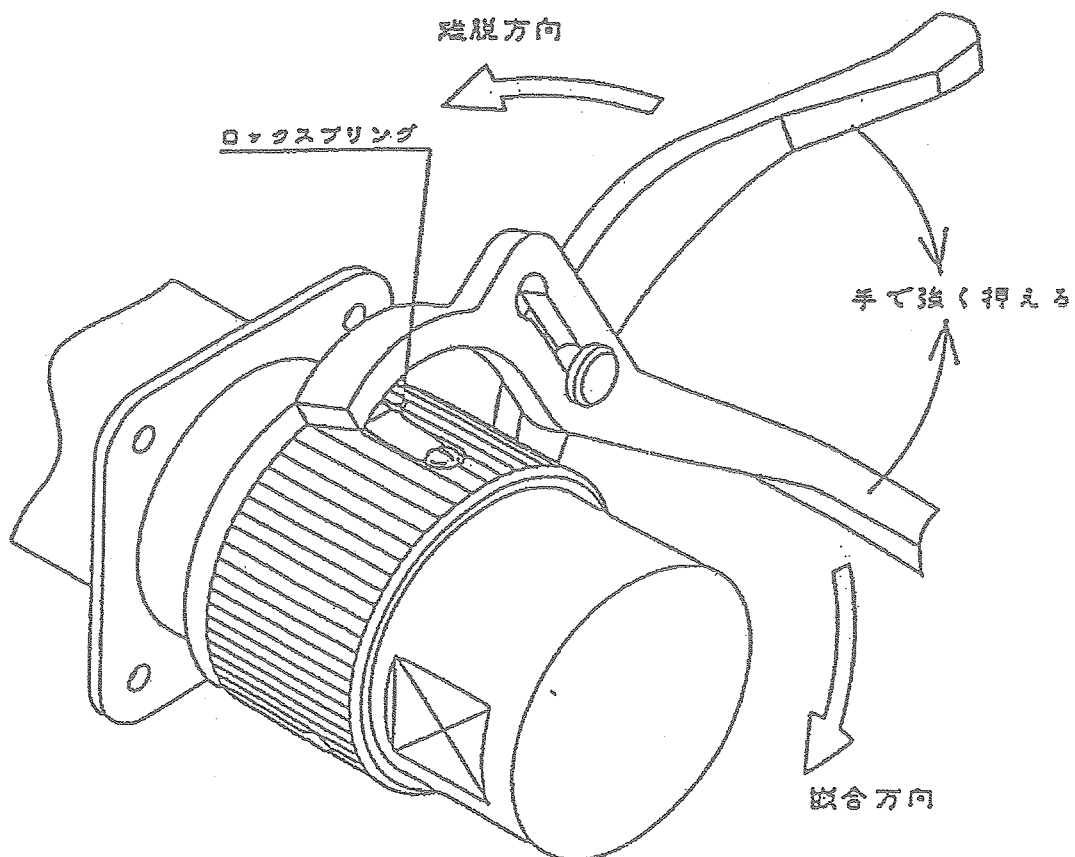


コネクタの嵌合及び離脱が使用場所等の制限により手では困難な場所は下図の如くプライヤ（LP-2）（36サイズに使用）又はストラップレンチ（SW-2、旧品名SWT-1）（48サイズに使用）を使用すると容易にできます。その際、ロック付きの場合はロックスプリングを工具のナール部分で押さえた状態で廻さないとロックスプリングが破損する為注意して下さい。

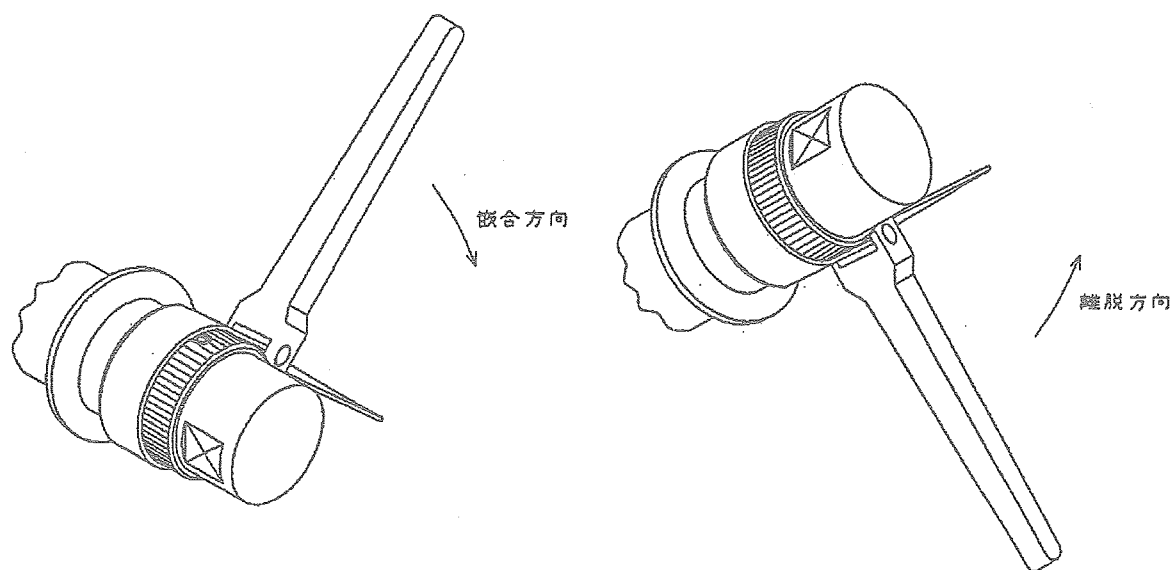
#### 注意事項

1. 嵌合させる際、カップリングナットを120°程廻すとカチツとした手ごたえがあり自動的にロックされる為それ以上の強い力で締めないで下さい。
2. ロックスプリングの位置をよく確認の上、下図の如くプライヤ（36サイズに使用）又は次頁の如くストラップレンチ（48サイズに使用）を利用して下さい。

#### （1）プライヤの場合（36サイズ）



(2) ストラップレンチの場合 (48サイズ)



※ストラップレンチ (SW-2、IB品名SWT-1) は、嵌合と離脱では取付方向が違う為  
注意して下さい。

\*\*\*\*\*

## 「接続部品（プリント基板、コネクタ、リレー）の適正な扱い方」

### 質問書に対する回答集

#### － コネクタ －

\*\*\*\*\*

回答者：山下 誠 講師（日本航空電子工業株式会社）

\*\*\*\*\*

Q 1. 丸型コネクタの着脱にコネクタプライヤを使用すると、削リクズにより影響を与えると聞いたことがあります。コネクタプライヤは極力使用しない方が良いでしょうか。

A 1. コネクタの着脱はカップリングナットを回して行いますが、通常、材質がアルミ合金のため、軟らかく傷が付きやすいものです。一方、着脱用の道具には、プライヤとストラップレンチがあり、いずれもカップリングナットのサイズに適した大きさのものを使用することが肝要です。

プライヤはカップリングナットを噛んだ時に僅かに傷が付きますが、手の力の入れ具合が弱いと滑りが生じ、大きな傷と削リクズが発生することもあります。ツールの取扱いに多少の経験が必要です。

ストラップレンチはカップリングナット全周に亘って、均等に噛みますので傷が付き難く、比較的取扱いが易しいツールと思われます。プライヤと比較した場合の欠点は、カップリングナットを回すときの作業動作範囲が広く必要で、コネクタが多数、密に並んでいた場合には作業し難くなってしまいます。

ご参考に、プライヤとストラップレンチの絵を添付させていただきました。別紙1（コネクタ）\_プライヤとストラップレンチ.pdf 参照。（この絵に記載されているロックスプリングと言う部品は無視してください。全てのカップリングナットに付いているものではありません。）

\*\*\*\*\*









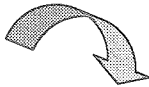
# リレー(RELAY)の概要

---

## 目 次

1. リレー(RELAY)とは
2. リレーの分類(例)
3. 電磁リレーの種類と特性  
／一般用と宇宙用
4. 製造工程と主要要素技術
5. 主な用語
6. 使用方法・取扱

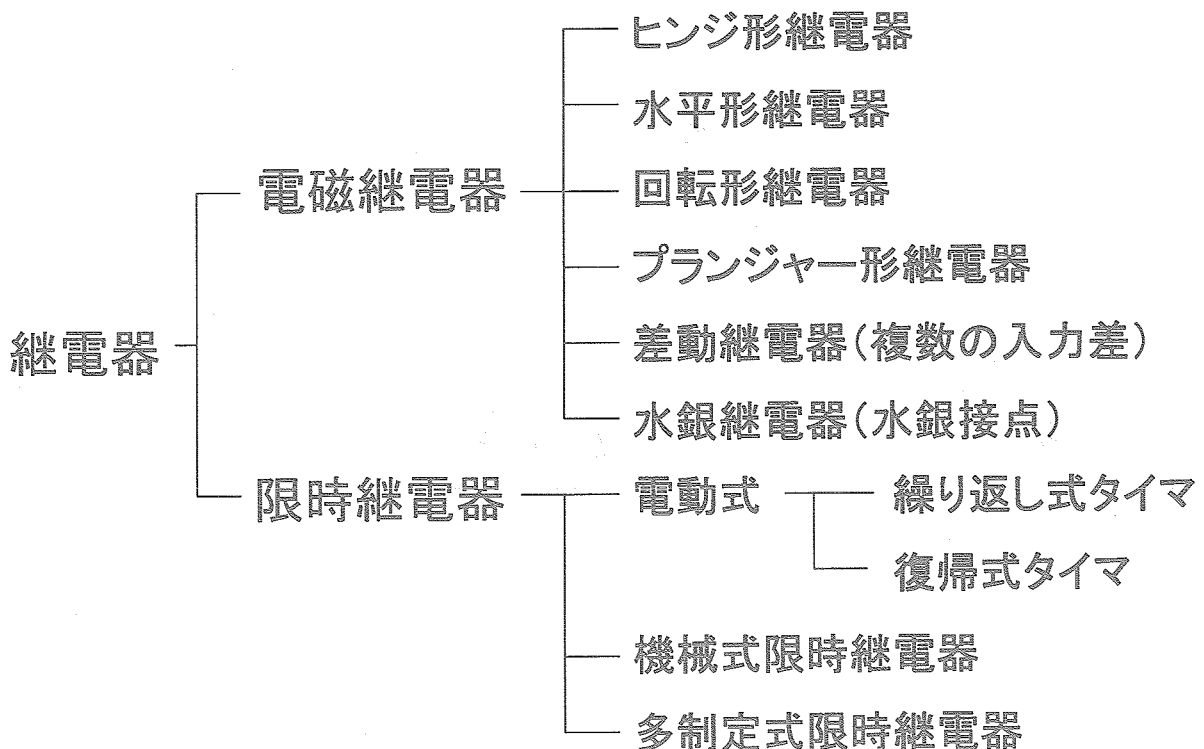
## 1. リレー(RELAY)とは？

・宿駅→中継 

・動作原理 継電器

直流、交流、インパルス等の形で加えられた信号により、コイルに磁束が発生し、その磁気力で可動鉄片が吸引され、この可動鉄片の動きに応じて接点が開閉

## 2. リレーの分類(例)



## 駆動方式

### 1. 電磁リレー

- ・電磁石の原理

**電気力→機械力**

→ 接点を動作させスイッチング

- ・電磁石と接点部分

- ・各接点極

**絶 縁**

**多回路同時制御、増幅機能**

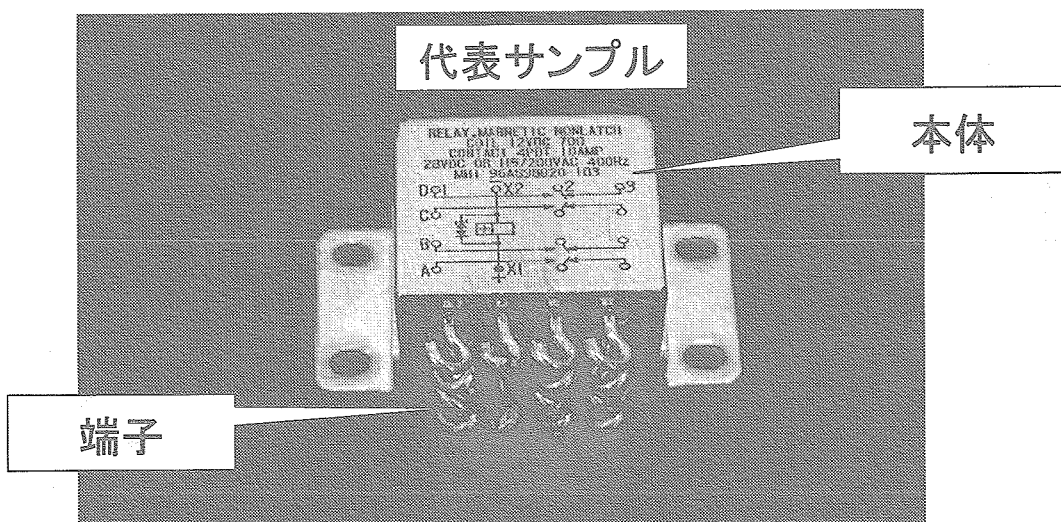
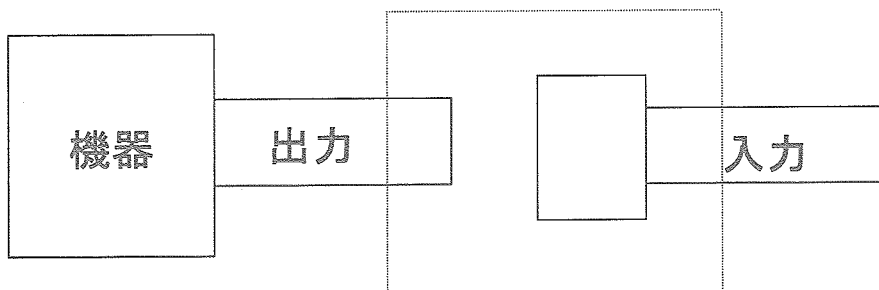
### 2. 半導体リレー (SSR)

- ・機械部分はいらず、半導体で電子式にスイッチング

- ・絶縁性が低い

**漏 洩**

## 電磁リレー概念図



# 3. 電磁リレーの種類と特性

## 3-1 一般用電磁リレー

### ・種類

通信機用(主に電話交換機)、

一般制御用(自動制御装置、自動販売機等)等

### ・特性

接点定格、コイル定格、絶縁耐圧、絶縁抵抗

寿命(電氣的、機械的)、接点電圧降下、

環境特性(衝撃、振動、温度、高度、加速度)等

## 3-2. 一般用と宇宙用……主な違い

	一般用	宇宙用	
・接点定格	○	○	
・コイル定格	○	○	
・絶縁抵抗	○	○	
・寿命(電氣的, 機械的)	○	○	
・接点電圧降下	×	○	信頼度設定
・環境特性			
・振動(正弦波、ランダム)	×	○	
・衝撃	×	○	
・温度／高度	×	○	
・加速度	×	○	
	バランスド アマチュアー		
	完全密封形 (金属ハーメチックシール)	窒素ガス封入	

# 製造工程と主要要素技術

抵抗溶接

熟練作業者(手作り)

部品  
封着部品

組立(抵抗溶接) → 調整 → 超音波洗浄 → 真空乾燥

窒素ガス封入 ← 電子ビーム溶接 ← 静電洗浄

(完全密封)

(塵埃除去)

封着(ハーナチック)

PIND 試験

製品出荷検査

(塵埃検出)

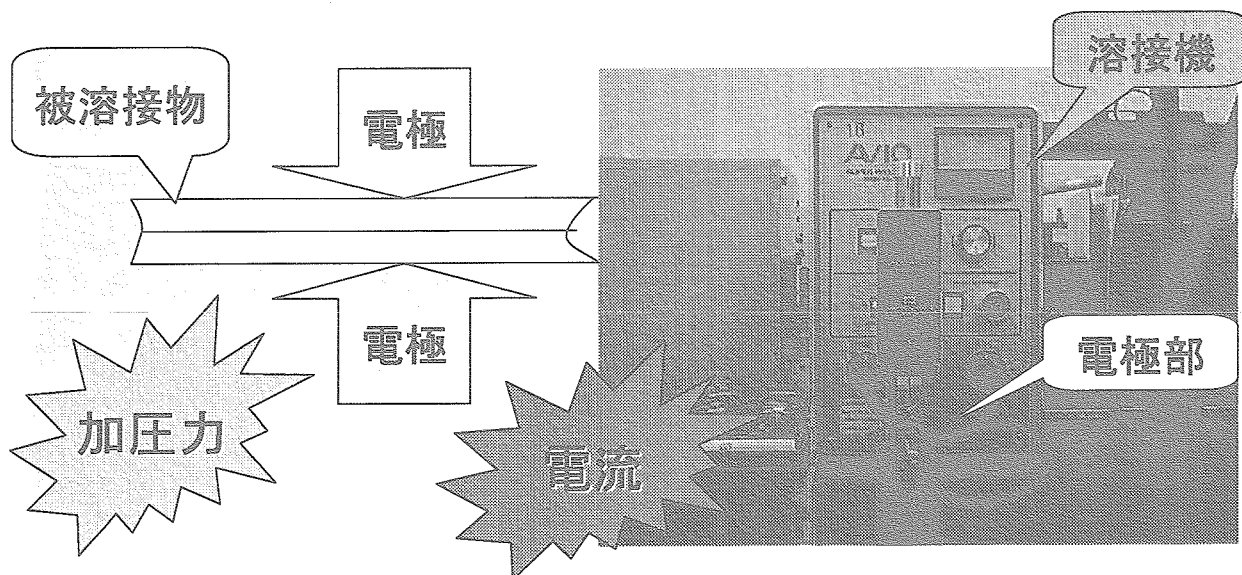
電子ビーム溶接

真空乾燥

## 要素技術の概要

### 1. 抵抗溶接

抵抗発熱(ジュール熱)を利用し、金属の接合



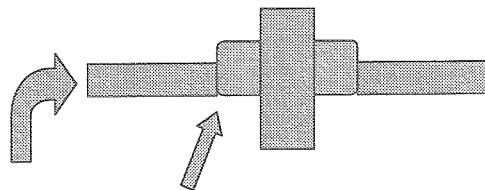


## 2. 封着(ハーメチックシール)

Hermetic seal(密封) → 溶着によって完全に密封し

気密を保持する

一般



封着 — ガラスシール(金属とガラス) → 当社方法  
セラミックシール(金属とセラミック)  
特殊 → 高周波特性、耐熱、耐衝撃等

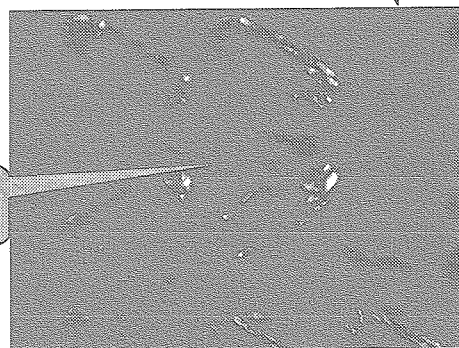
・ガラスシール(金属とガラス)

ガラスを溶解して、金属と封着

・セラミックシール

金属を溶解して、セラミックと封着

ガラス



## 3. 電子ビーム溶接

高真空下で発生させた電子を直接、金属の接合部に  
当て金属を溶かして接合

高接触信頼性  
(半田フラックスなし)

電子ビーム  
発生部

作業チャンバー  
(高真空)



コントローラ

## 4. 真空乾燥／窒素ガス封入／密封(抵抗溶接)

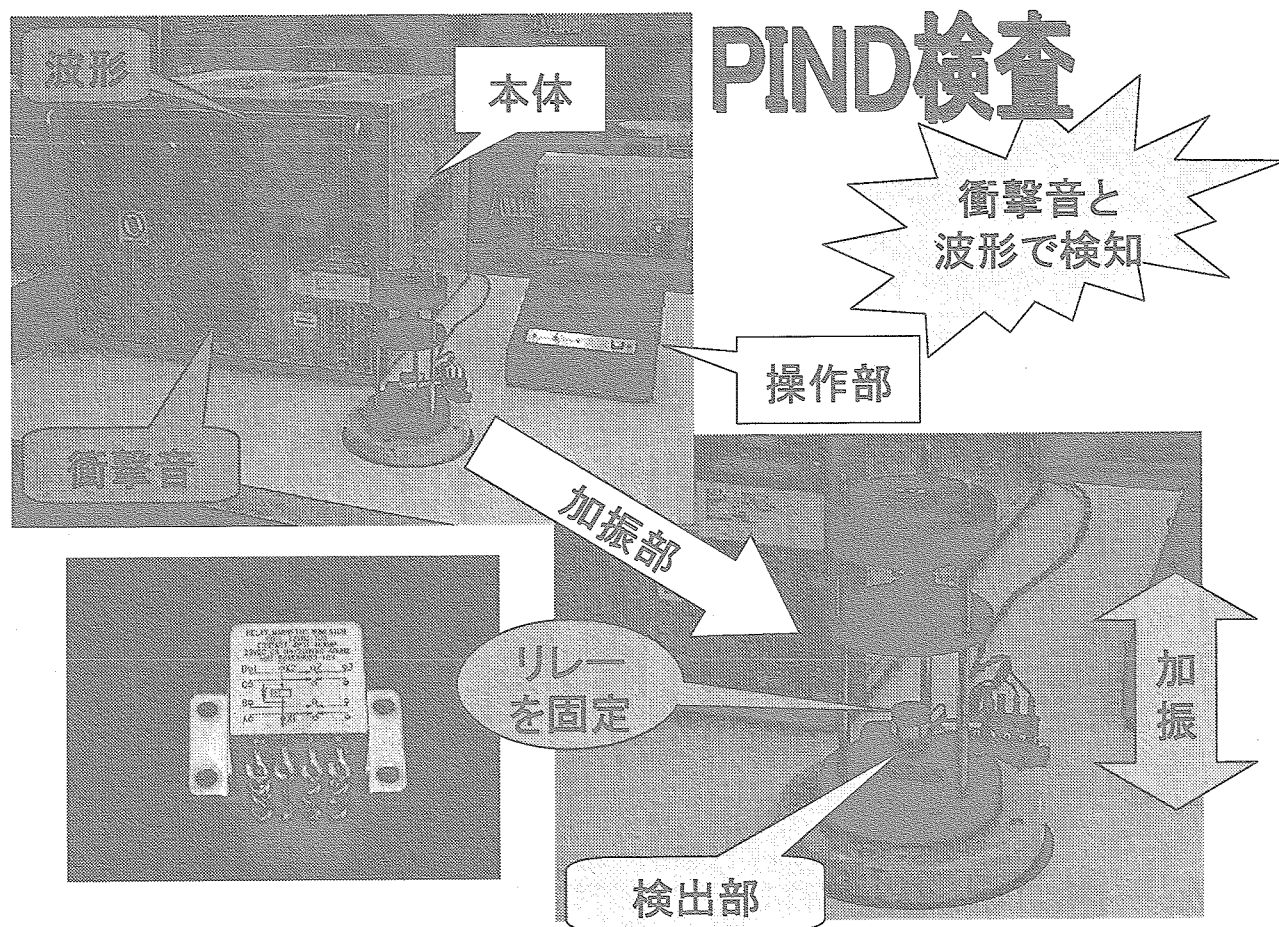
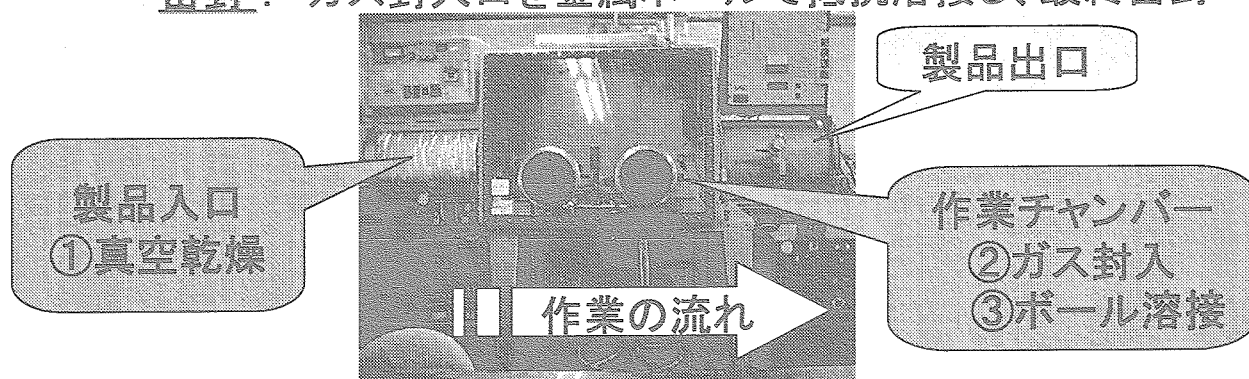
特殊設備(バックフィルオープン)を使用

真空乾燥→乾燥窒素ガス封入→最終密封を行う

- ・真空乾燥 : アウトガス、油脂／水分等の除去
- ・窒素ガス封入 : 露結しない乾燥ガスを1気圧で封入

密封性確認(リークテスト)の為、ヘリウムガスも入れる

- ・密封 : ガス封入口を金属ボールで抵抗溶接し、最終密封



## 6. 主な用語

### ・コイル定格電圧(電力)

リレーが通常使用される基準となる電圧(電力)。

### ・感動(動作)電圧(電流)

リレーが動作する最小電圧(電流)。コイルは銅線を使用している為、周囲温度の影響を受ける。通常、定格の70%程度。

### ・復旧(開放)電圧(電流)

リレーが動作しない最大電圧(電流)。通常、定格の10%程度。

### ・動作時間

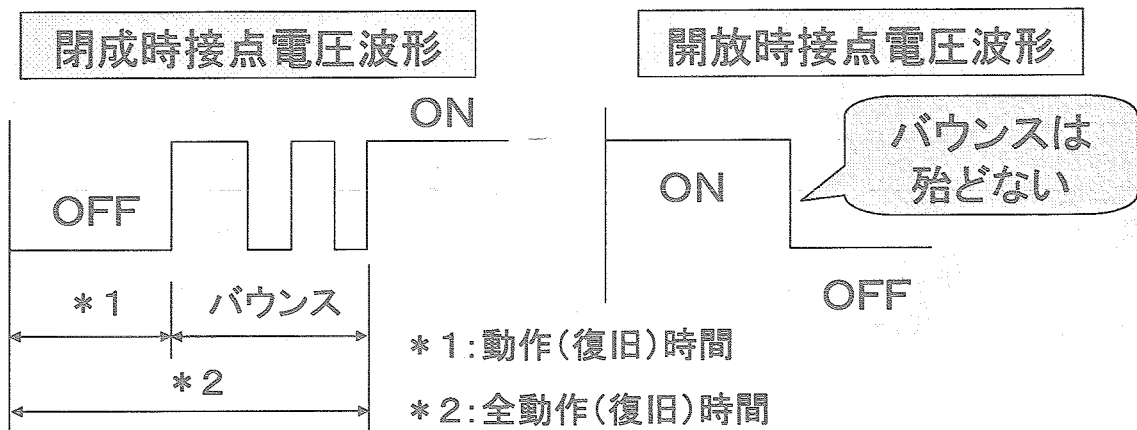
コイルに定格電圧(電流)を加えた時点から、接点が閉成(導通)する迄の時間。通常、バウンス時間は含まない。

### ・復旧時間

コイルから定格電圧(電流)を取り除いた時点から、接点が復旧(閉成)する迄の時間。通常、バウンス時間は含まない。

### ・接点バウンス時間

接点が閉成又は開放時、接点間に発生する間欠的開閉現象の継続時間。



## ・接点定格

接点の開閉容量を示す基準。開閉する負荷の種類は通常、抵抗、誘導、モーター、ランプ等がある。

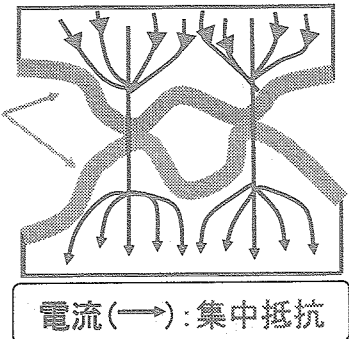
## ・電氣的寿命

接点に定格負荷を接続し、コイルに定格電圧を加えてリレーを動作（接点開閉）させた時の寿命。接点を監視し、故障を検知する。

## ・機械的寿命

接点は無負荷又は定格より減じた（数分の1）時の寿命。  
通常、電氣的寿命回数の数～数十倍を規定する。

汚染：皮膜抵抗



## ・接触抵抗

接触部に発生し、集中抵抗と皮膜（境界）抵抗からなる。

材料、表面粗さ等に依存する集中抵抗より、汚染物質等の影響を受ける皮膜抵抗がはるかに大きい。通常、電圧降下法で測定する。

# ・密封型

### ①簡易シール構造

プラスチックケースやベース等でシールしたもので、不活性ガス（窒素）は封入されていない。

シール剤などで密封し不活性ガスを封入した物もある。

主に通信、産業機器等に使用される。

### ②金属ハーメチックシール

金属ケースと金属ベースとで密封した物。不活性ガスを封入している。外部の影響（有害ガス、塵埃等）を受けない高信頼性部品として、評価が高い。主に宇宙・航空用として使用される。

## 7.使用方法・取扱

### 1. 外力

#### ①気密破壊

- ・内部湿度→絶縁／耐電圧劣化、接触不良等
- ・窒素ガス抜け→接点消耗

#### ②機能不良→コイル断線、溶接外れ等

### 2. 汚染

- ・気密ガラス部への異物付着→絶縁／耐電圧劣化

### 3. 異常高電圧(コイル)

- ・コイル断線(層間短絡)、
- ・ダイオード短絡(動作しない→電源短絡)

---

### 4. 過負荷(接点開閉)

- ・規定を超えた過負荷の開閉→接点消耗、溶着、焼損
- ・基本は定格電圧／電流での使用

### 5. 接点負荷変動

同一接点の負荷をハイレベル(定格負荷)使用後→ローレベル(mA)にするとハイレベルによる接触部荒れ、汚染等によりローレベル使用時、接触不良の可能性





# 「パワー半導体デバイス」

## Part-1: ダイオード・トランジスタの動作原理と故障要因

## Part-2: Power MOSFET及びダイオードの活用方法

### 目次

#### Part-1

1. トランジスタ・ダイオードの種類と適用
  - 1.1 半導体デバイスと適用テリトリ
  - 1.2 バイポーラデバイスの特徴
  - 1.3 ユニポーラデバイスの特徴
2. 整流作用の発見・制御から半導体デバイスへ
  - 2.1 金属と半導体の接触
  - 2.2 表面/界面の制御とプロセス技術
3. 整流作用の原理とキャリアの挙動
  - 3.1 半導体とエネルギーバンド
  - 3.2 n型p型半導体
  - 3.3 pn接合
  - 3.4 MOS接合
4. ダイオードの動作
  - 4.1 順方向と逆方向
  - 4.2 定常状態と過渡状態
5. トランジスタの動作
  - 5.1 BJT
  - 5.2 MOSFET
  - 5.3 IGBT
6. 故障要因と解析事例
  - 6.1 故障モード
  - 6.2 熱的要因
  - 6.3 熱応力要因
  - 6.4 ゲート酸化膜とESD
  - 6.5 並列・直列動作要因
  - 6.6 放射線要因

#### Part-2

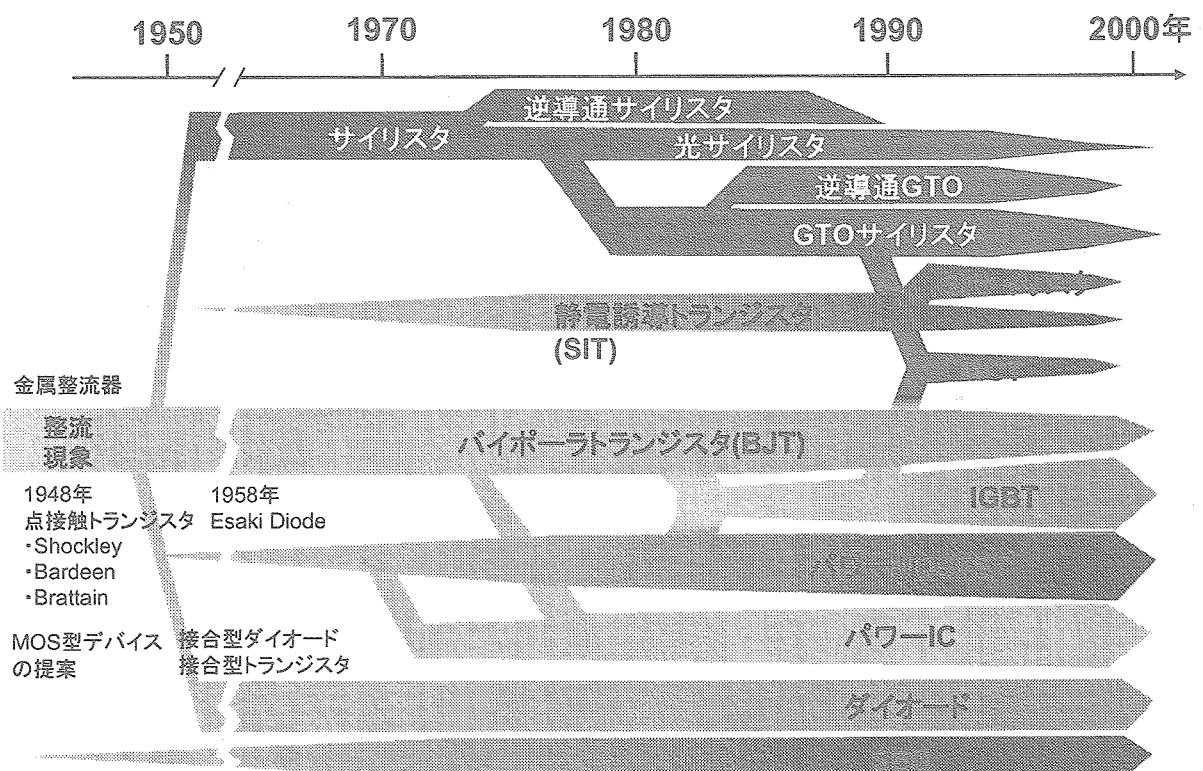
1. 仕様書記載の絶対最大定格と電気的特性
2. 取り扱い注意事項
  - 2.1 静電気対策
3. 熱設計
  - 3.1 熱抵抗(放熱設計)
  - 3.2 Diodeの熱暴走メカニズムと対策
4. MOSFETの動作検証
  - 4.1 チャネル温度検証
  - 4.2 アバランシェ破壊メカニズムと検証
  - 4.3 ゲートドライブ回路設計
5. MOSFET故障モード破壊痕跡
  - 5.1 再現実験とその破壊痕跡



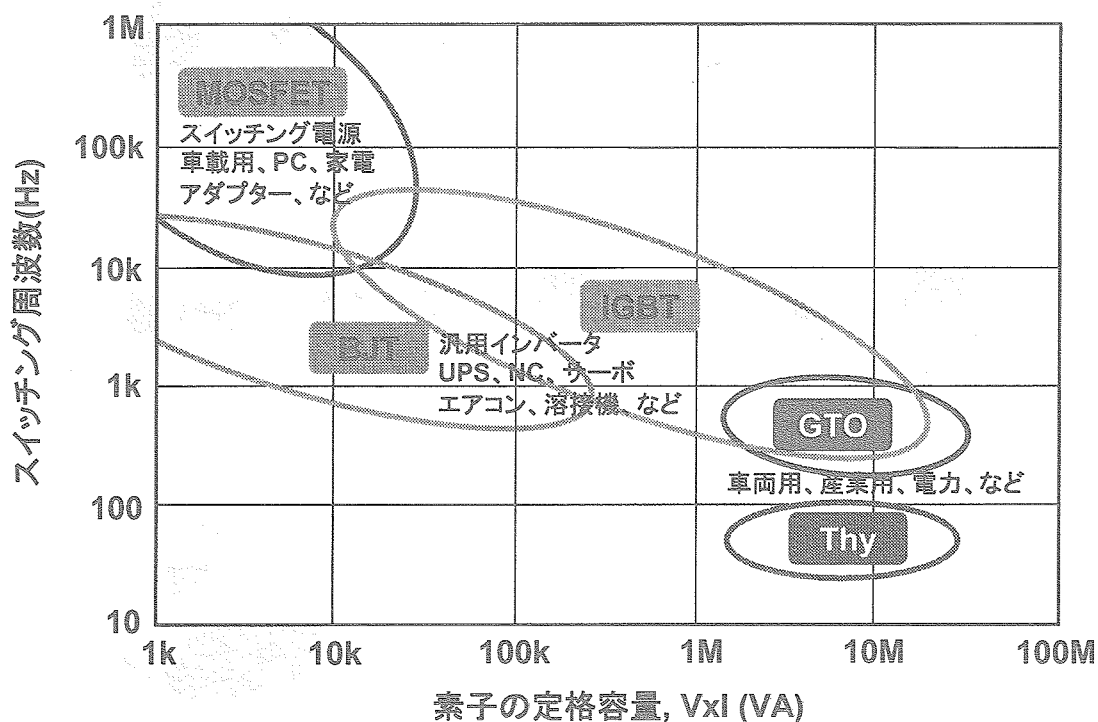
## 1. トランジスタ・ダイオードの種類と適用

- 1.1 半導体デバイスと適用テリトリー
- 1.2 バイポーラデバイスの特徴
- 1.3 ユニポーラデバイスの特徴

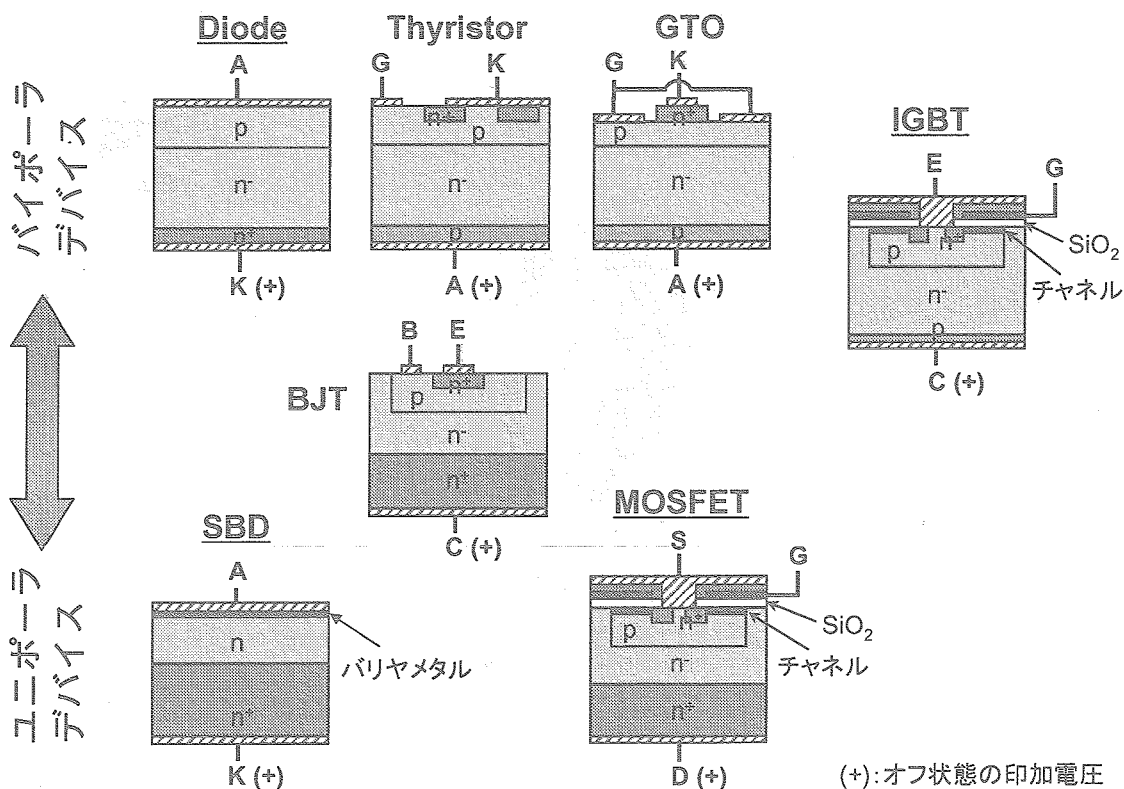
## 半導体デバイスファミリーと歴史



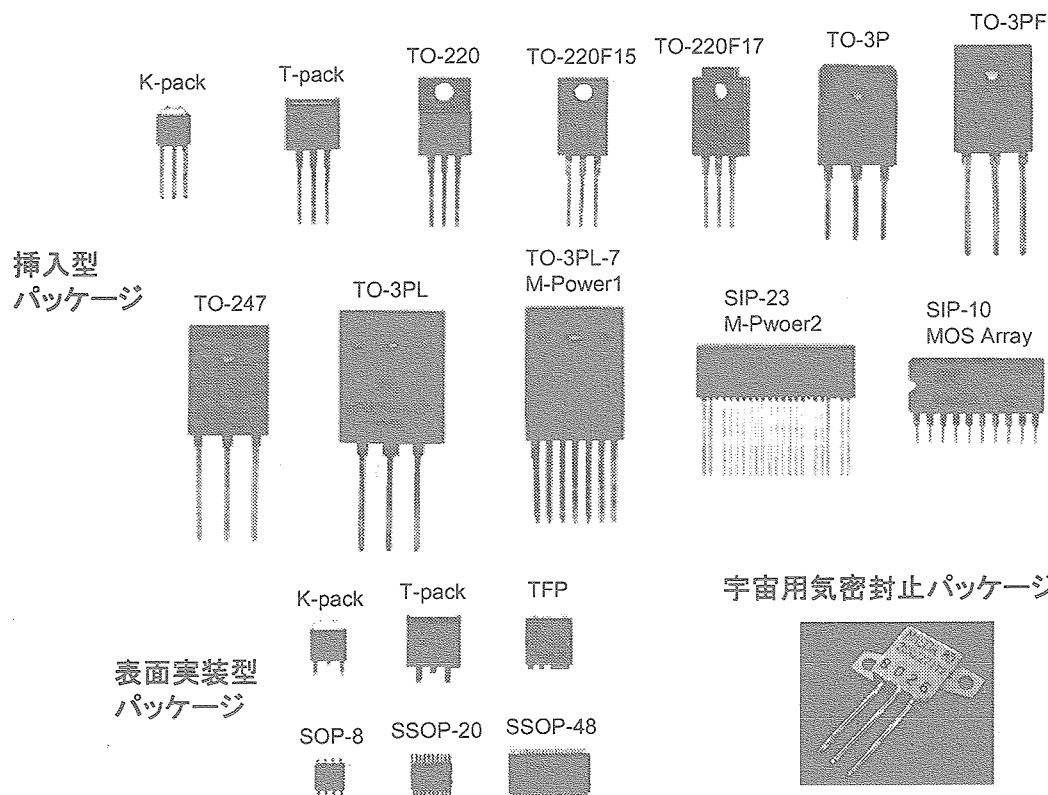
# デバイスの容量・スイッチング周波数と適用領域



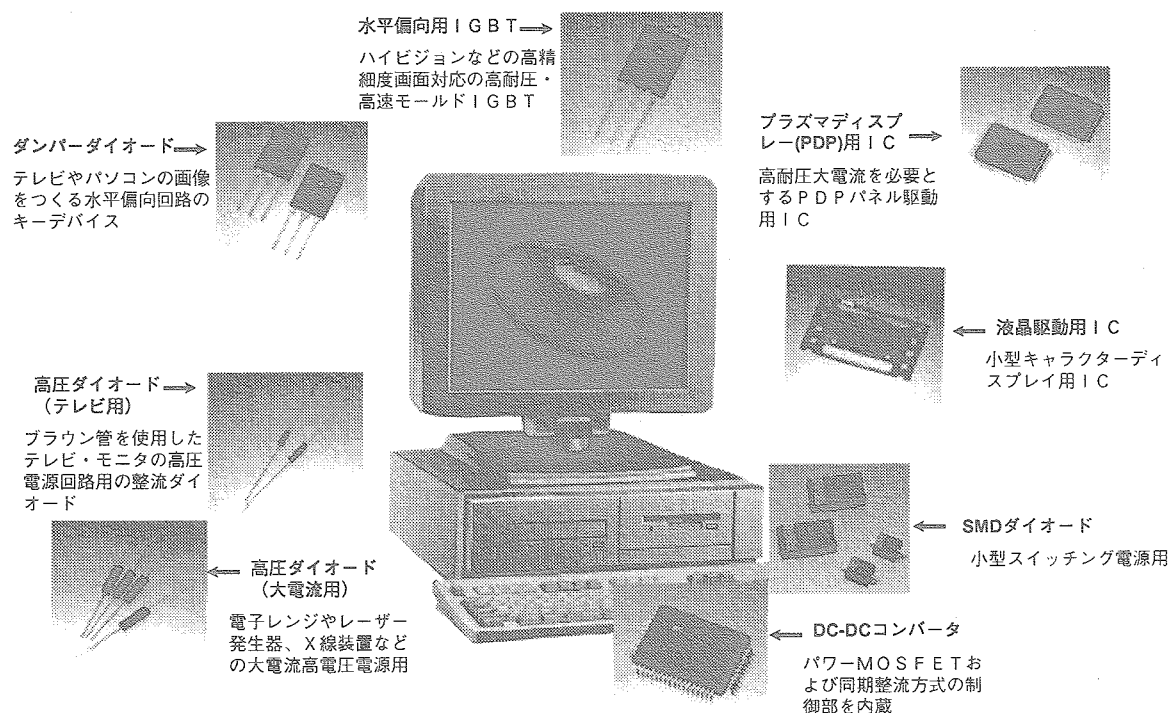
## デバイスの断面構造



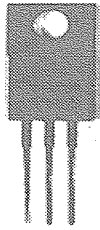
## ディスクリートデバイスのパッケージ



## ディスクリートデバイス & IC



## 自動車用デバイス



イグニッション用  
スマートIGBT

K-pack



T-pack



SOP-8



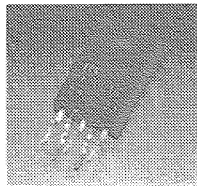
SSOP-20



SSOP-48

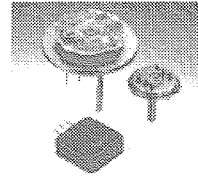


車載用高機能MOSFET



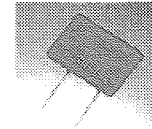
インテリジェント  
パワースイッチ

自己保護、診断機能などの  
制御機能をワンチップ  
に内蔵した低損失パワー  
MOSFET



↑  
半導体圧力センサー

センサー部と信号処理  
回路をワンチップ化

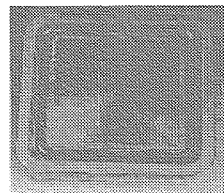
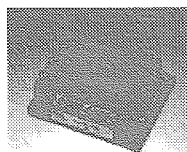
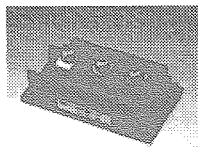


↑  
エンジン点火制御用 HyIC

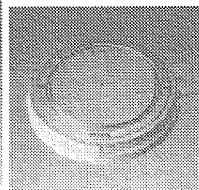
パワートランジスタをス  
イッチとする無接点方式  
のエンジン点火制御用

## ハイパワーデバイス

IGBTモジュール →  
低損失・高速スイッ  
ングを実現したIGBT



大容量平型IGBT  
新幹線や大容量電力  
変換装置用



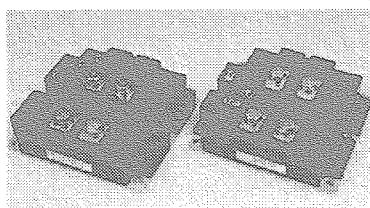
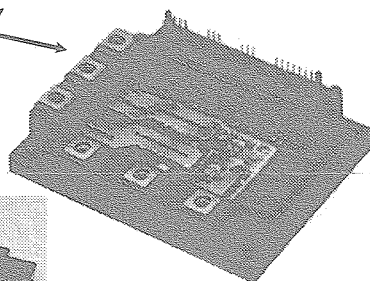
← GTOサイリスタ

新幹線や鉄鋼プラント  
など大容量の可変速駆  
動装置用

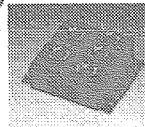


← 高速ダイオード

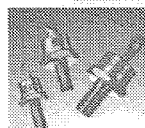
インテリジェントパワーモジュール  
IGBTの低損失・高速スイッチング  
機能とICの自己保護・自己診断機能  
などを一つにした独創的なパワーデバ  
イス



← 大容量IGBT  
モジュール  
車両駆動や大容量電力  
変換装置用



← ダイオードモジュール  
汎用のインバータなどの  
AC電源整流用



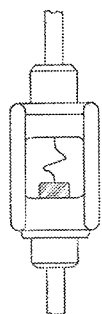
← スタッド型高速ダイオード  
IGBTモジュールなどの  
スナバ回路用ダイオード

## 2. 整流作用の発見・制御から半導体デバイスへ

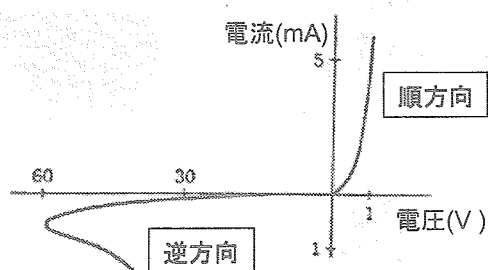
### 2.1 金属と半導体の接触

### 2.2 表面/界面の制御とプロセス技術

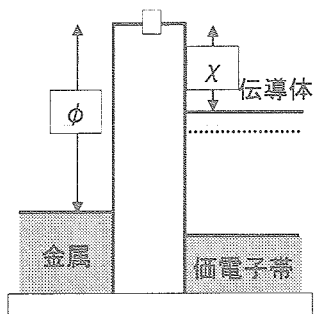
## 整流性: 金属と半導体の接触



点接触ダイオード

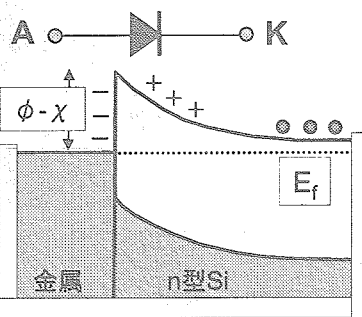


点接触ダイオードの整流特性



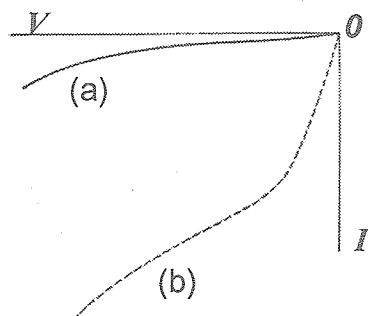
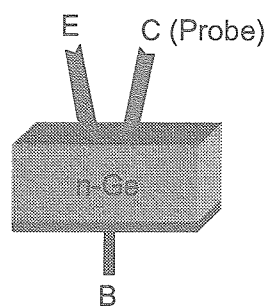
接触前のバンド状態

$\phi$ : 仕事関数  
 $\chi$ : 電子親和力



金属・半導体の接触のバンド状態  
Schottky バリアダイオード

## トランジスタ作用の発見



### Bell 研究所 トランジスタ作用の発見

E端子周辺の電位分布測定用プローブとして、C端子を立てた。

(a) E-B間順方向電流 0mAでのC-E間リーク電流

(b) E-B間順方向電流 で、B-C間逆バイアスでありながら大きな $I_c$ 電流が流れた。

コレクタC側の抵抗を、ベース電流により変えることができた→Trans resistor

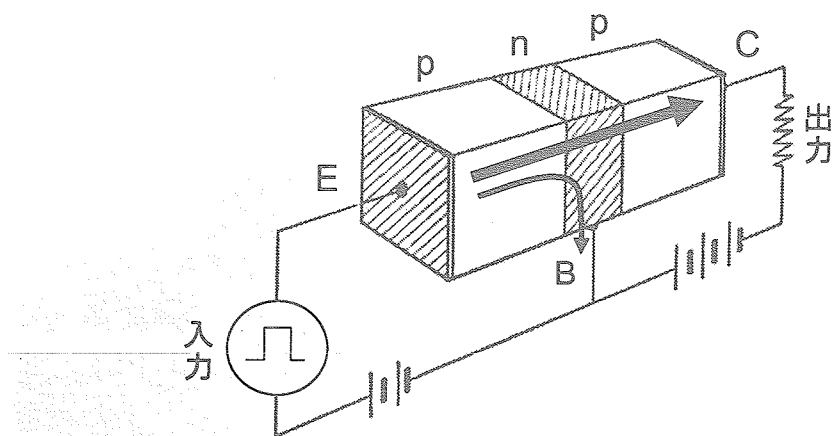
#### 【メモ】

1947年発見、1948年公開 リーダー: Shockley 実験: Brattain 理論: Bardeen  
トランジスタ(Transistor)と命名=Trans + resistor

E : Emitter, B : Base, C : Collector

## 接合型トランジスタ

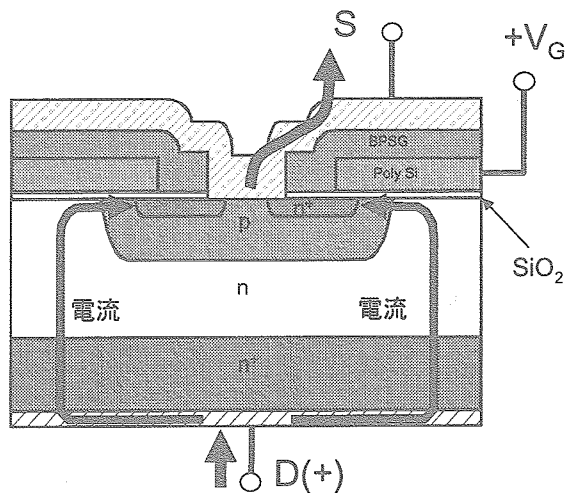
### Shockley提案の接合型トランジスタ



小さなベース電流で、大きなコレクタ電流が制御できる。

# 電界効果型トランジスタ

## MOSFET



S : Source, G : Gate, D : Drain

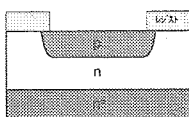
ゲートの電圧で、大きなドレイン電流が制御できる。

## MOSFETの製造工程

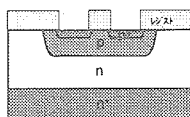
(1)ウエハー投入



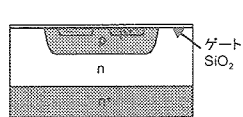
(2)B注入・拡散



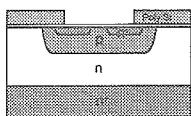
(3)P注入・拡散



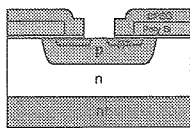
(4)ゲート酸化膜



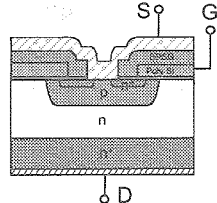
(5)ポリシリコンゲート



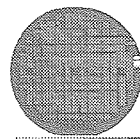
(6)ゲート絶縁



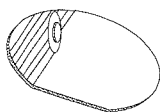
(7)電極付け



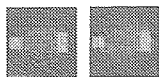
(8)ウエハー完成



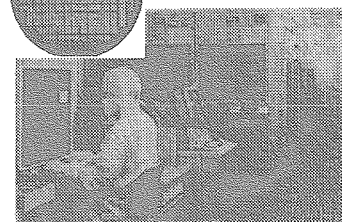
(9)ダイシングカット



(10)チップ化



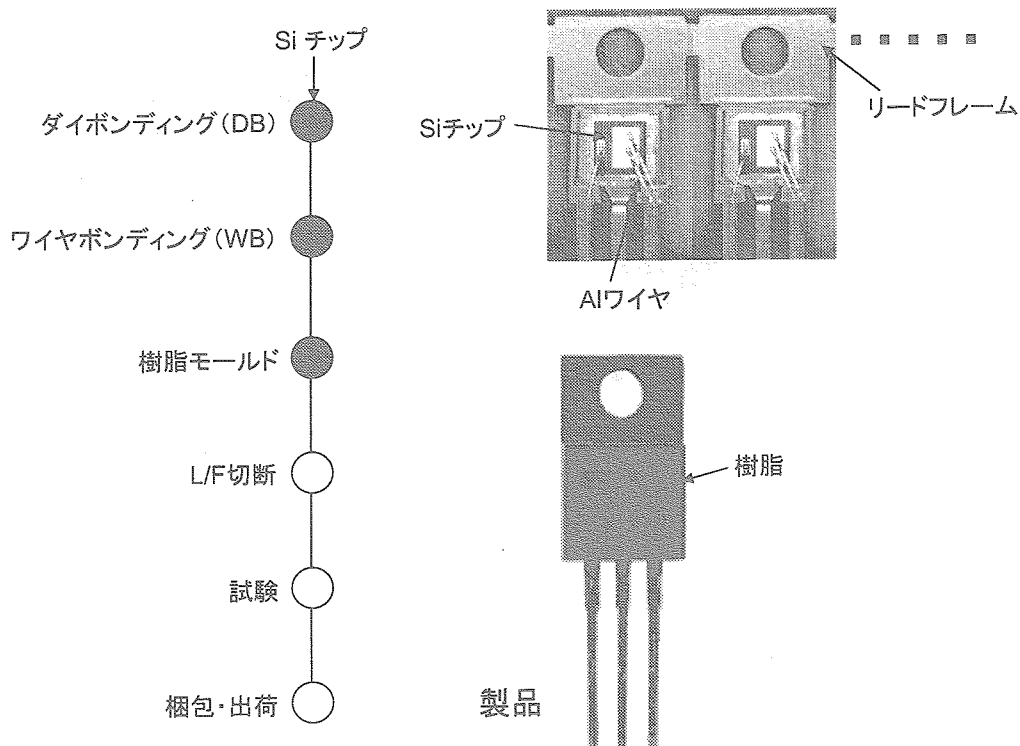
組立・試験工程へ



クリーンルーム

最先端の設計技術、微細な加工技術、最新鋭の設備から生まれる高信頼性の製品

# DB～WB～モールド”工程

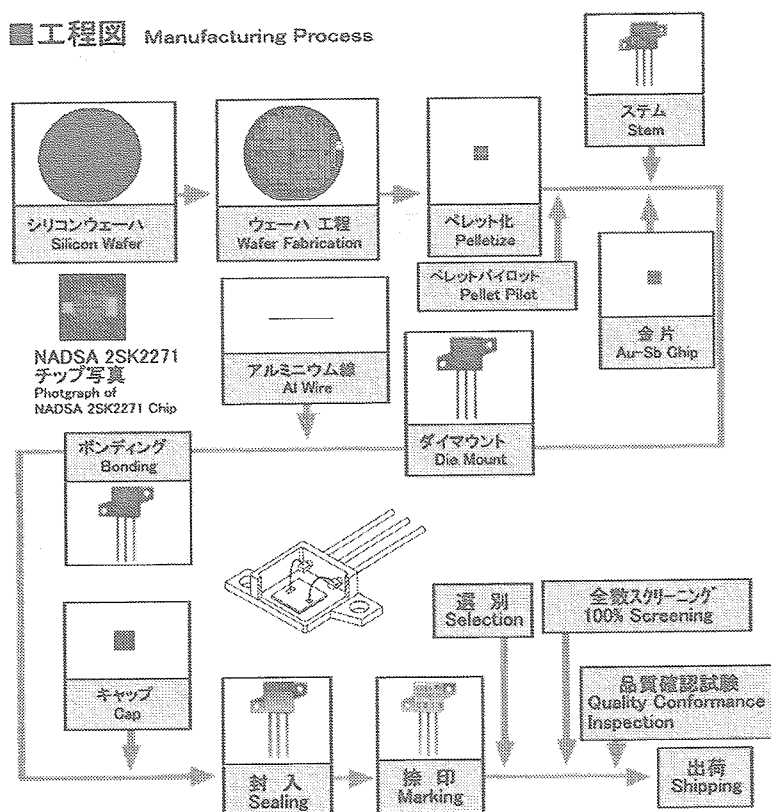


# 宇宙用MOSFET の製造工程

**工程图 Manufacturing Process**



- ・低オン抵抗化・・・共通
- ・TD( $\gamma$ 線トータルドーズ)
- ・SEB(重粒子宇宙線)
- ・気密封止パッケージ
- ・源泉検査
- ・認定システム





### 3. 整流作用の原理とキャリアの挙動

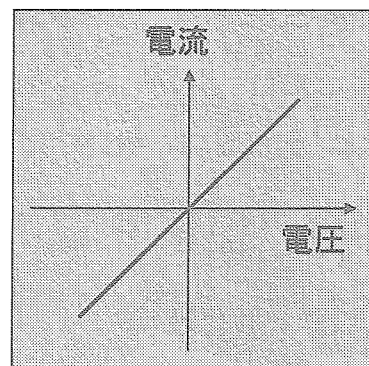
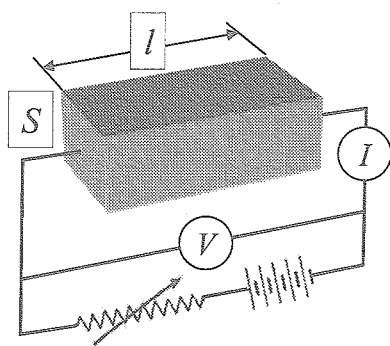
3.1 半導体とエネルギーバンド

3.2 n型p型半導体

3.3 pn接合

3.4 MOS接合

### オームの法則

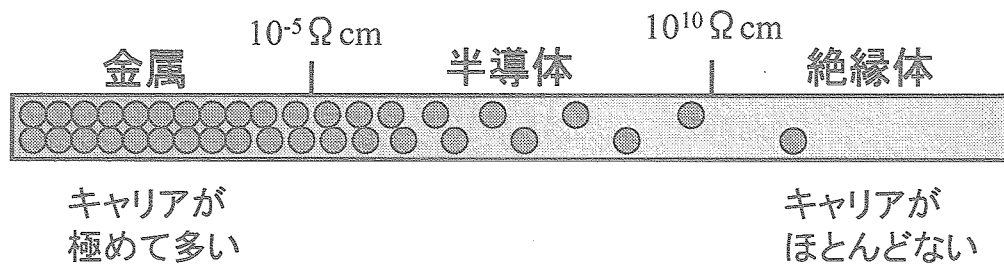


$$I = \frac{V}{R}$$

$$R = \rho \frac{l}{S}$$

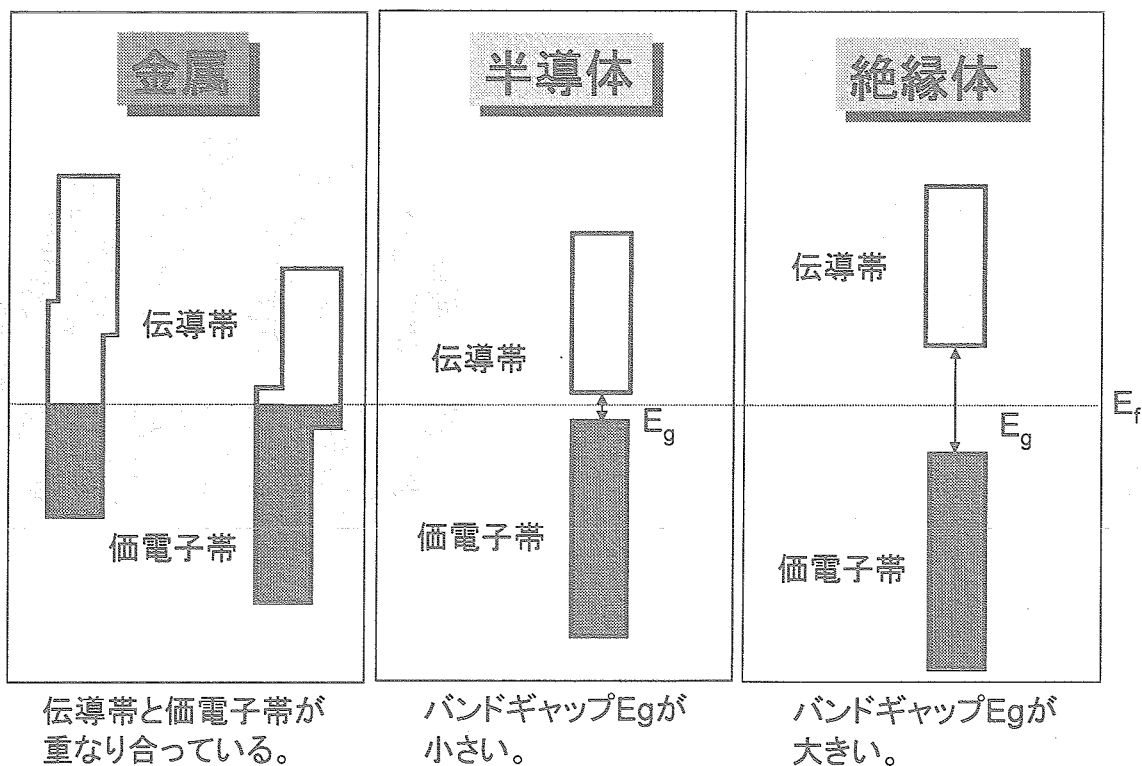
$$\rho = \frac{1}{e \mu n}$$

## 固体の比抵抗 $\rho$



電荷を運ぶ担い手(キャリア: 電子、ホール)の数の違い

## 固体の電氣的性質とバンド構造

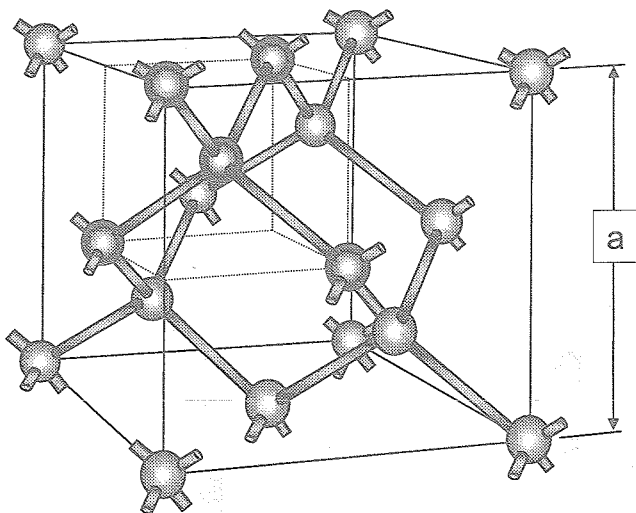


## 周期律表

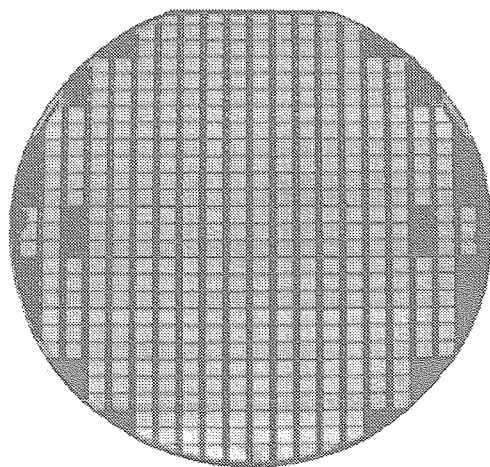
1 1 H 水素 1.008	典型非金属元素																2 2 He ヘリウム 4.003	
3 3 Li リチウム (6.941)	4 4 Be ベリリウム 9.012	典型金属元素																10 10 Ne ネオン 20.180
11 11 Na ナトリウム 22.990	12 12 Mg マグネシウム 24.305	遷移金属元素																18 18 Ar アルゴン 39.948(1)
19 19 K カリウム 39.098	20 20 Ca カルシウム 40.078(4)	IIIIa	IVa	Va	VIa	VIIa	VIII	Ib	IIb	IIIb	IVb	Vb	VIb	VIIb				36 36 Kr クリプトン 83.80(1)
37 37 Rb ルビウム 85.468	38 38 Sr ストロンチウム 87.62(1)	39 39 Y イットリウム 88.906	40 40 Zr ジルコニウム 91.224(2)	41 41 Nb ニオブ 92.906	42 42 Mo モリブデン 95.94(1)	43 43 Tc テクネチウム [98]	44 44 Ru ルテチウム 101.07(2)	45 45 Rh ロジウム 101.06(2)	46 46 Pd パラジウム 106.42(1)	47 47 Ag 銀 107.8682	48 48 Cd カドミウム 112.411(2)	49 49 In インジウム 114.818(2)	50 50 Sn スズ 118.710(7)	51 51 Sb アンチモン 121.760(1)	52 52 Te テルル 127.60(3)	53 53 I ヨウ素 126.904(4)	54 54 Xe キセノン 131.29(36)	
55 55 Cs セシウム 132.905	56 56 Ba バリウム 137.327(7)	* ランタノイド	72 72 Hf ハフニウム 178.49(2)	73 73 Ta タンタル 180.948	74 74 W タングステン 183.84(1)	75 75 Re レニウム 186.207(3)	76 76 Os オスミウム 190.23(3)	77 77 Ir イリジウム 192.22(7)	78 78 Pt 白金 195.078(2)	79 79 Au 金 196.967	80 80 Hg 水銀 200.59(2)	81 81 Tl タリウム 204.384	82 82 Pb 鉛 207.2(1)	83 83 Bi ビスマス 208.980	84 84 Po ポロニウム (210)	85 85 At アスタチン (210)	86 86 Rn ランタン (222)	
87 87 Fr フランシウム (223)	88 88 Ra ラジウム (226)	** アクチノイド	104 104 Rf ラファエルム (261)	105 105 Db ドブニウム (262)	106 106 Sg シーボグム (263)	107 107 Bh ボーリウム (264)	108 108 Hs ハッシウム (265)	109 109 Mt マイタケウム (266)										
s <sup>1</sup>	s <sup>2</sup>	s <sup>2</sup> d <sup>1</sup>	s <sup>2</sup> d <sup>2</sup>	s <sup>2</sup> d <sup>3</sup>	s <sup>2</sup> d <sup>4</sup>	s <sup>2</sup> d <sup>5</sup>	s <sup>2</sup> d <sup>6</sup>	s <sup>2</sup> d <sup>7</sup>	s <sup>2</sup> d <sup>8</sup>	s <sup>1</sup> d <sup>9</sup>	s <sup>2</sup> d <sup>10</sup>	s <sup>2</sup> p <sup>1</sup>	s <sup>2</sup> p <sup>2</sup>	s <sup>2</sup> p <sup>3</sup>	s <sup>2</sup> p <sup>4</sup>	s <sup>2</sup> p <sup>5</sup>	s <sup>2</sup> p <sup>6</sup>	
最外殻電子配置																		

## シリコン(Si)の結晶構造とウェハー

## ダイヤモンド構造

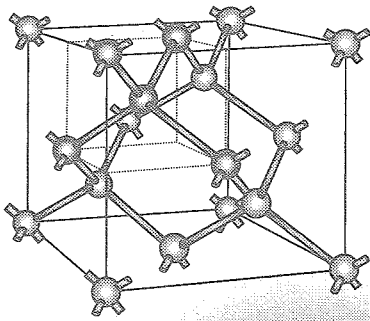


C = 0.356nm  
Si = 0.543nm  
Ge = 0.565nm

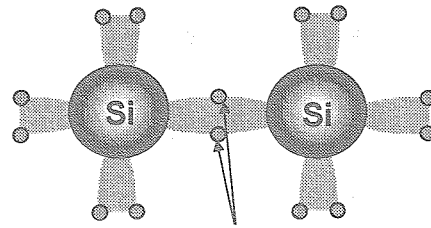


Al電極パターン付け後の  
Siウエハー

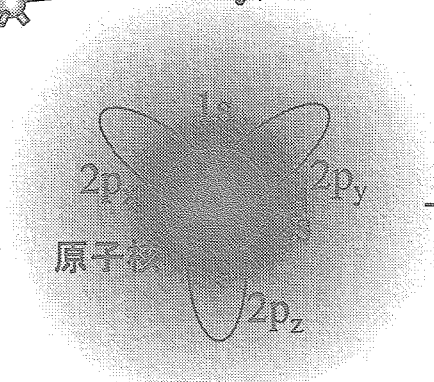
# Si原子の電子構造



Si結晶の共有結合



電子  
隣接のSiとお互いに1個  
ずつ電子を共有し合う。



内殻電子

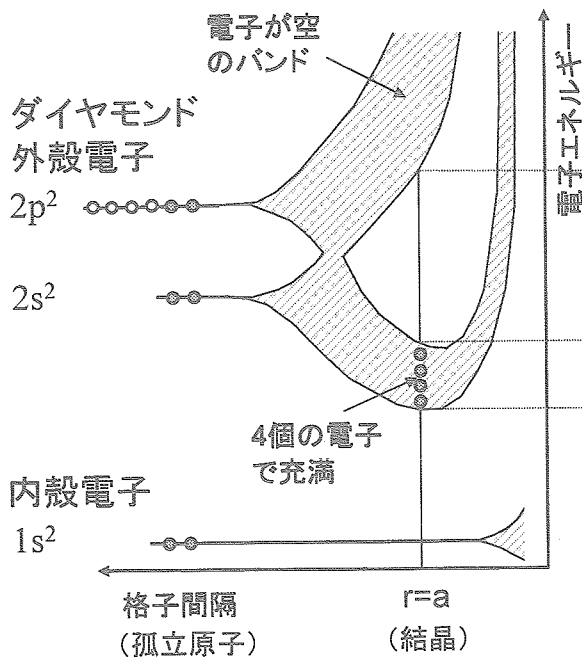
+

$3s^2 3p^2$

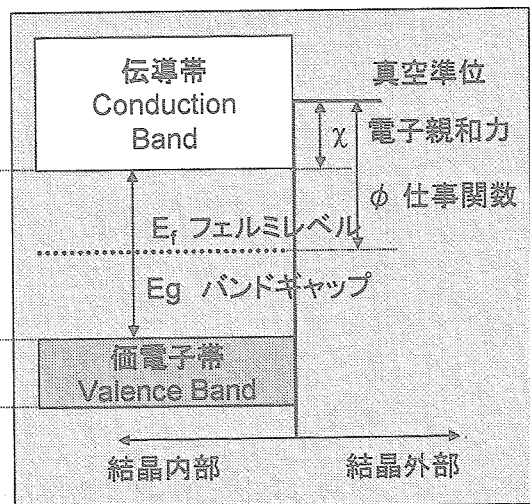
s軌道: 2個  
p軌道: 2個  
4個の電子/1個のSi原子

最外殻電子

## エネルギーバンド形成

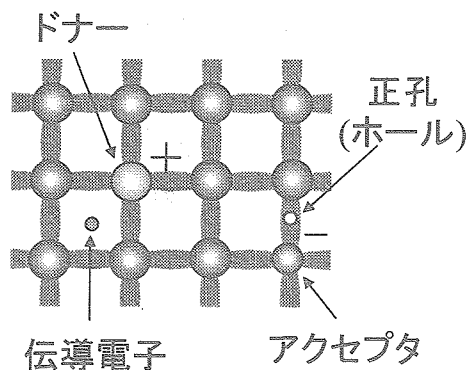


エネルギーバンドの簡易表現



半導体のバンドギャップ	
C(ダイヤモンド)	6-7eV
Si	1.11eV
Ge	0.72eV

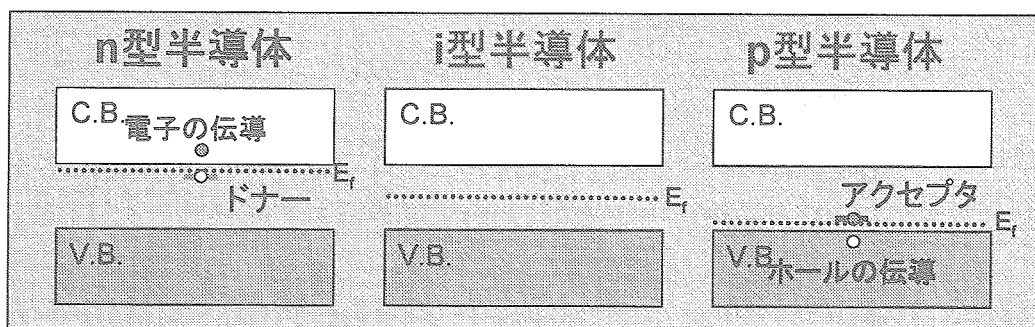
# n型半導体とp型半導体



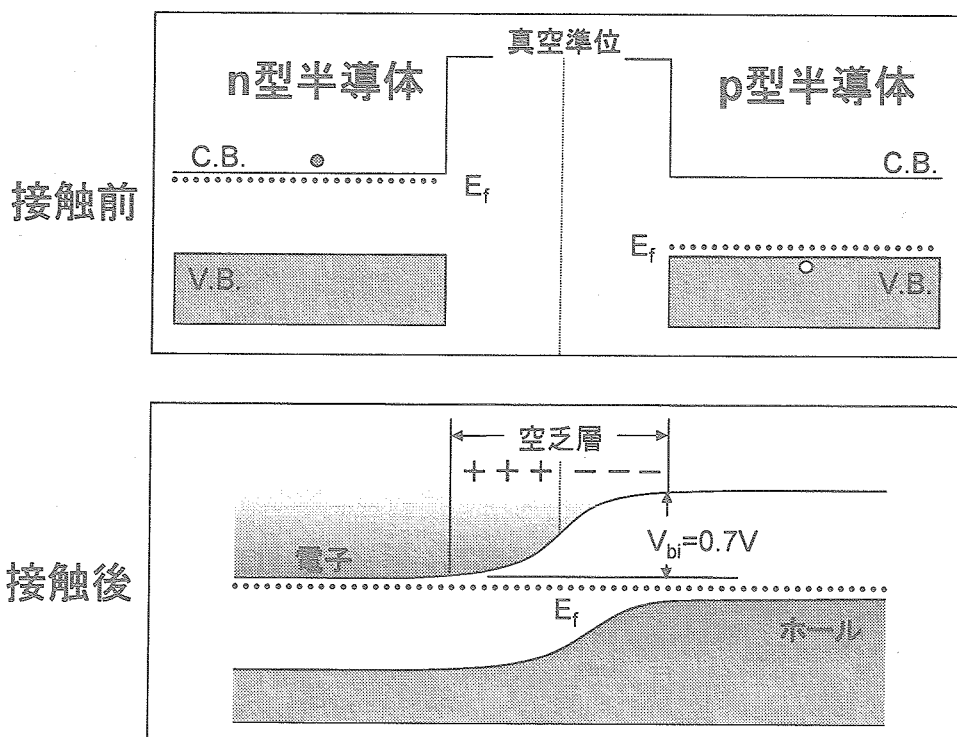
IIIb	IVb	Vb
B	C	N
Al	Si	P
Ga	Ge	As
In	Sn	Sb
$s^2p^1$	$s^2p^2$	$s^2p^3$

アクセプタ

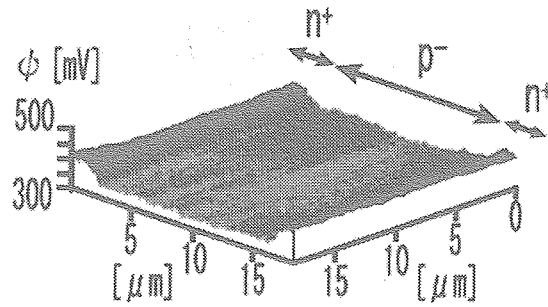
ドナー



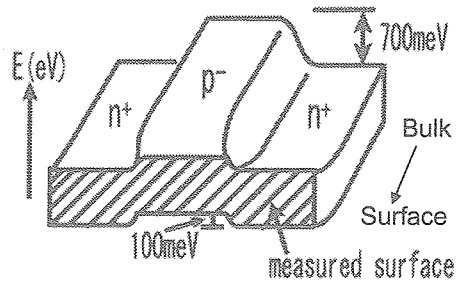
## n型p型半導体の接触



## pn接合の表面電位測定



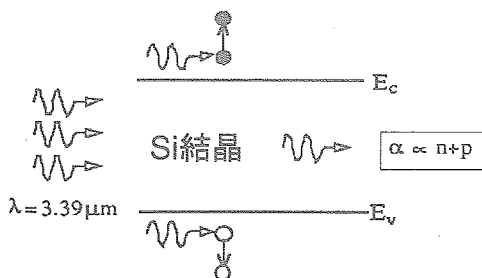
pn接合表面電位  
KFM (Kelvin Probe  
Force Microscopy)  
イメージ



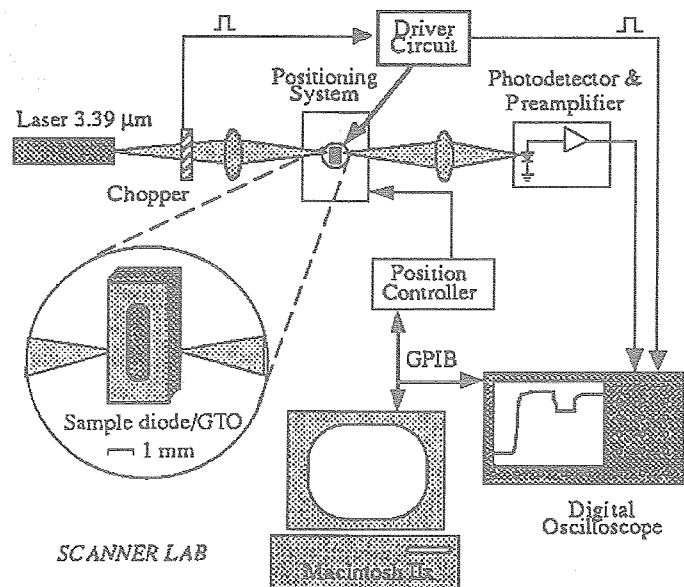
pn接合バンドスキーム  
・表面は表面準位などによる  
バンドベンディングで電位変  
化がなまされている。

## 赤外線吸収による 半導体中のキャリア分布の測定

### Free Carrier Absorption (FCA) の原理

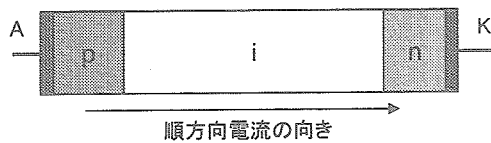


### FCA測定システム

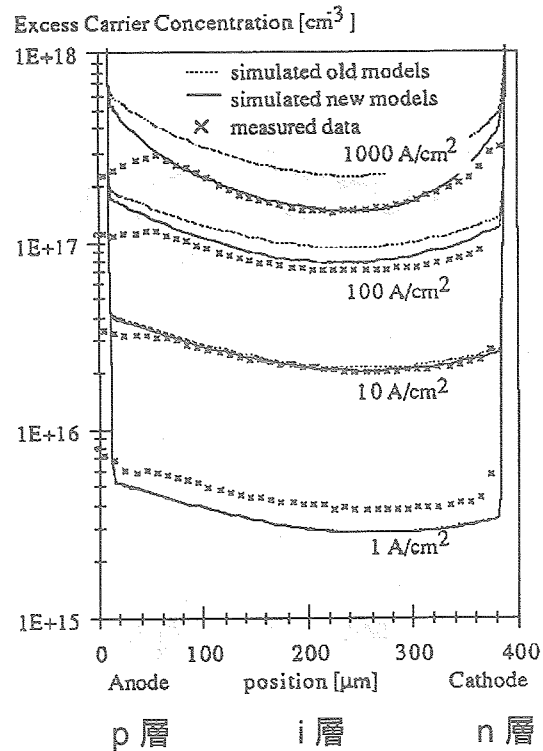


## pinダイオードの定常状態キャリア分布

i 層は、本来 $10^{13}\text{cm}^{-3}$ の不純物濃度だが、順方向バイアスで $10^{15-17}\text{cm}^{-3}$ のキャリアで満たされることで、大きな電流が流せるようになる。



i 層: 高抵抗領域でキャリア $10^{13}\text{cm}^{-3}$

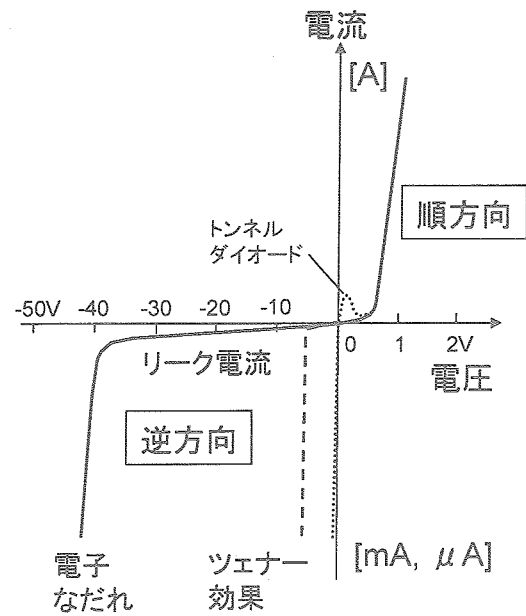
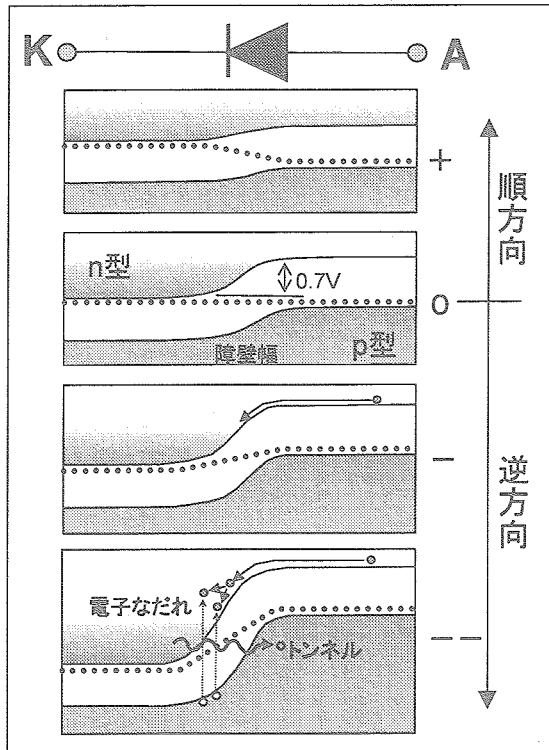


### 4. ダイオードの動作

#### 4.1 順方向と逆方向

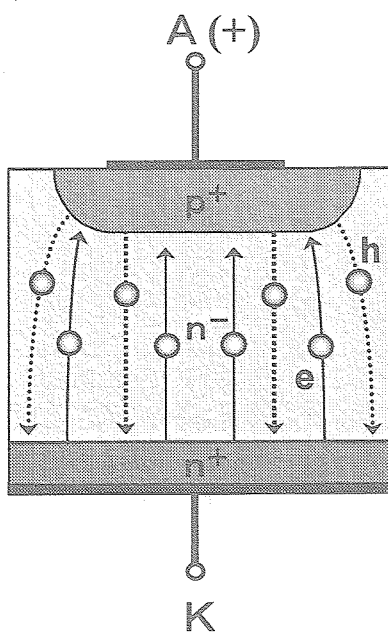
#### 4.2 定常状態と過渡状態

# pn接合ダイオード

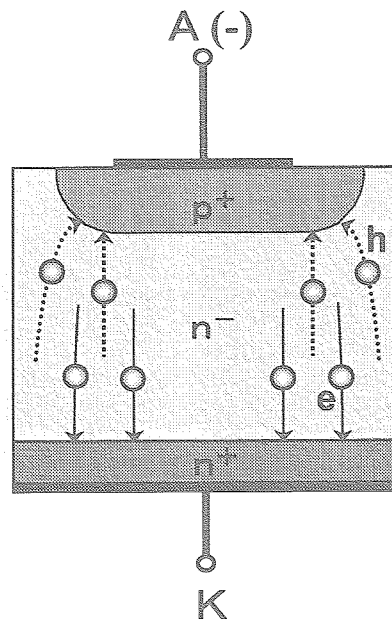


## pn接合ダイオードの過渡動作

ターンオン過程



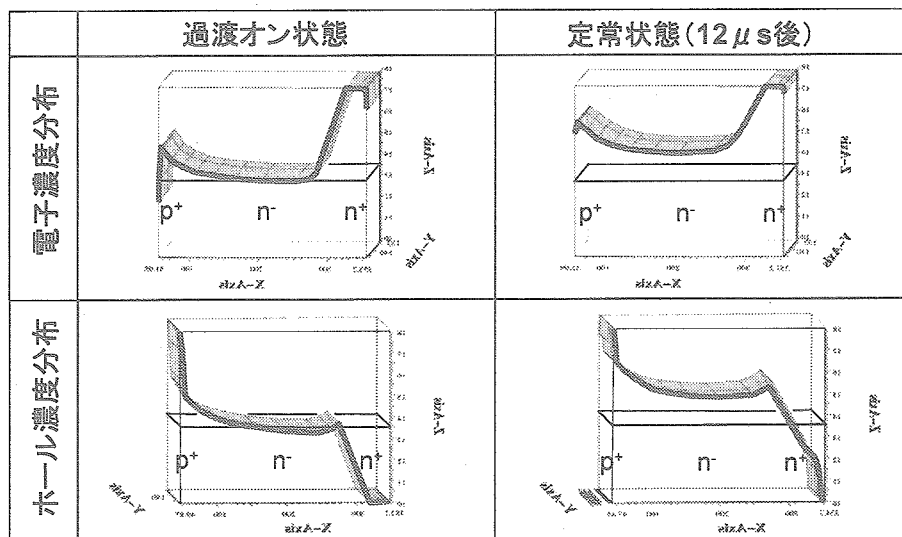
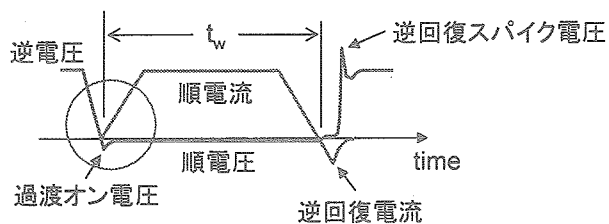
ターンオフ過程



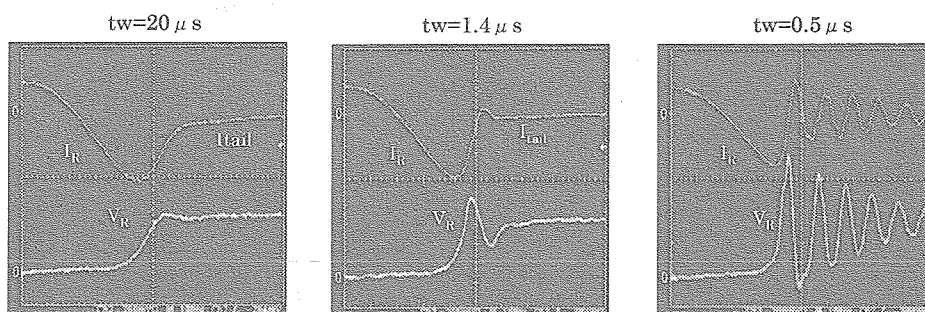
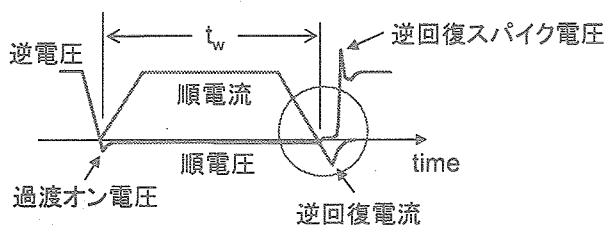
外部から電流方向を変えることで、オン・オフ



## 過渡オン過程



## 逆回復過程



Upper side: Current waveform ( $I_F = 180A$ )  
 Lower side: Voltage waveform ( $V_{CC} = 900V$ )  
 $I = 200A/div$   $V = 500V/div$   $t = 100ns/div$   
 $T_j = 125^\circ C$

pinダイオードの逆回復波形

ダイオードの通電時間,  $t_w$ , が短くなれば、振動波形が現れる。

## 5. トランジスタの動作

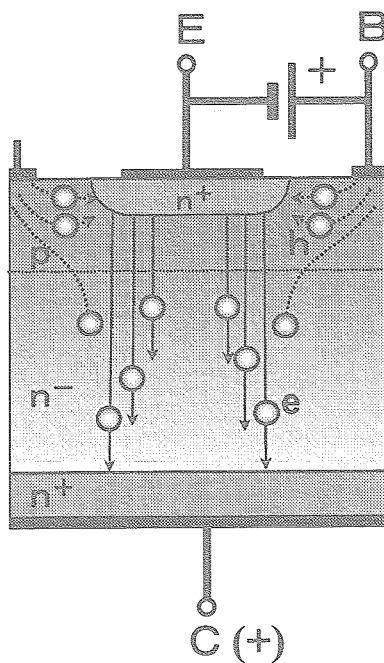
5.1 BJT

5.2 MOSFET

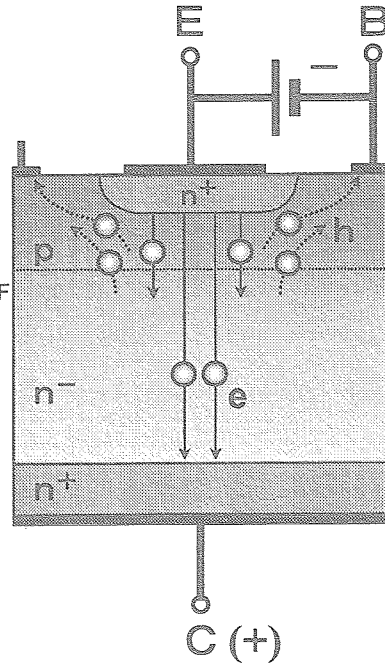
5.3 IGBT

### バイポーラトランジスタの動作

ターンオン過程



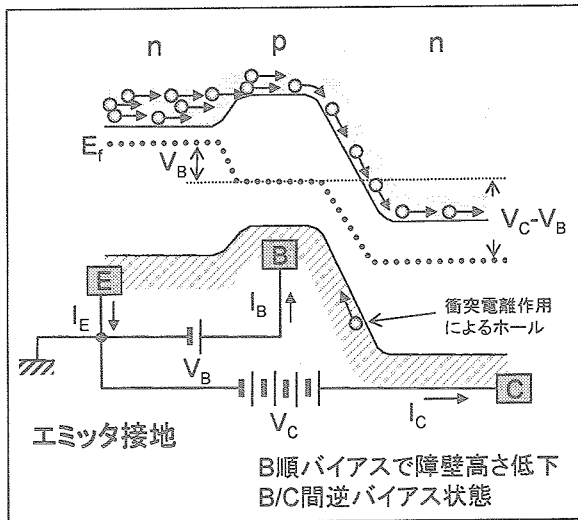
ターンオフ過程



ON  
OFF  
ベース押し  
出し効果

ベース電流の方向を変えることで、オン・オフ

# トランジスタのバンドスキームと特性



【活性領域】

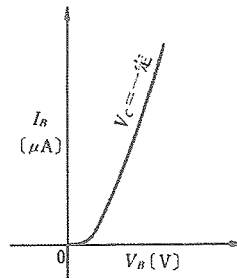
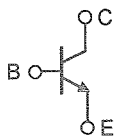
電流増幅率  $\beta = \frac{\Delta I_C}{\Delta I_B} = \frac{\alpha}{1 - \alpha}$

$\beta = 20 \sim 1000$  (エミッタ接地)

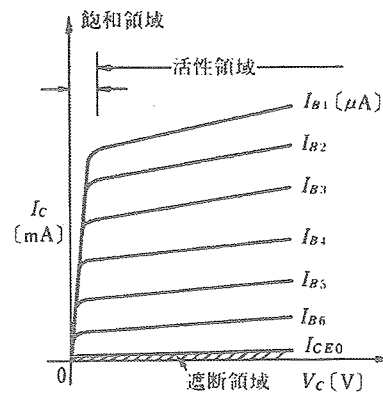
$\alpha = 0.95 \sim 0.999$  (ベース接地)

【飽和領域=オン電圧  $V_{CE(sat)}$ 】

スイッチング用途では重要なパラメータ



入力特性  $I_B$  vs  $V_B$

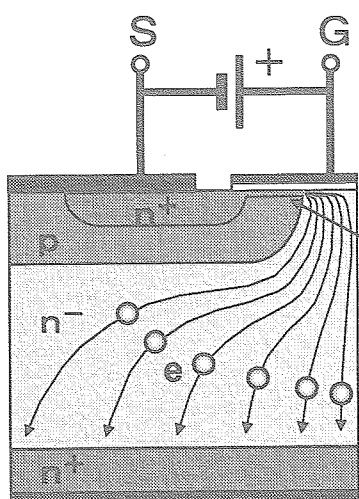


出力特性  $I_C$  vs  $V_C$

## MOSFETの動作

ターンオン過程

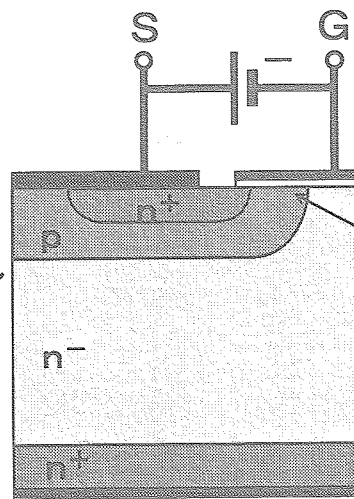
ターンオフ過程



チャネル開

オン時は、  
 $n^+ \sim n^- \sim n^+$ の  
n型半導体で伝導

D (+)



チャネル閉

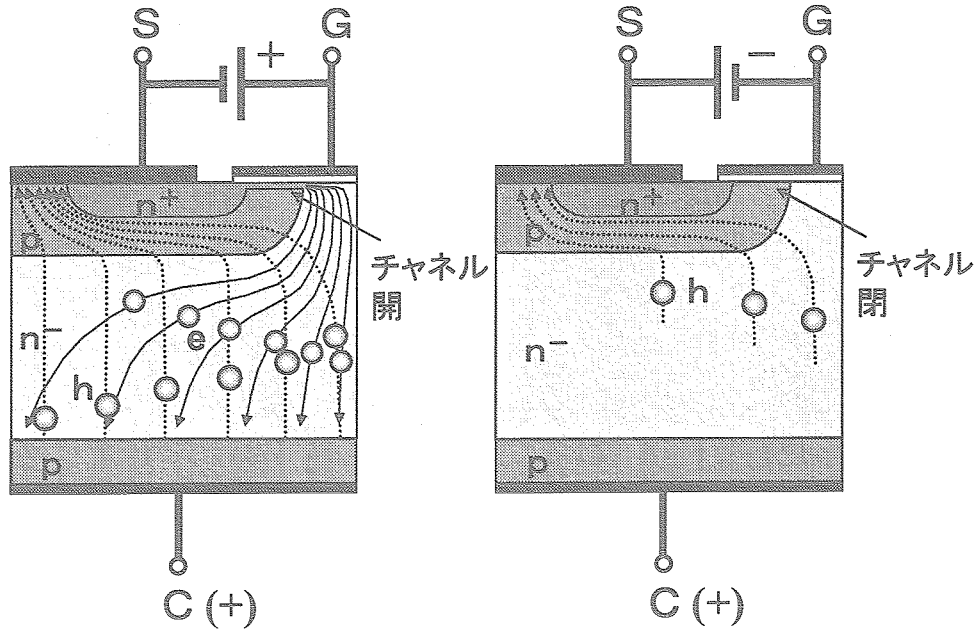
D (+)

ゲート電圧の極性を変えることで、オン・オフ

# IGBTの動作

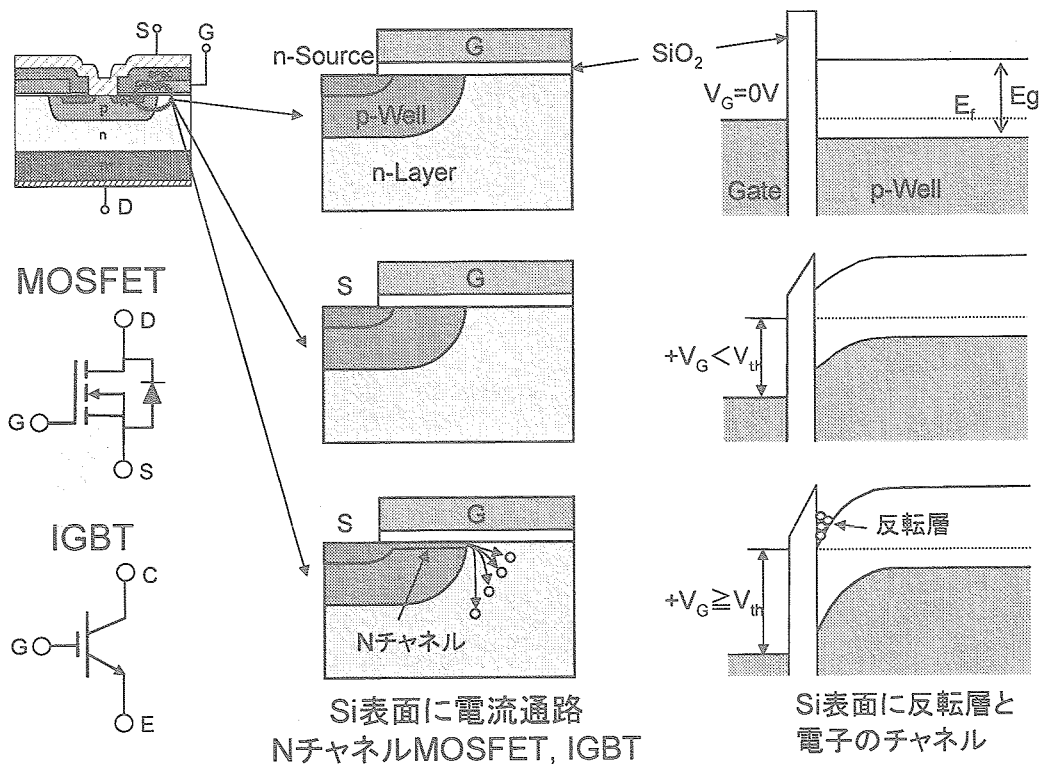
ターンオン過程

ターンオフ過程



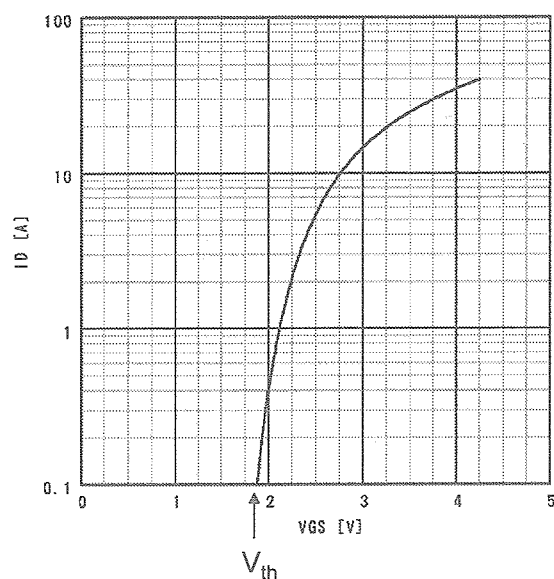
ゲート電圧の極性を変えることで、オン・オフ

## MOSデバイスのバンドスキームと特性

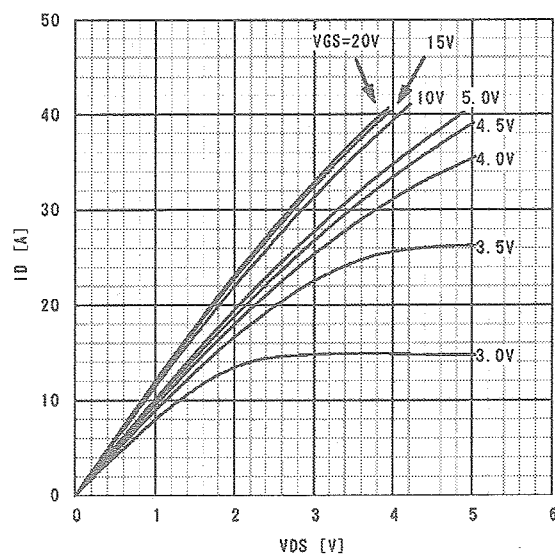


# 200V 20A Power MOSFET 2SK3262-01MR for Switching

Typical Transfer Characteristic

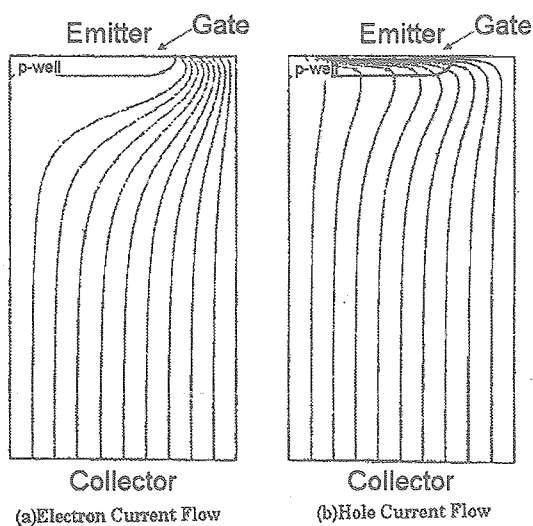


Typical Output Characteristics

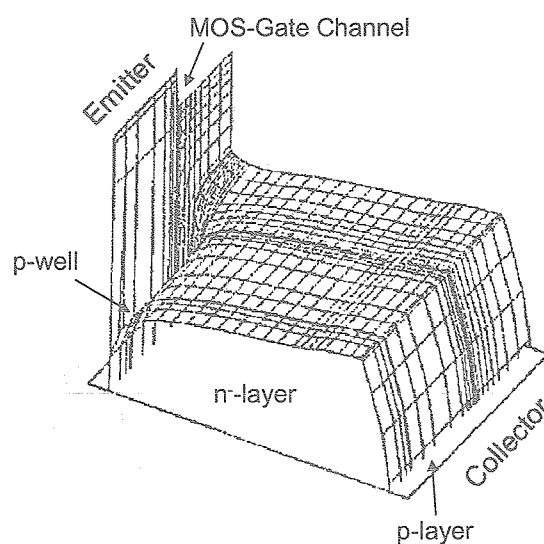


## MOSデバイス内部キャリア

IGBTのオン状態での電流線とキャリア分布

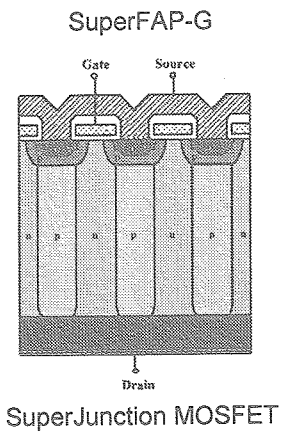
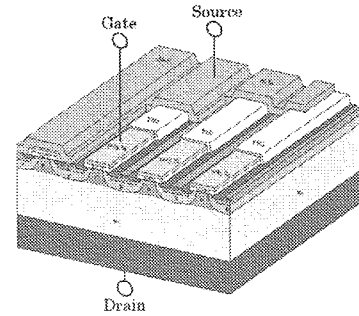
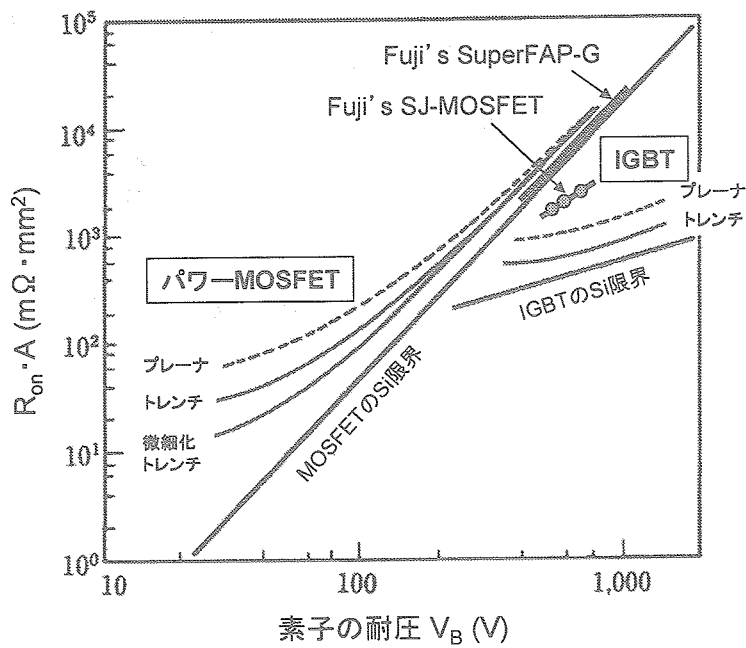


電子電流線(a)とホール電流線(b)



電子濃度分布

# MOSデバイスのオン抵抗 $R_{on}$ 低減への挑戦

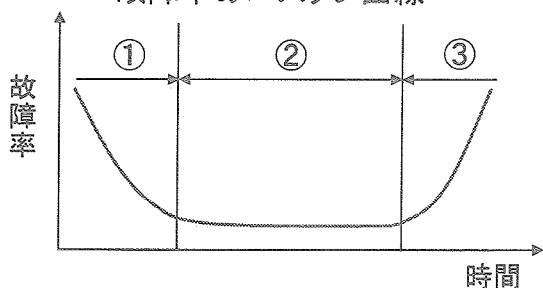


## 6. 故障要因と解析事例

- 6.1 故障モード
- 6.2 熱的要因
- 6.3 熱応力要因
- 6.4 ゲート酸化膜とESD
- 6.5 並列・直列動作要因
- 6.6 放射線要因

# 限界と信頼性

故障率のバスタブ曲線



## ①初期故障

使用開始の比較的早い時期に、設計、製造上、または、使用環境との不整合によって生じる故障

## ②偶発故障

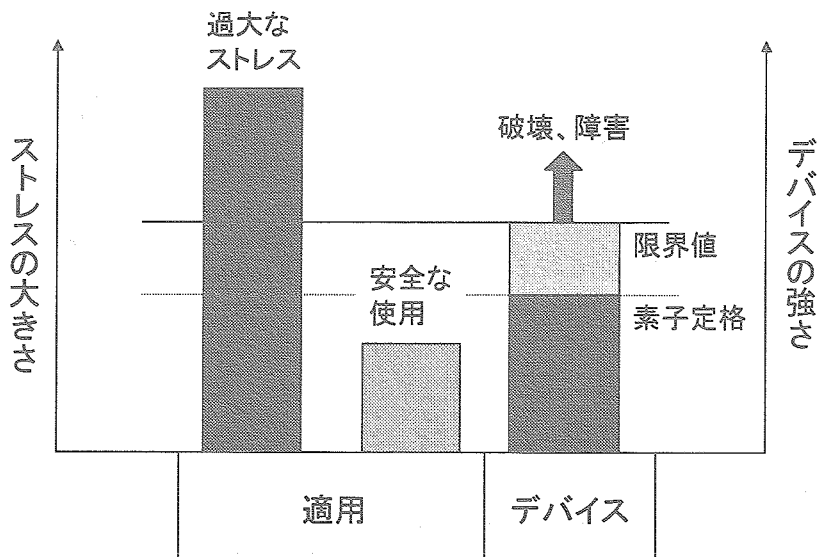
初期故障時期を過ぎ、磨耗故障時期に至る以前の時期に偶発的に発生する故障

## ③磨耗故障

疲労、磨耗、劣化現象などにより、時間と共に故障率が高くなる時期の故障

故障因子の例

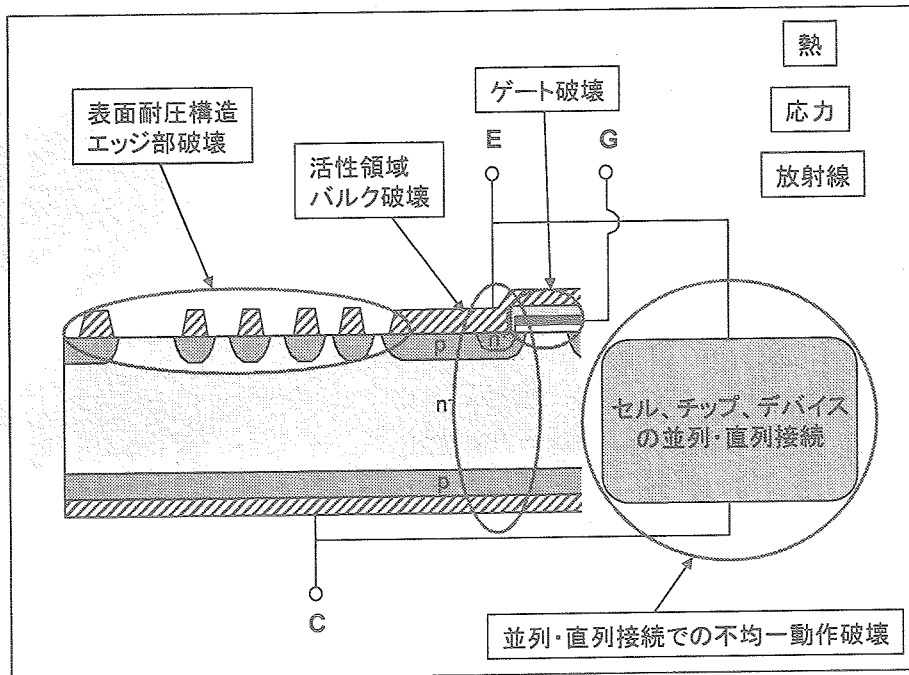
因子区分	故障の具体例
内的因子	部品の構成材、構造で決まる因子
	(1) 金属間化合物生成故障 (バーブルブレーグ)
	(2) 熱膨張係数のミスマッチ
	(1) 内部ボンディングワイヤー不良 (位置、圧力、角度の条件による)
製造工程中のゆらぎによって発生する因子	(2) チップ表面パターンの傷
	(3) 気密封止不良
	(4) チップはんだ付け部の不良
	(1) 熱膨張による磨耗劣化や破壊
外的因子	熱的ストレス
	(2) 化学変化の促進 (化合物生成等)
	電気的ストレス
	(1) 絶縁破壊 (パッケージ)
機械的ストレス	(2) 絶縁破壊 (MOS構造を有するチップの場合)
	(1) 端子折れ
	(2) パッケージの割れ
	(3) 絶縁破壊 (パッケージ)
化学的ストレス	(1) 外部電極の錆
	放射線
	(1) 表面電荷の蓄積による特性変化



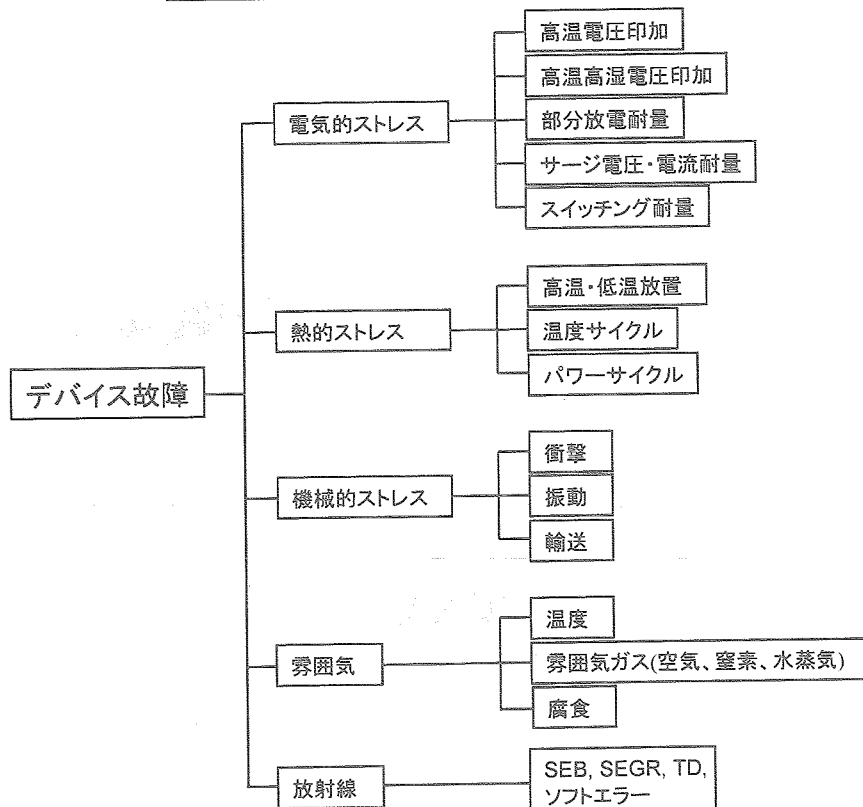
ストレス＝電圧、電流、温度、応力、湿度、外来物質の進入、時間(繰り返し回数)などの関数として与えられる。

デバイス選定においては、適用時のストレスを把握し、素子の定格・特性に対して適正なマージンが取れるよう選定される。

## 故障モード



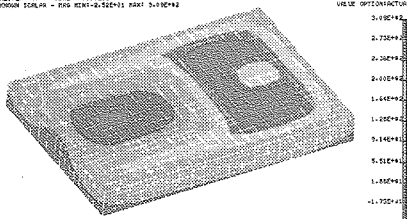
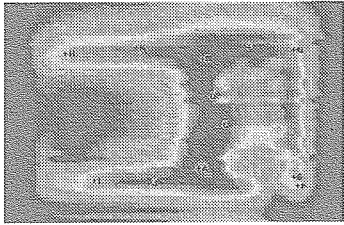
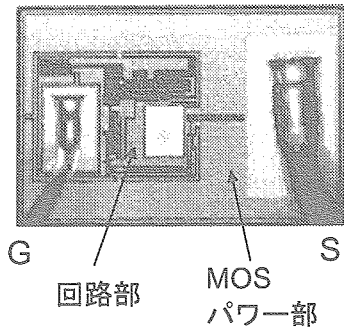
## 半導体デバイスの故障要因



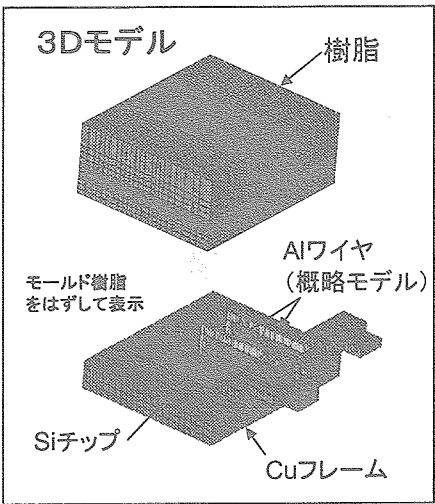


# 熱的要因

サーモビューアーによる  
発熱分布測定

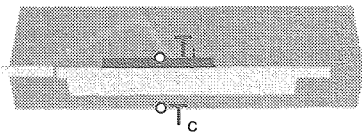


シミュレーションによる  
発熱分布

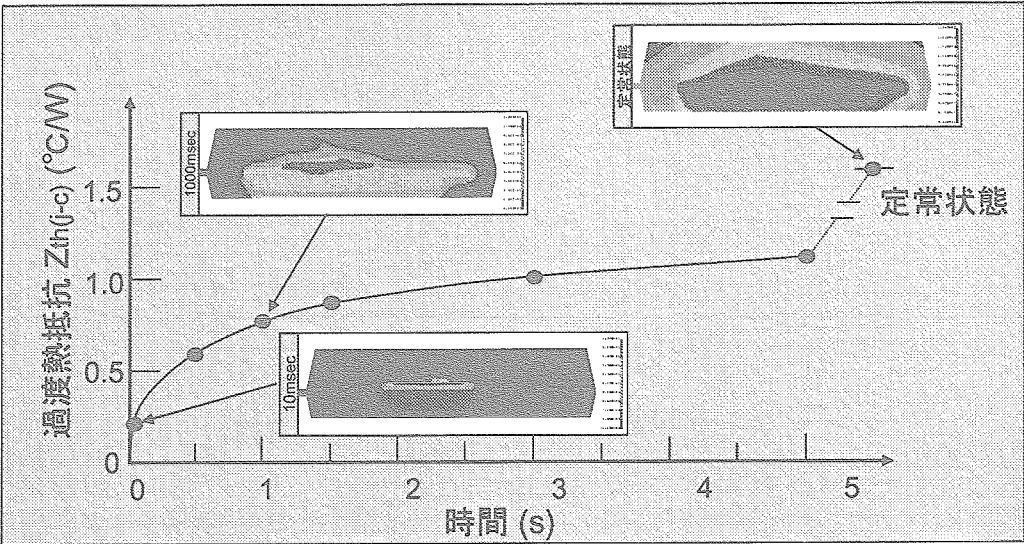


# 熱抵抗

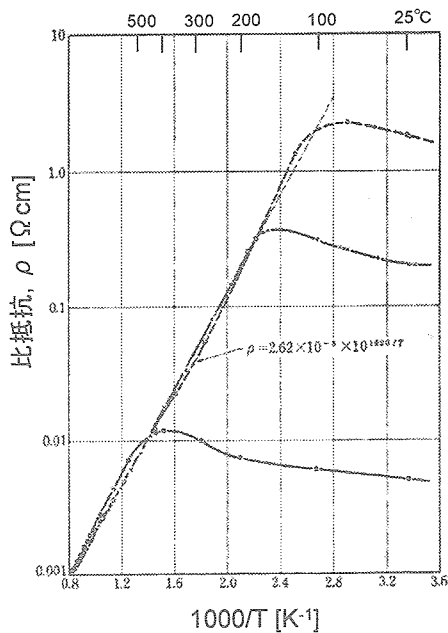
2D熱抵抗  
計算モデル  
(自立状態)



$$Z_{th(j-c)} = \frac{T_j - T_c}{Power[W]}$$



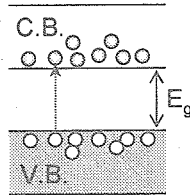
# デバイスの熱的限界



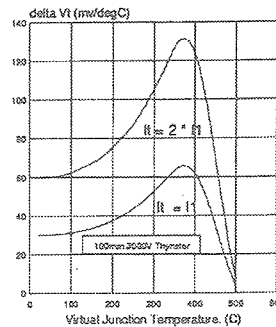
Geの高温領域の抵抗変化

高温下では、n型p型の区別のない固有(Intrinsic)な抵抗を示す。SiとGeのデバイスとしての使用限界は、Siの方が高い温度となる。

$$\frac{T(\text{Si})[\text{K}]}{T(\text{Ge})[\text{K}]} \approx \frac{E_g(\text{Si})}{E_g(\text{Ge})} = \frac{1.1\text{eV}}{0.72\text{eV}} = 1.5\text{倍}$$



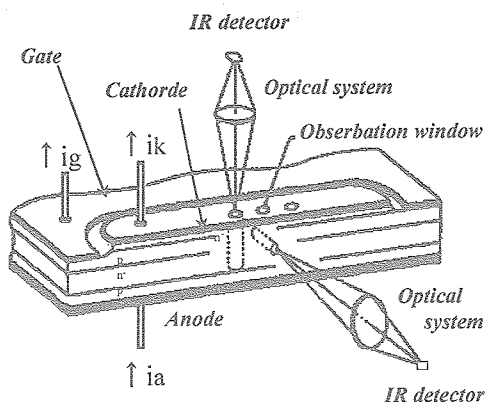
高温では、自由な電子やホールがたくさん作られる。



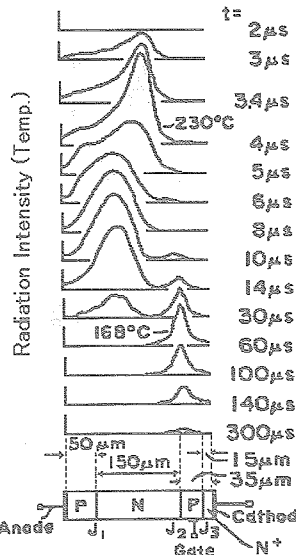
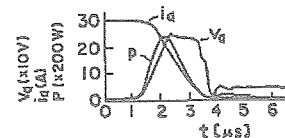
サージオン電圧  
400°C以上では、  
オン電圧が低下  
の動きをする。

Siデバイスの温度限界<約400°C  
(Ge<175°C)

## ターンオフ時の破壊温度のIR輻射による測定



GTOセグメントからの温度上昇に伴う熱輻射  
およびキャリアの再結合に伴う赤外線放射の  
観測方法

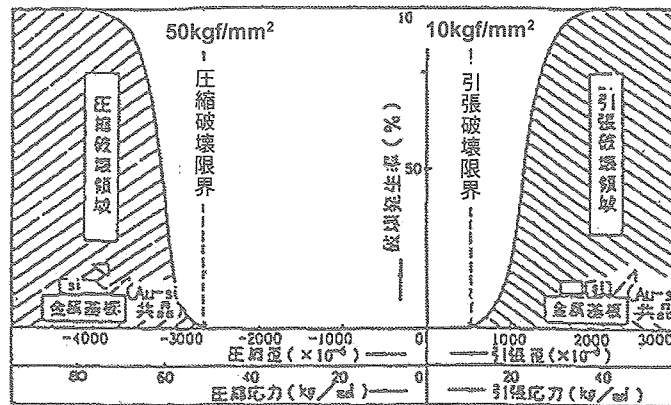


T > 300°Cで  
ターンオフ  
破壊が起こ  
った。

非破壊時の温度分布

## 熱応力要因

$$\text{熱応力} \propto (\alpha_2 - \alpha_1) \Delta T$$

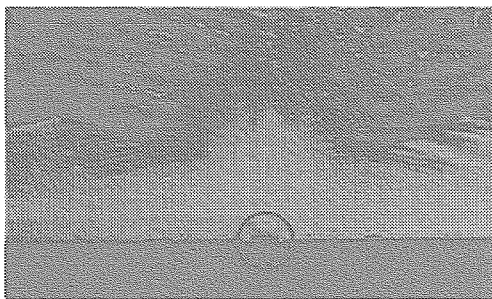


Siの引っ張りと圧縮強度限界

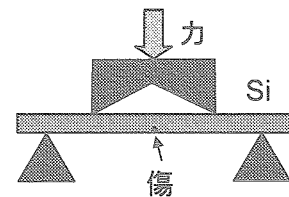
Siは引っ張りに対して弱い。

## Siの機械的強度

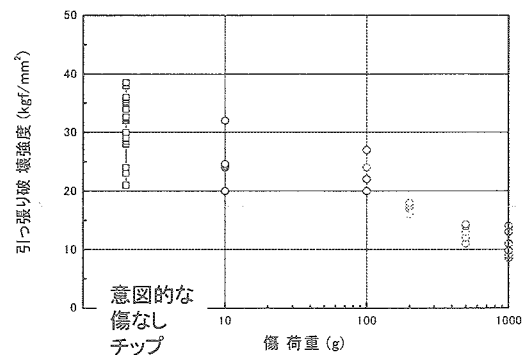
Si 破断面



破断面に見られるリバーパターン  
○印が破壊起点の傷

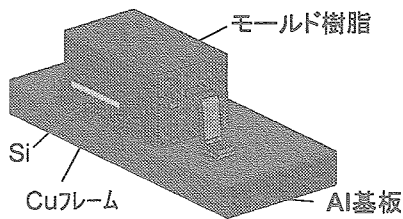


4点曲げ法による破壊強度測定

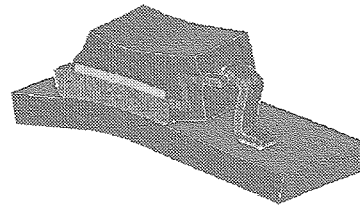


Siの傷と強度の関係

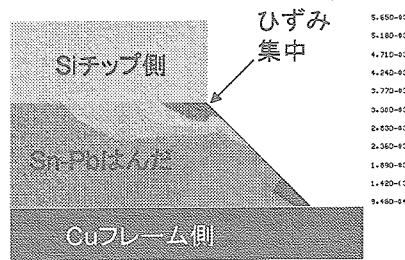
## 熱応力シミュレーション



1/2対称3次元解析モデル

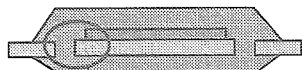


180°C→-40°C冷却時の変形の様子  
(変形は誇張して表現)

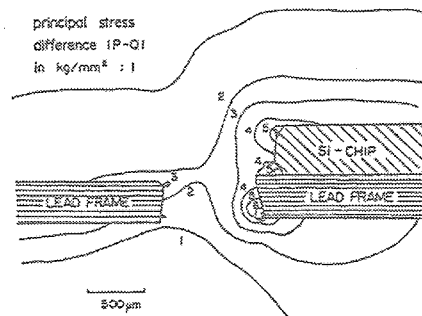


温度サイクル(-55～150°C)での  
はんだ層の熱疲労

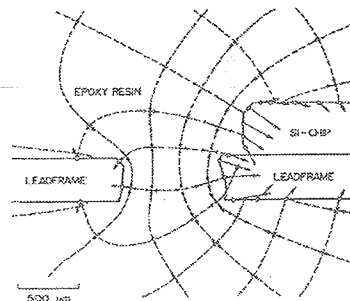
## 光弾性法によるパッケージ内部の応力



光弾性イメージ  
応力の差が縞模様として表れる。

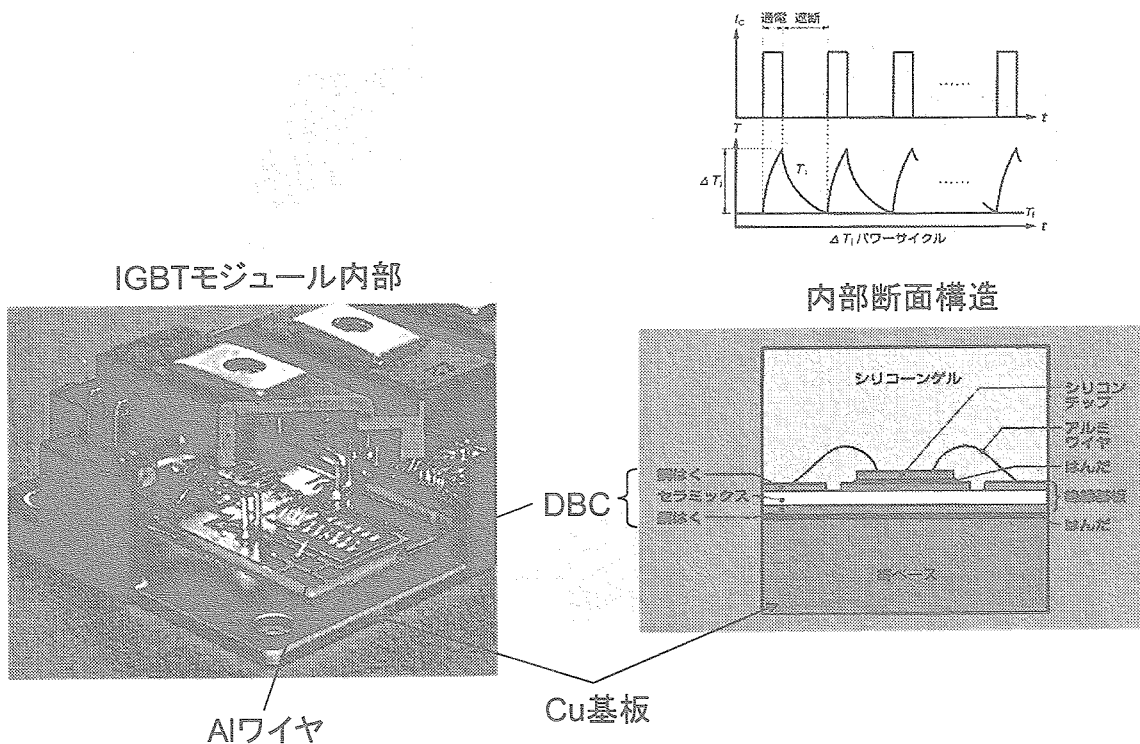


光弾性イメージ  
のトレース



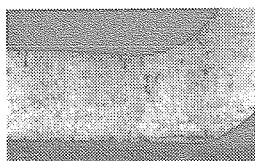
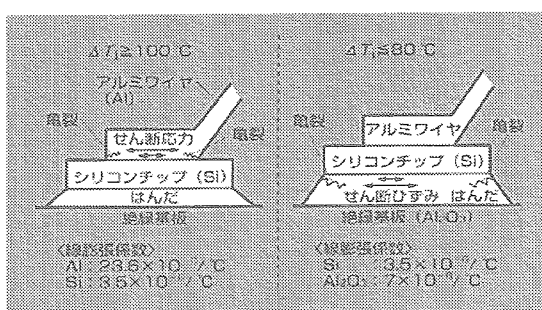
応力分布  
樹脂の収縮  
応力が支配  
している。

# IGBTモジュール: $\Delta T_j$ パワーサイクルの例

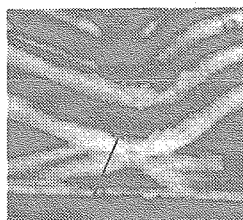


## 接合部の熱疲労現象

### Alワイヤの亀裂・剥離

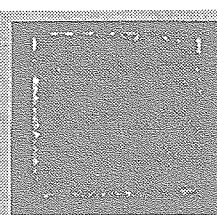
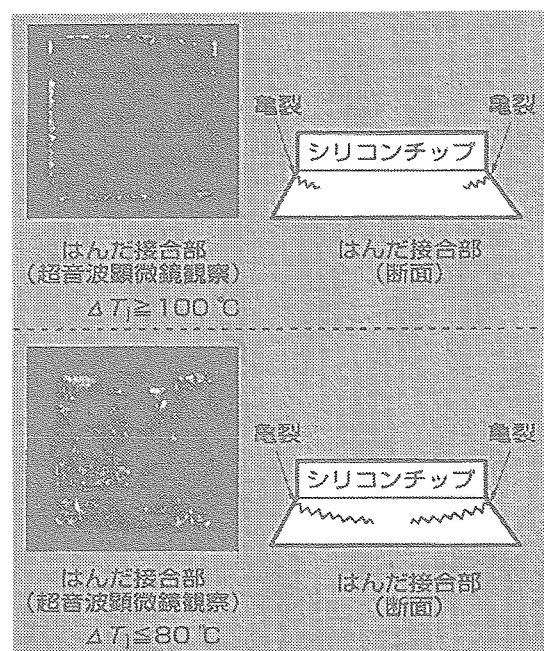


亀裂

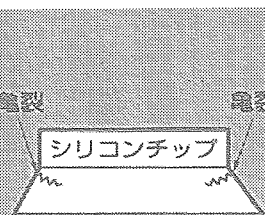


剥離

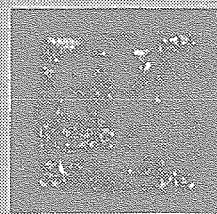
### Pbはんだの亀裂



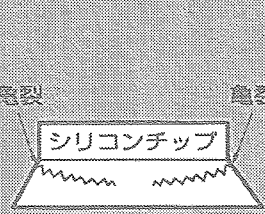
はんだ接合部  
(超音波顕微鏡観察)  
 $\Delta T_j \geq 100^\circ\text{C}$



はんだ接合部  
(断面)  
 $\Delta T_j \geq 100^\circ\text{C}$

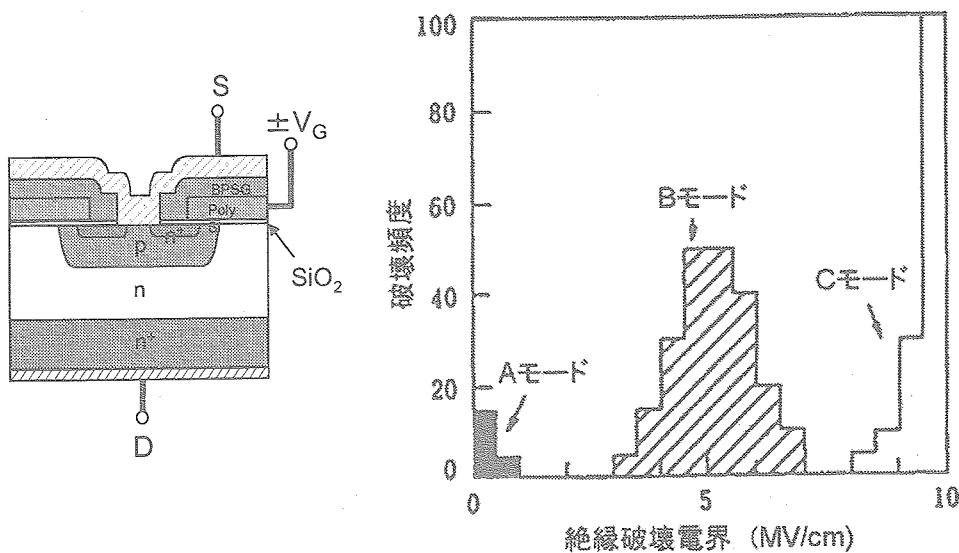


はんだ接合部  
(超音波顕微鏡観察)  
 $\Delta T_j \leq 80^\circ\text{C}$



はんだ接合部  
(断面)  
 $\Delta T_j \leq 80^\circ\text{C}$

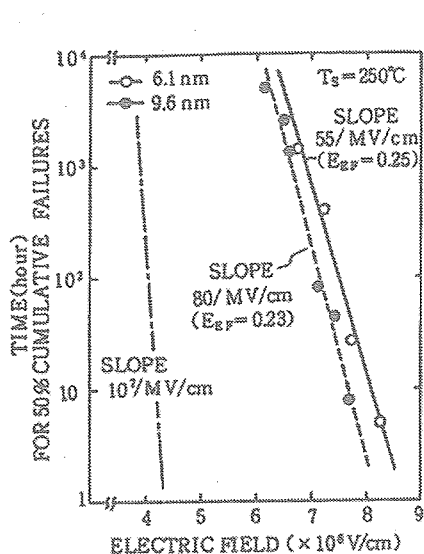
## ゲート酸化膜の絶縁破壊モード



A-Mode: ピンホールや酸化膜の汚染など  
 B-Mode: 酸化膜中やSi界面の欠陥など  
 C-Mode: 真性酸化膜(欠陥レス)

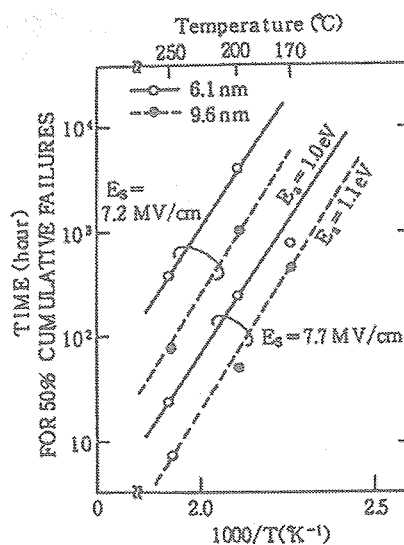
## ゲート酸化膜評価の加速試験

TDDB (Time Dependent Dielectric Breakdown)  
 v.s. Electric Field, Temperature, Thickness)



電極面積  
 0.8mm<sup>2</sup>

50%累積故障時間の電界強度依存性  
 電界小で寿命が長くなる。  
 酸化膜厚さ薄いほうが寿命が長い。



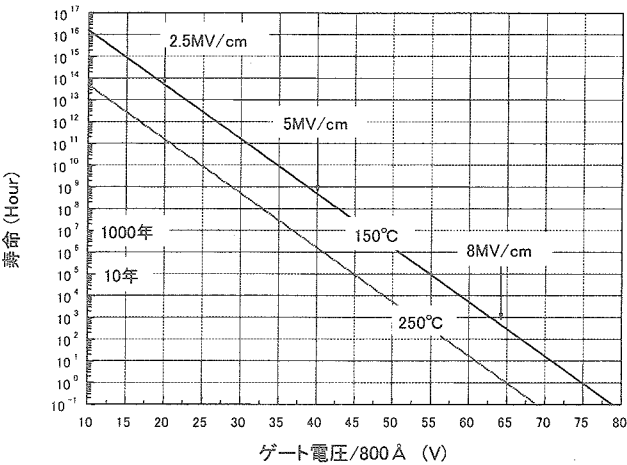
50%累積故障時間の温度依存性  
 温度が高いと寿命が短い。

# 酸化膜の故障率と寿命推定

$$\tau \propto \exp(-\alpha E) \exp(\frac{\varepsilon}{kT})$$

$\uparrow$   
電界加速

$\uparrow$   
温度加速



文献TDDDBデータに基づいた酸化膜厚  
さ800 Å 換算での50%故障寿命推定

# 静電気破壊: ESD現象

## 静電気摩擦系列

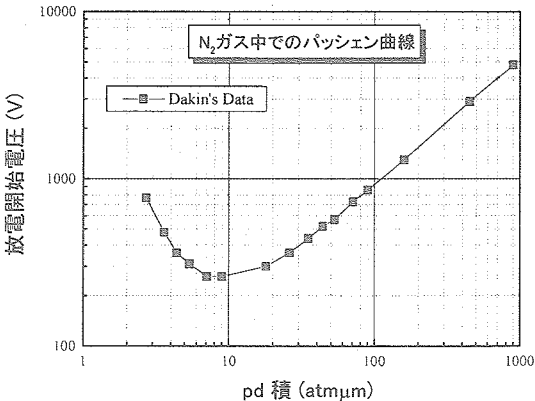
正 (+)	空気 シリコンゴム 人間の手 アスベスト 兎の毛 ガラス 雲 母 人間の頭髮 ナイロン 羊毛 毛 皮 鉛 銅 アルミニウム 紙 木 綿 銅 木 塗 漆 封ろう 硬質ゴム ニッケル、銅 錫、銀 金、プラチナ 硫 黄 アセテート、レーヨン ポリエステル セルロイド Orlon ポリウレタン ポリエチレン、ポリ塩化ビニール ポリプロピレン PVC KEL F シリコーン テフロン
負 (-)	

- 【静電気による障害】
- ・チリ・ホコリの吸着
  - ・放電による火災・爆発
  - ・電撃ショック
  - ・電子機器の誤動作
  - ・電子部品の静電破壊

1気圧N<sub>2</sub>中では  
270V/10 μm  
ギャップで放電  
が起こる。

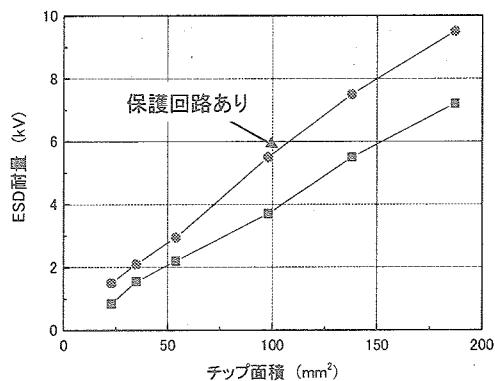
## 代表的な静電気電圧

静 電 気 発 生 源	相 対 湿 度	
	低 湿 度 (10～20%)	高 湿 度 (65～90%)
カーペットの上を歩く	35,000 (V)	1,500 (V)
PVC座席の上を歩く	12,000	250
作業台の近くの歩行者	6,000	100
作業指示を入れておく	7,000	600
PVC袋の封緘		
作業台から取り上げたポリエチレン袋	20,000	1,200
フレタンフォームを当て物にした作業椅子	18,000	1,500

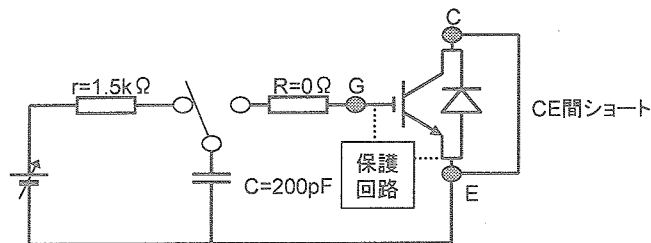


# MOS型デバイスの静電気破壊耐量

## ESD (Electro-Static Discharge)



コンデンサ放電法によるESD試験回路



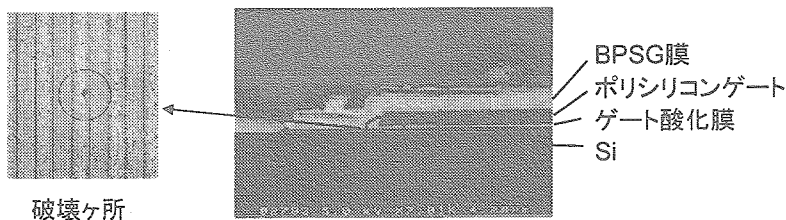
機械モデル

(Machine Model:  $C=200\text{pF}$ ,  $R=0\Omega$ )

人体帯電モデル

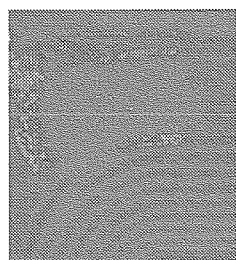
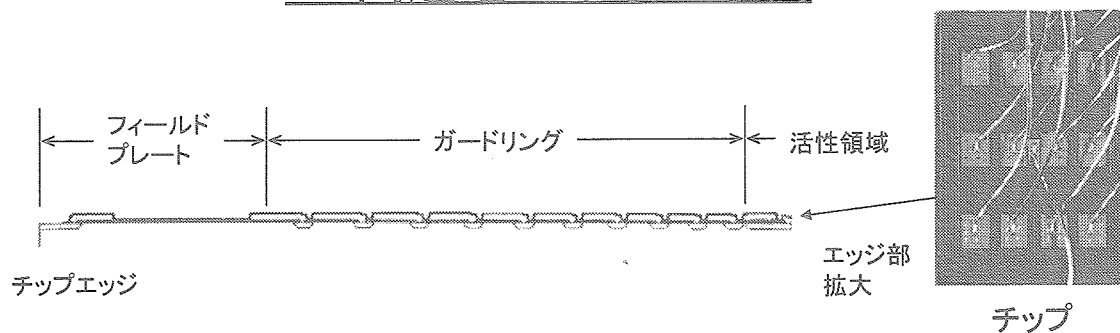
(Human Body Model:  $C=100\text{pF}$ ,  $R=1.5\text{k}\Omega$ )

過電圧印加によるゲート酸化膜破壊の例



## 電氣的要因

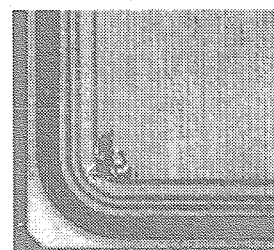
### CE間過電圧破壊の事例



フィールドプレート部  
破壊例



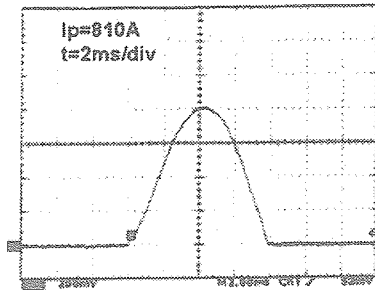
ガードリングの破壊例



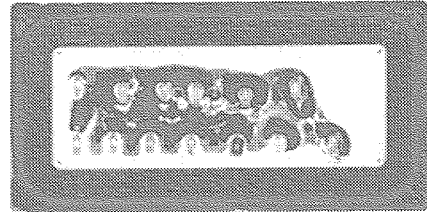
活性領域部破壊例  
(アバランシェ破壊)



## 電流破壊の事例



1サイクルサージ電流



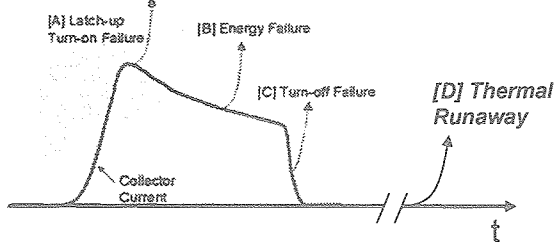
サージ電流通電による  
チップ表面の溶融破壊



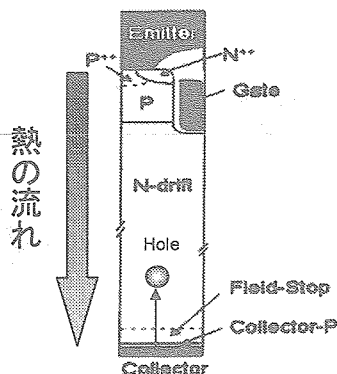
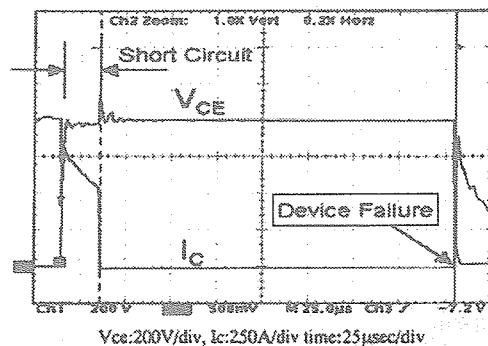
Alワイヤ接合部直下の  
Al電極の微小な溶融痕跡

## 電流→熱破壊の事例

- [A] Device destruction at near the peak current due to turn-on transition failure.
- [B] Destruction during the steady state due to over energy consumption.
- [C] Turn-off failure



短絡遮断後の熱暴走破壊

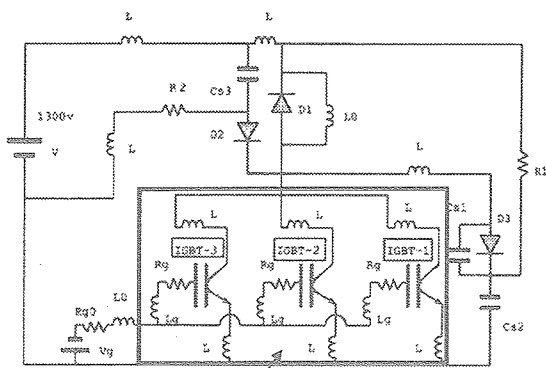


トレンチFS-IGBTの故障モード[D]  
エミッター側での熱がコレクタ側に  
遅れて伝わりホールが注入され、  
リーク電流が増え、熱暴走破壊に  
至る。

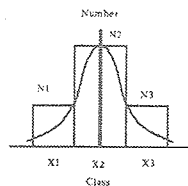
# 並列・直列動作要因

## 【並列動作】

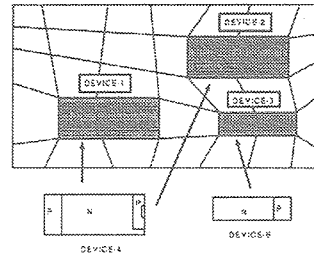
### デバイスと外部回路



動作解析対象デバイス  
3並列動作



チップ特性分布と3クラスへの単純化特性例:  
Vce(sat), Rg, etc.

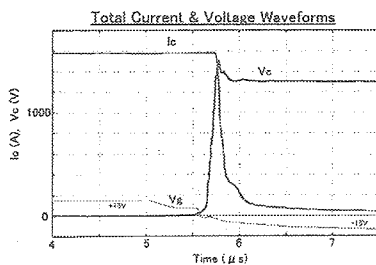


差分格子モデル  
素子メニューと  
全体格子の例

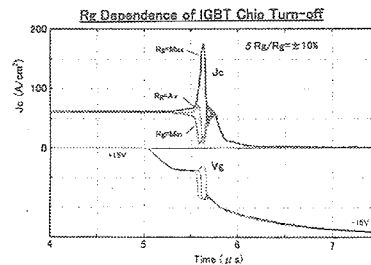


デバイス+回路のグランドマップ  
このマップの中にデバイスや回路が入れ込まれている。

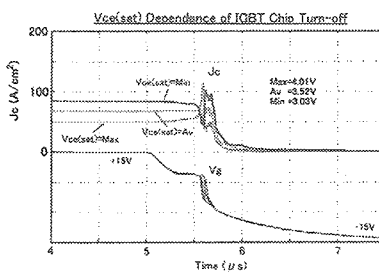
## Rg, Vce(sat)ばらつきと観測結果の比較



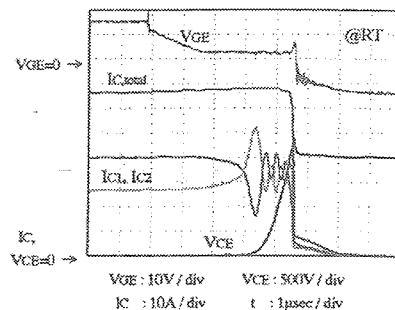
ターンオフ全体波形



Rgばらつきの影響  
Rgの大きいチップに電流が集中



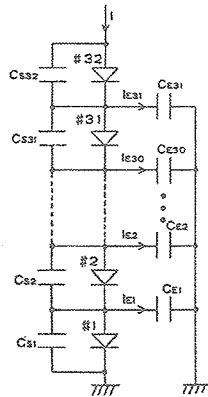
Vce(sat)ばらつきの影響  
Vce(sat)の小さいチップは、定常状態  
およびターンオフ時に電流が集中



2チップのターンオフ電流波形観測結果  
2および3チップの違いはあるが、お互いのチップ間の電流のや  
りとりと電流の集中の様子はシミュレーション結果と良く合う。

## 直列接続での電圧分担の均等化

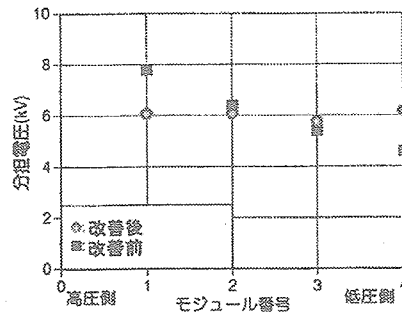
エキシマレーザー用  
励起電源 25kV



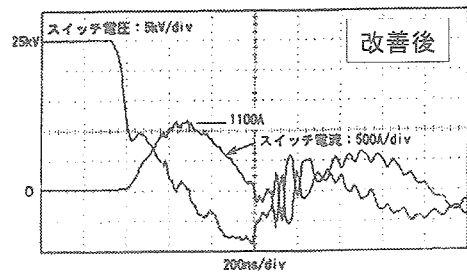
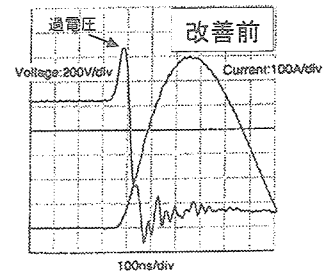
充電時の等価回路

使用デバイス: MAGT  
(MOS Assisted Gate-triggered Thyristor)

スナバコンデンサCs  
容量調整による電圧  
分担不平衡の改善

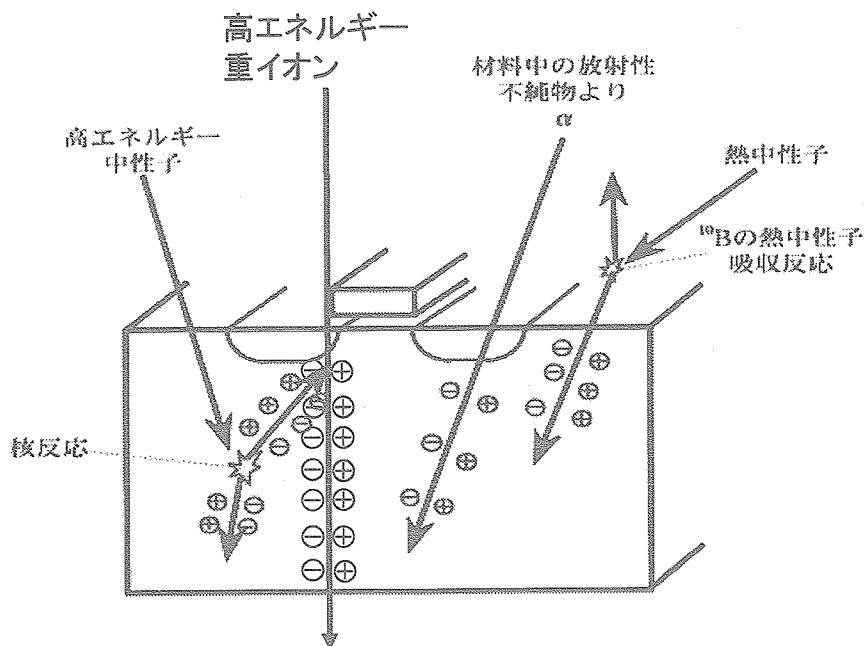


ターンオン時間遅れ調整  
による過電圧発生防止



25kV 2kHz動作時の電流電圧波形  
エキシマレーザー出力 30W

## 放射線要因



# SEB解析

宇宙線による素子故障  
(TD, SEB, SEGR, ソフトエラー)

【地上での宇宙線耐量評価】

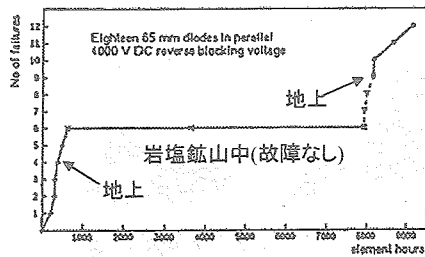
Co $\gamma$ 線照射による素子特性変化

・Total Dose (TD)

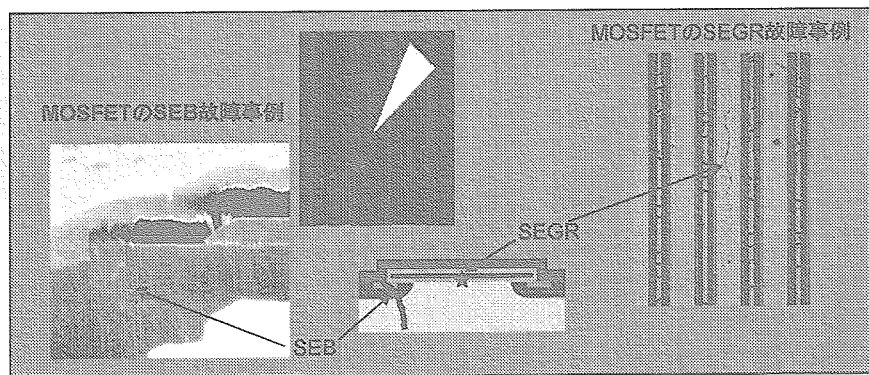
高エネルギー重イオン粒子の照射

・Single Event Burnout (SEB)

・Single Event Gate rupture (SEGR)

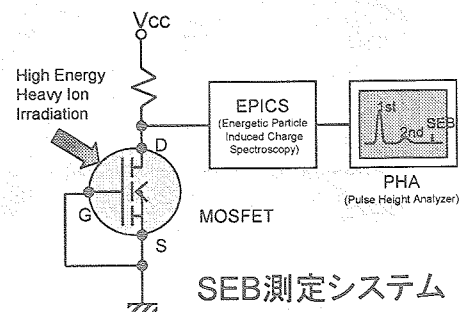
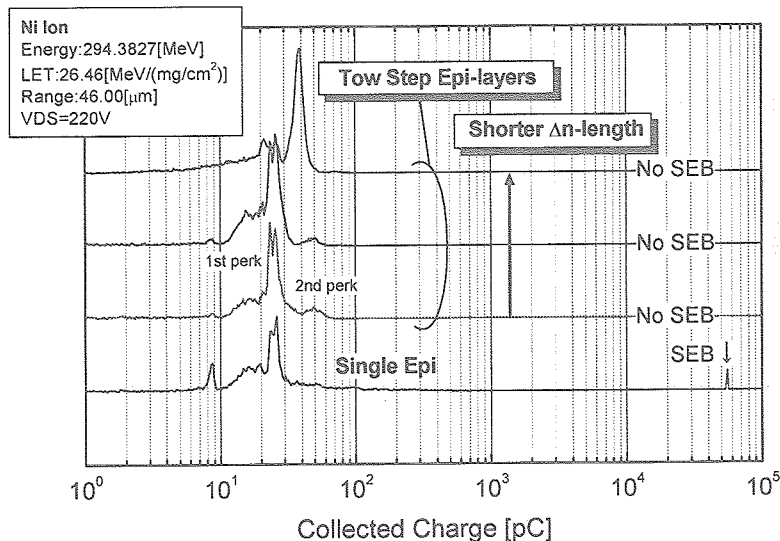


地上および岩塩鉱山中での故障率



## SEBスペクトラム

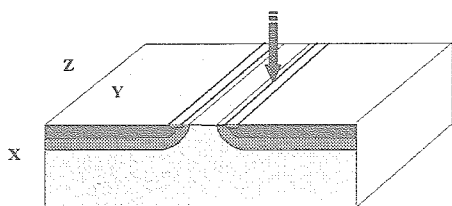
SEB収集電荷スペクトラム



SEB測定システム

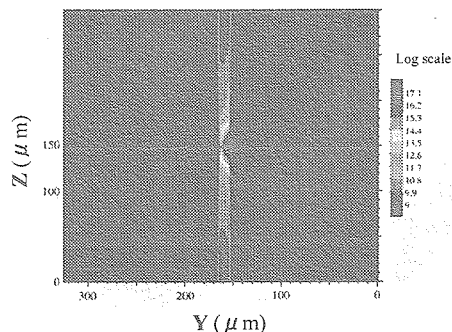
## 3D SEBシミュレーション: 250V MOSFET

Incident Point  
Kr 322MeV  
Range=39  $\mu\text{m}$  Q=16pC

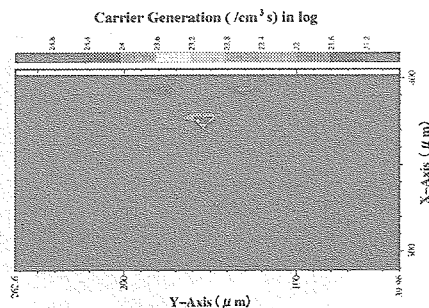
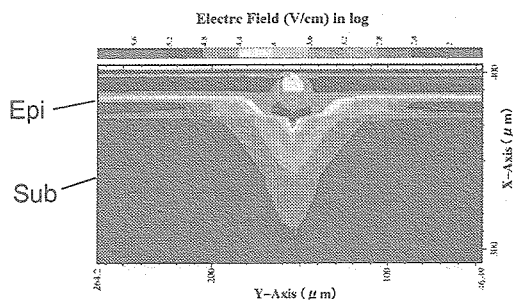


3D Simulation Region:  
X=350  $\mu\text{m}$ , Y=325  $\mu\text{m}$ , Z=300  $\mu\text{m}$

3Dモデル

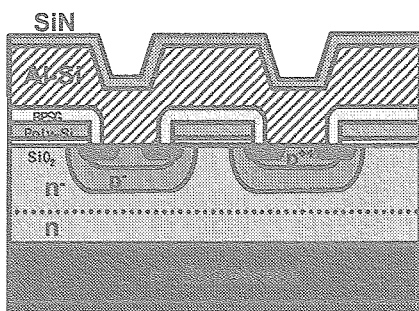


p-well YZ面でのホール濃度分布



電界強度分布(上)とキャリア生成(下)

## 宇宙用パワーMOSFET



### SEB

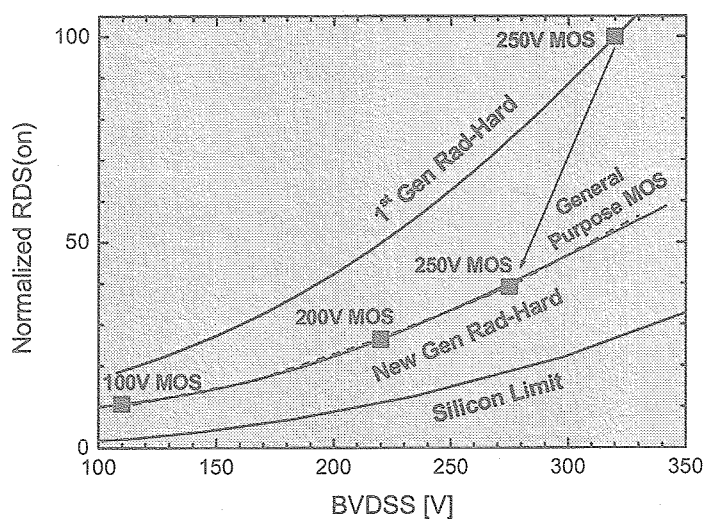
エピ(n/n)層の最適化  
n⁺p間距離の最適化

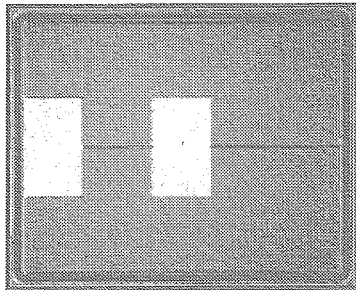
### SEGR

p間距離の最適化

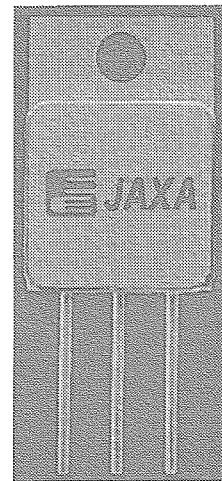
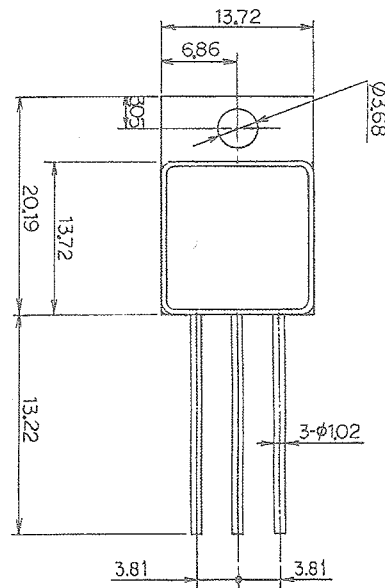
### TD

ガードリング構造の採用





次世代  
宇宙用MOSFETチップ



TO-254パッケージ

導体デバイス評価・解析装置代表例（工程管理）

代表例

工程	評価・解析装置(設備)
酸化 拡散 イオン注入 CVD	エリプソメーター、シート抵抗測定器 パーティクルカウンター ライフタイム測定器、FT-IR、全反射蛍光X線装置 フラットネス測定器、マイクロメーター、TDDB
フォト エッチング	膜厚測定器、測長SEM、寸法測定器 断面SEM、顕微鏡、レーザー顕微鏡 重ね合せ精度測定器、表面あらさ測定器
METALスパッタ 電気測定	シート抵抗測定器、n & kアナライザー 膜圧測定器、分光エリプソメーター ライフタイム測定器、CV測定器 DLTS、C.T(カーブトレーサー) テスター

## 半導体デバイス評価・解析装置一覧(不良解析)

\*代表例

評価項目	評価・解析装置(設備)	略称
形状観察 (異常部・欠陥部・異物)	走査型電子顕微鏡(EDX) 透過型電子顕微鏡	SEM TEM
元素分析 (異常部・欠陥部・異物)	飛行時間型二次イオン質量分析装置 オージェ電子分光分析装置 光電子分光分析装置 プラズマ発光質量分析装置 二次イオン質量分析装置	TOF-SIMS AES ESCA ICP-MS SIMS
樹脂系の熱特性評価 (樹脂・成形品・ゲル・JCR)	熱機械分析装置 示差走査熱量分析装置	TMA DSC
デバイスの不良箇所特定	光ビーム加熱抵抗変化検出装置 (エッジマイクロスコプ)	EVS

## 宇宙用と自動車用の比較

項目		宇宙用	民生(自動車)用
品質保証システム		信頼性保障プログラム	QS9000
認定法		QPL or QML	顧客仕様と社内仕様
設計/工程	拡散工程	耐放射線設計 設備は民生(自動車)用に同じ (但し、製造条件は民生品と異なる)	耐放射線設計なし 民生(自動車)用
	組立工程	気密封止/パッケージ 宇宙専用設備	モールド樹脂/パッケージ 自動組立設備
	試験工程	宇宙専用設備	自動試験設備
源泉検査		拡散後・組立封止前・出荷前の3回	なし
工場審査		1年に1回(QPL) or 3年に1回(QML)	顧客ごとにあり
識別		素子一個一個にS/N	拡散・組立ロット単位
市場規模		数年に一回で少量	2兆円(2005年予想)

## Power MOSFET 及びダイオードの活用方法

---

### 内 容

- 1)仕様書記載の絶対最大定格と電気的特性
- 2)取り扱い注意事項
  - ◆静電気対策
- 3)熱設計
  - ◆熱抵抗(放熱設計)
  - ◆Diode の熱暴走メカニズムと対策
- 4)MOSFETの動作検証
  - ◆チャネル温度検証
  - ◆アバランシェ破壊メカニズムと検証
  - ◆ゲートドライブ回路設計
- 5)MOSFET故障モード破壊痕跡
  - ◆再現実験とその破壊痕跡



# MOSFET/ Diodeの絶対最大定格と電気的特性

半導体デバイスの絶対最大定格は、いつどんなときでもこの値を超えて動作させてはいけない定格です。定常動作はもとより、負荷短絡や起動直後の過渡・異常時でも絶対最大定格内でご使用いただくことが、高信頼性の確保に必要です。

## MOSFETの絶対最大定格

### 2SK3525-01MRの例

5. Absolute Maximum Ratings at Tc=25°C (unless otherwise specified)

Description	Symbol	Characteristics	Unit	Remarks
Drain-Source Voltage	$V_{DS}$	600	V	
Continuous Drain Current	$I_D$	$\pm 6$	A	
Pulsed Drain Current	$I_{DP}$	$\pm 24$	A	
Gate-Source Voltage	$V_{GS}$	$\pm 30$	V	
Maximum Avalanche Current	$I_{AR}$	6	A	Tch<=150°C
Maximum Avalanche Energy	$E_{AV}$	193	mJ	L=0.83mH Vcc=60V
Maximum Drain-Source dv/dt	$dV_{DS}/dt$	20	kV/ $\mu$ s	VDS<=600V
Peak Diode Recovery dv/dt	$dV/dt$	5	kV/ $\mu$ s	*1
Maximum Power Dissipation	$P_D$	216 35	W	Ta=25°C Tc=25°C
Operating and Storage Temperature range	Ta Tstg	150 -55 to +150	°C	

\*1  $I_F \leq -I_D$ ,  $dI/dt = 50A/\mu s$ ,  $V_{CC} \leq BV_{DSS}$ , Tch=150°C

定格電圧  $V_{DS}$

定格ドレイン電流  
最大許容損失と最大オン抵抗  
(Tch=150°C)から決定

パルス定格  
通常  $I_D$  の4倍で規定

ゲートソース間電圧  
ゲート下酸化膜の破壊耐量

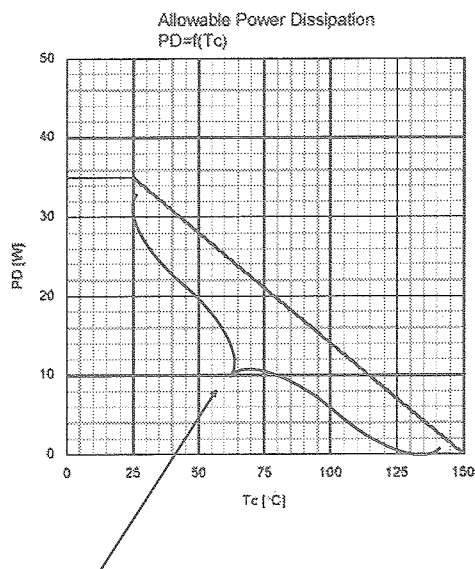
アバランシェ電流  
 $I_D$  と同じ定格を保証

アバランシェエネルギー

素子の許容損失  
製品熱抵抗から求められる

過渡電圧に対する制限  
dv/dt耐量保証

## MOSFET各種特性 : 許容損失



$T_c = 25^\circ\text{C}$ の時、最大許容損失 $P_D$ を印加すると $T_c = 150^\circ\text{C}(\text{max})$ となります。

$T_c = 150^\circ\text{C}$ では、許容損失 $P_D$ は、0 です。

$P_D = (T_{c\text{max}} - T_c) / R_{th(ch-c)}$  で表されます。

## MOSFETの電気的特性

6. Electrical Characteristics at  $T_c = 25^\circ\text{C}$  (unless otherwise specified)

Static Ratings

Description	Symbol	Conditions	min.	typ.	max.	Unit
Drain-Source Breakdown Voltage	$BV_{DS}$	$I_D = 250\mu\text{A}$ $V_{GS} = 0\text{V}$	600	-	-	V
Gate Threshold Voltage	$V_{GS(th)}$	$I_D = 250\mu\text{A}$ $V_{DS} = V_{GS}$	3.0	-	5.0	V
Zero Gate Voltage Drain Current	$I_{DSS}$	$V_{DS} = 600\text{V}$ $V_{GS} = 0\text{V}$ $T_{ch} = 25^\circ\text{C}$	-	-	25	$\mu\text{A}$
		$V_{DS} = 480\text{V}$ $V_{GS} = 0\text{V}$ $T_{ch} = 125^\circ\text{C}$	-	-	250	$\mu\text{A}$
Gate-Source Leakage Current	$I_{GSS}$	$V_{GS} = \pm 30\text{V}$ $V_{DS} = 0\text{V}$	-	10	100	nA
Drain-Source On-State Resistance	$R_{DS(on)}$	$I_D = 3\text{A}$ $V_{GS} = 10\text{V}$	-	0.93	1.20	$\Omega$

逆耐圧min表示  
ボディダイオードの耐圧

MOSFETがON  
する電圧  
負の温度依存性なので  
高温では低くなります

DS間漏れ電流

GS間漏れ電流

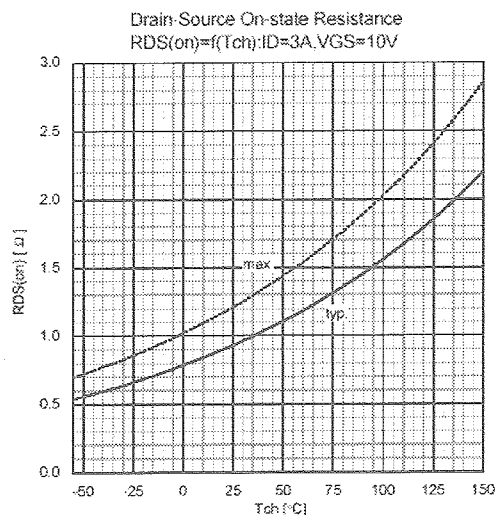
注意！

特に指定が無ければ $T_c = 25^\circ\text{C}$ 時の特性となっています。

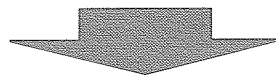
ON抵抗

正の温度依存性を持っており、高温では大きくなります。

## MOSFETの各種特性 : 温度依存性



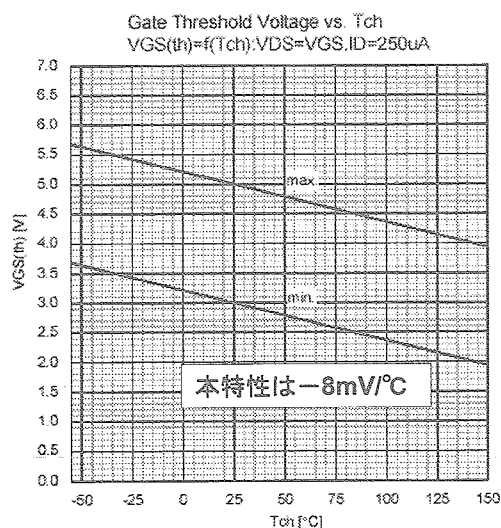
$R_{DS(ON)}$ は、温度が高くなると大きくなります。



定格表示は、 $T_{ch} = 25^{\circ}\text{C}$ なので実際の動作での損失計算は $R_{DS(ON)}$ の温度依存性から読み取ります。

$R_{DS(ON)}$ が正の温度特性をもつため、素子内の温度が均一化されます。また、並列接続時も個々の素子間の熱的バランスは良好となります。

## MOSFETの各種特性 : $V_{GS(th)}$ 温度依存性



$V_{GS(th)}$ 特性は、温度が高くなると低くなります。

一般的には約 $-5\text{mV}/^{\circ}\text{C}$ 程度で低下



対ノイズ性も考慮に入れて注意する必要があります。

外来ノイズでの誤動作の可能性が有ります。

## MOSFETの動特性

Dynamic Ratings

Description	Symbol	Conditions	min.	typ.	max.	Unit
Forward Transconductance	$g_{fs}$	$I_D=3A$ $V_{DS}=25V$	3	6	-	S
Input Capacitance	$C_{iss}$	$V_{DS}=25V$ $V_{GS}=0V$	-	750	1130	pF
Output Capacitance	$C_{oss}$	$V_{GS}=0V$ $f=1MHz$	-	100	150	
Reverse Transfer Capacitance	$C_{rss}$		-	4	6	
Turn-On Time	$t_d(on)$	$V_{DS}=300V$ $V_{GS}=10V$	-	14	21	ns
	$t_r$		-	9	14	
Turn-Off Time	$t_d(off)$	$I_D=3A$ $R_{DS(on)}=10\Omega$	-	24	36	
	$t_f$		-	7	10.5	
Total Gate Charge	$Q_G$	$V_{DS}=300V$ $I_D=6A$	-	20	30	nC
Gate-Source Charge	$Q_{GS}$		-	8.5	13	
Gate-Drain Charge	$Q_{GD}$	$V_{GS}=10V$	-	5.5	8.5	

MOSFETの入力電圧( $V_{GS}$ )  
の変化に対するドレイン電流  
 $I_D$ の変化の比

MOSFETの特徴であ  
る容量特性

$C_{iss}$ の充放電特性がドライブ損失  
となります(=低 $Q_g$ が良い)

$C_{rss}$ は高周波動作に大きく影響  
します。(=低 $C_{gd}$ が良い)

### ゲートチャージ特性

ドライブ損失、スイッチング損失に影響します。

低 $Q_g$ がSuperFAPGの特徴です。

MOSFET のスイッチング特性を表す  
ターンオフ損失に $Q_{gd}$ が影響大

SuperFAPGは低 $Q_{gd}$ のためスイッチング損失が小さい

## MOSFETのボディダイオード特性

Reverse Diode

Description	Symbol	Conditions	min.	typ.	max.	Unit
Avalanche Capability	$I_{AV}$	$L=9.83mH$ $T_{ch}=25^\circ C$ See Fig.1 and Fig.2	6	-	-	A
Diode Forward On-Voltage	$V_{SD}$	$I_F=6A$ $V_{GS}=0V$ $T_{ch}=25^\circ C$	-	1.00	1.50	V
Reverse Recovery Time	$t_{rr}$	$I_F=6A$ $V_{GS}=0V$	-	0.7	-	$\mu s$
Reverse Recovery Charge	$Q_{rr}$	$-di/dt=100A/\mu s$ $T_{ch}=25^\circ C$	-	3.5	-	$\mu C$

アバランシェ耐量保  
証はダイオードに  
流れる逆電流

### ボディダイオードの $V_F$ , $t_{rr}$ , $Q_{rr}$

通常は電源ダイオードと同じで $t_{rr}$ は長い特性です  
<500V: 0.4 $\mu s$ 程度 >500V: 0.7 $\mu s$ 程度

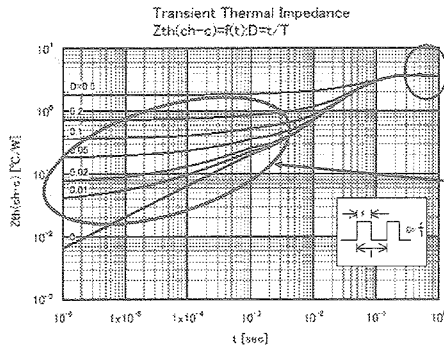
高速タイプにしたものをFREDタイプと呼びます  
>500V: 0.2 $\mu s$ 程度

# MOSFETの熱抵抗特性

## 7. Thermal Resistance

Description	Symbol	min.	typ.	max.	Unit
Channel to Case	Rth(ch-c)			3.57	°C/W
Channel to Ambient	Rth(ch-a)			58.0	°C/W

チャネル-ケース間熱抵抗は、チップサイズにより異なります  
チップサイズが大きいと熱抵抗は小さくなる



チャネル-周囲間熱抵抗はパッケージにより異なります

(フィン無し時)

TO-220系:58°C/W

TO-3P系:35°C/W

許容損失は、この熱抵抗とTchmaxとで算出可能です

サージパルス波形からTchを求める場合はこの熱抵抗特性から過渡熱抵抗をもとめ計算します。

# Diode(SBDの例)の絶対最大定格

## 1. SCOPE

This specification provides the ratings and the test requirement for FUJI SILICON DIODE YG868C12R

## 2. OUT VIEW, MARKING, MOLDING RESIN, CHARACTERISTICS

- Out view is shown MS5D1773 9/12
- Marking is shown MS5D1773 9/12  
It is marked to type name or abbreviated type name, polarity and Lot No.
- Molding resin  
Epoxy resin ULV-0
- Characteristics is shown MS5D1773 10/12~12/12

外形図、捺印表示

モールド樹脂の難燃性UL94V-0  
ランクの明記

## 3. RATINGS

### 3.1 MAXIMUM RATINGS

ITEM	SYMBOL	CONDITIONS	RATINGS	UNITS
Repetitive peak reverse voltage	VRRM		120	V
Isolating voltage	Viso	Terminals-to-Case, AC, 1min	1500	V
Average output current	I <sub>o</sub>	Square wave duty = 1/2 T <sub>c</sub> = 115°C	30*	A
Non-repetitive surge current **	IFSM	Sine wave, 10ms	225	A
Operating junction temperature	T <sub>j</sub>		150	°C
Storage temperature	T <sub>stg</sub>		-40~+150	°C

\*Out put current of centertap full wave connection.

\*\* Rating per element

繰り返し印加電圧

絶縁耐圧保証値  
(フルモールドタイプのみ)

平均出力電流I<sub>o</sub>

Dual品は2chip分

IFSM  
1チップあたりの定格を表します

# Diodeの電気的特性

## 3.2 ELECTRICAL CHARACTERISTICS (at Ta=25°C unless otherwise specified.)

ITEM	SYMBOL	CONDITIONS	MAXIMUM	UNITS
Forward voltage ***	V <sub>F</sub>	I <sub>F</sub> = 15 A	0.9	V
Reverse current ***	I <sub>R</sub>	V <sub>R</sub> = 120 V	200	μA
Thermal resistance	R <sub>th(j-c)</sub>	Junction to case	1.2	°C/W

\*\*\* Rating per element

VF

1 chipあたりの最大値  
温度係数は負の係数  
高温ほど低くなります

## 3.3 MECHANICAL CHARACTERISTICS

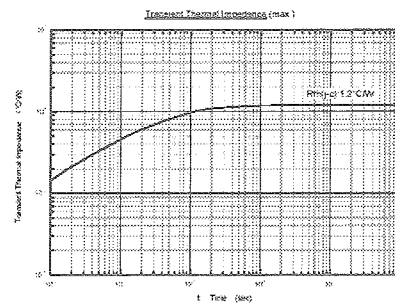
Mounting torque	Recommended torque	0.3~0.5	N·m
Approximate mass		2	g

IR

1 chipあたりの最大値  
温度係数は正の係数  
高温ほど大きくなります

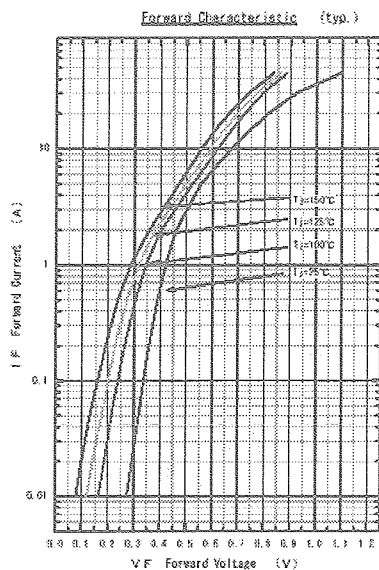
接合-ケース間熱抵抗

チップサイズにより違いがあります

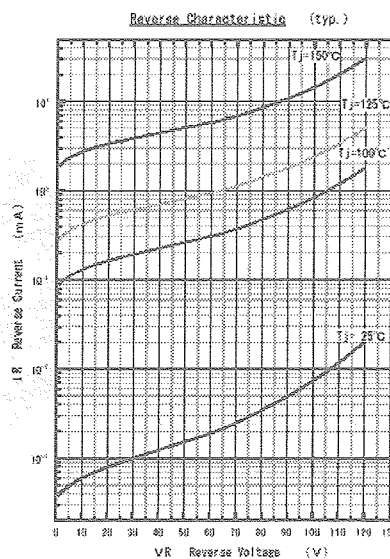


# Diodeの代表的な特性曲線

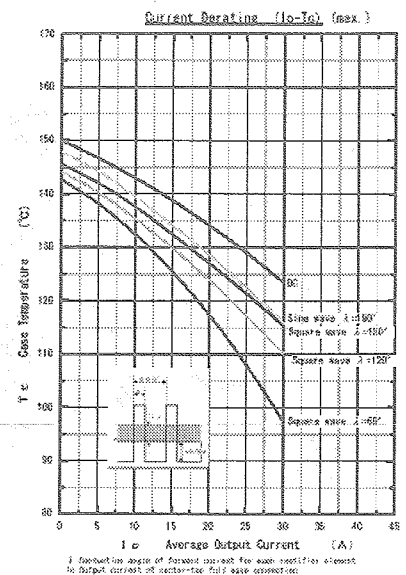
順特性



逆特性



出力電流特性

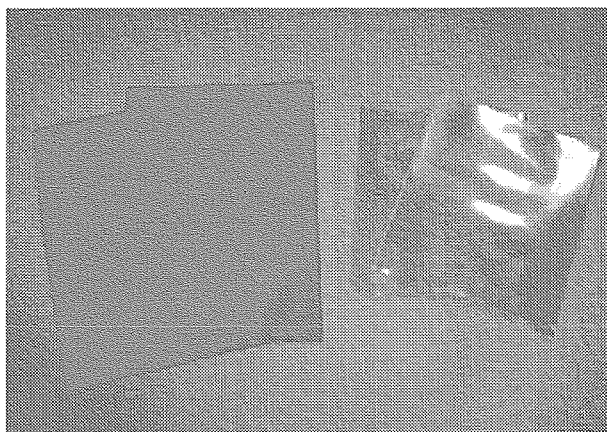


## MOSFET の取り扱い: 静電気対策

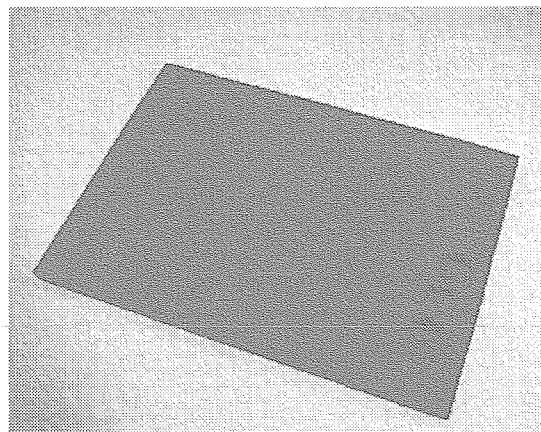
静電気破壊は、製品を取り扱っているときに、人体や機器から発生する静電気や過電圧により製品が破壊する現象です。特に、MOSFETは、薄いゲート酸化膜を適用しており、これらの静電気や過電圧により破壊され易いので注意が必要です。

### MOS ゲート構造型製品の取り扱い

MOSゲート構造を適用した製品(MOSFET, IGBT 等)は、使用するまで導電性の袋もしくは導電性フォームにて保管しておく必要があります。



導電性袋

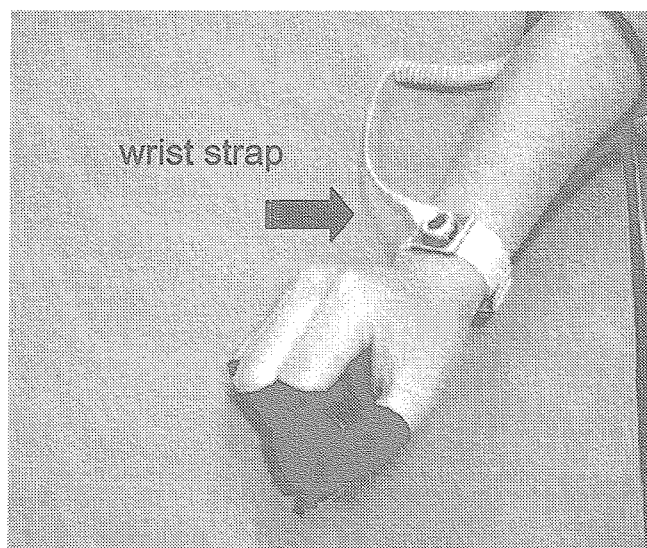


導電性フォーム



## デバイス単体の取り扱い

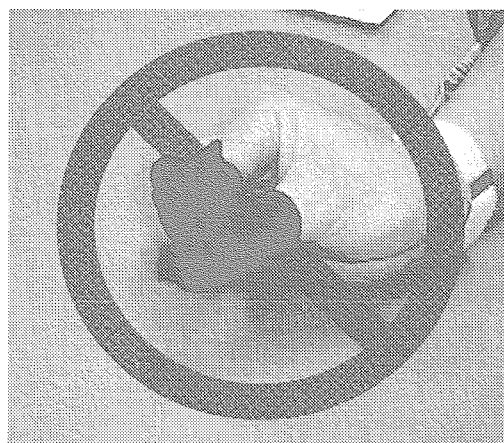
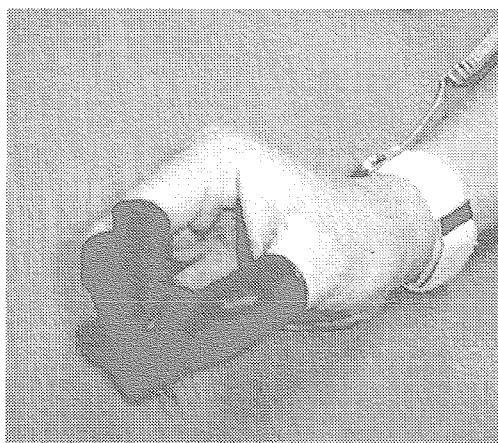
MOSゲート構造を適用した製品(MOSFET, IGBT 等)を取り扱う場合は、リストバンド等により接地させて取り扱うようにしてください。



## デバイス単体の取り扱い

MOSゲート構造を適用した製品(MOSFET, IGBT 等)を取り扱う場合は、デバイスのモールドボディを取り扱い、決してリード端子で取り扱わないでください。

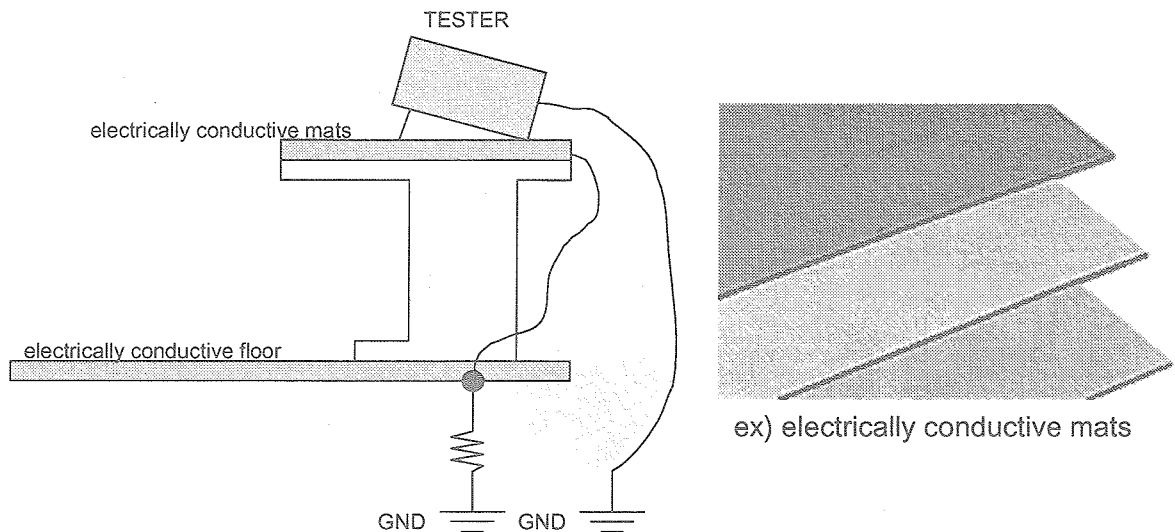
特に、電気的特性をカーブトレーサーや測定回路にて確認する場合は注意してください。





## 測定機・測定機器の接地

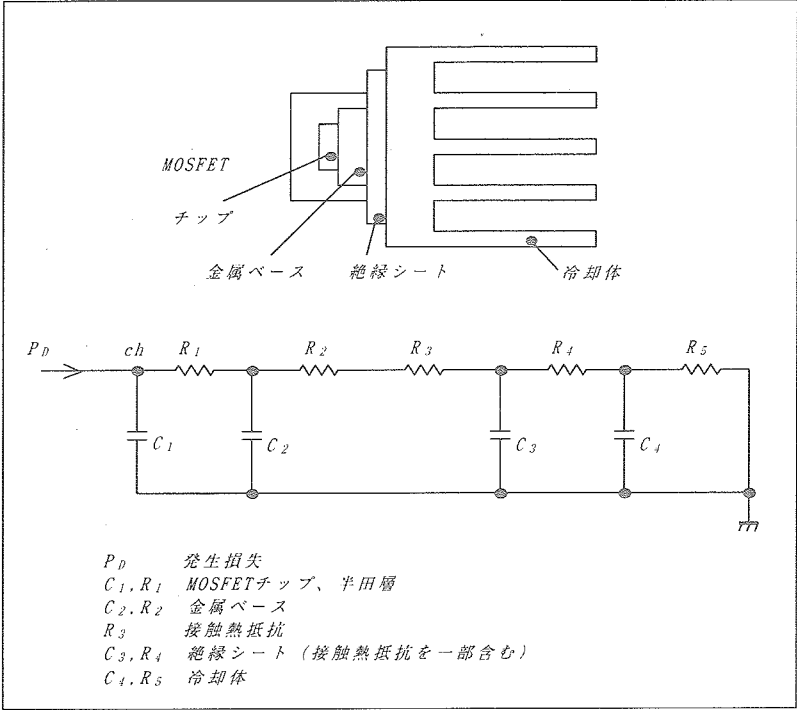
MOSゲート構造を適用した製品(MOSFET, IGBT 等)を取り扱う場合は、導電性フロアマット・導電性机上マット等を使用し、接地してください。



## 熱設計: 放熱設計

パワー素子を使用する場合、絶対最大定格内で使用するために、放熱処理をしますが、この放熱処理の方法によりチャネル温度が大きく異なってしまう、最悪の場合は破壊に至ってしまうほど、重要な設計値となります。

放熱特性(熱抵抗特性)



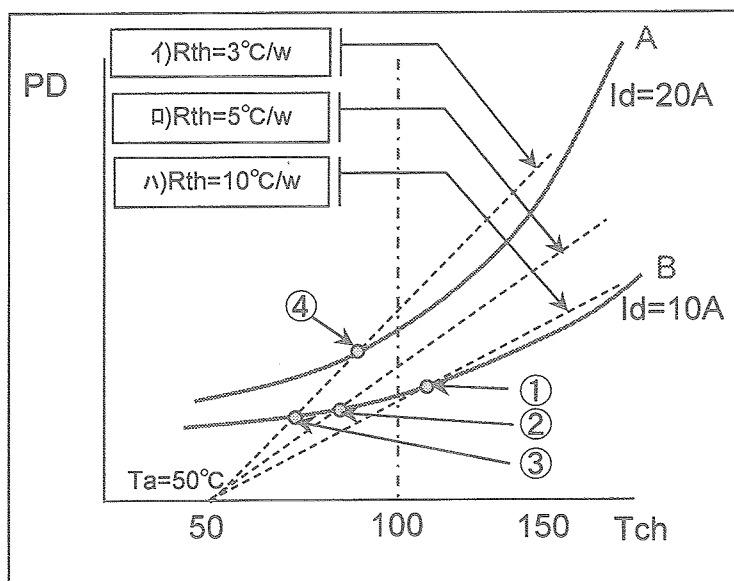
放熱フィンと熱抵抗( $R_{th}$ )の参考例

外観写真	寸法(W×H×Dmm)	熱抵抗( $^{\circ}\text{C}/\text{W}$ )
	40×15×40	8.8
	40×20×40	6.8
	40×25×40	5.2
	50×20×50	5.2
	60×20×60	4.3
	80×20×80	2.6
	23×25×17	20.5 (at 50 $^{\circ}\text{C}$ )
	16×25×16	26.4 (at 50 $^{\circ}\text{C}$ )

## 放熱特性・損失曲線とチャネル温度との関係

### Tch-PDの関係

- (1) Tchが高くなるとオン抵抗が多くなるため、損失は増加します  
 (2) 放熱特性は3種類を検討(3, 5, 10[°C/W])



- (1) 損失曲線A,Bと放熱特性(1), (2), (3)との交点①, ②, ③, ④が各条件におけるTchとなります。

- (2) 損失曲線Aと放熱抵抗(2), (3)のように交点がない場合は熱暴走してしまいます。

- (3) Tchを100°C以下にする為には、損失曲線Aならば、放熱特性(1) 損失曲線Bならば放熱特性(1), (2)の放熱特性にする必要があります。

## 熱設計: Diode の熱暴走対策

Diode は、逆リーク電流が温度に対し正の相関があります。従って、高温での使用の場合、放熱特性を注意しないと熱暴走(サーマルランナウェイ)してしまい、破壊する場合があります。

特に、ショットキーバリアダイオード(SBD)では、順電圧(VF)が低い代わりに逆リーク電流が大きいので、高温での使用時は注意が必要です。

## Diode への最近の要求特性

低損失化 ⇒ 低VF

低ノイズ化 ⇒ ソフトリカバリー

高温動作 ⇒ 低IR

高温でも熱暴走しないこと

重要！

## ダイオードのIR特性と熱暴走

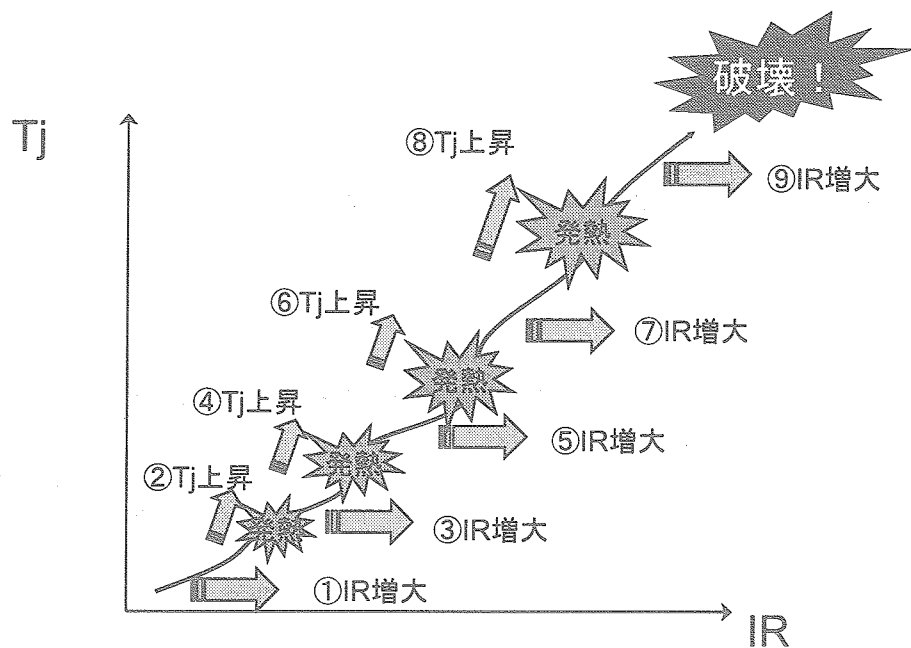
### ◆ 熱暴走とは？

発熱と放熱のバランスがくずれ、デバイスの発熱量を許容できなくなり、

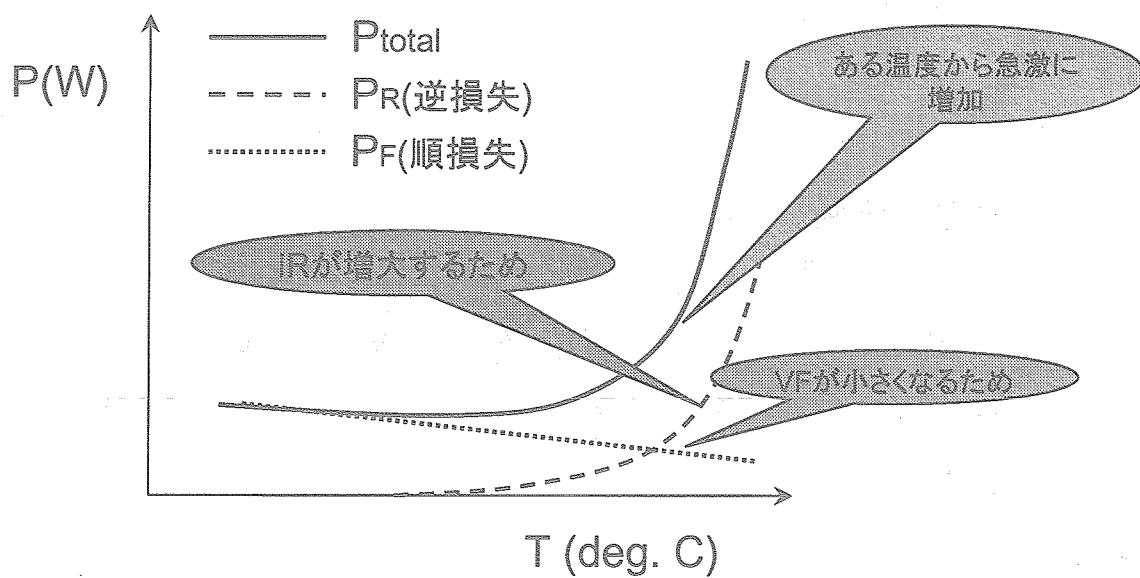
発熱⇒温度上昇⇒更に発熱⇒更に温度上昇

のスパイラルが起こり温度上昇しつづけ破壊に至る現象です。

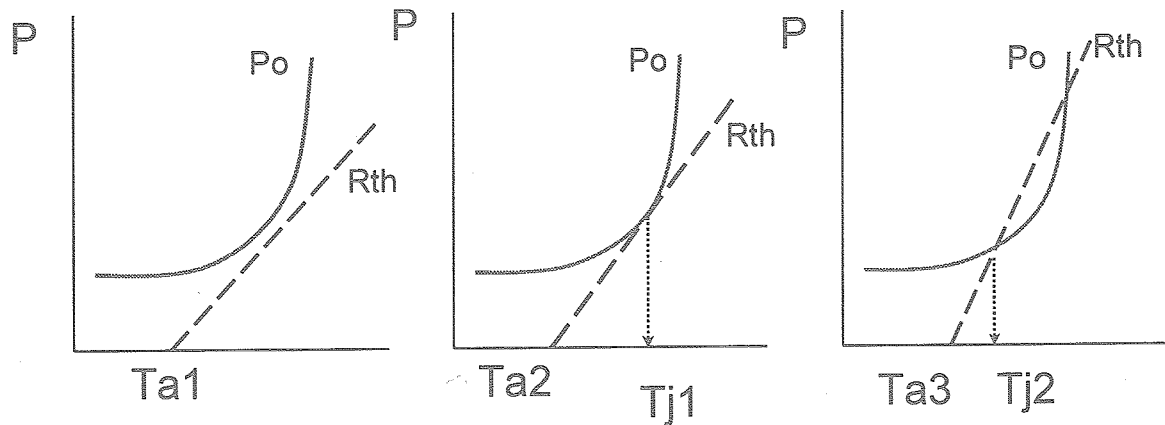
## 熱暴走のメカニズム(イメージ図)



## ダイオードの損失曲線



## 放熱特性と熱暴走領域

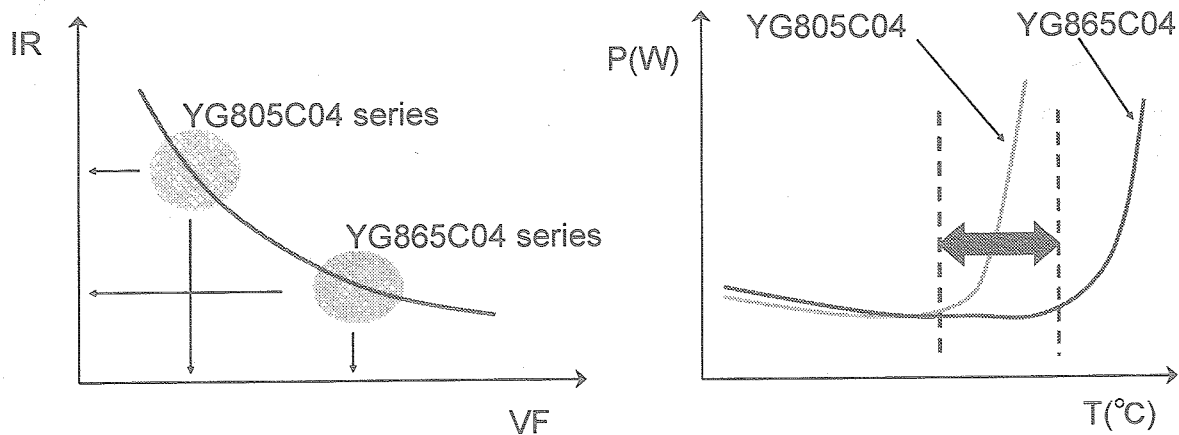


- a)  $P_o > R_{th} \Rightarrow$  熱暴走状態  
 b)  $P_o = R_{th} \Rightarrow$  熱暴走への臨界ポイント  
 c)  $P_o < R_{th} \Rightarrow$  熱暴走せず安定

$P_o$ : Total loss  
 $R_{th}$ : Thermal resistance  
 $T_a$ : Ambient temperature  
 $T_j$ : Junction temperature

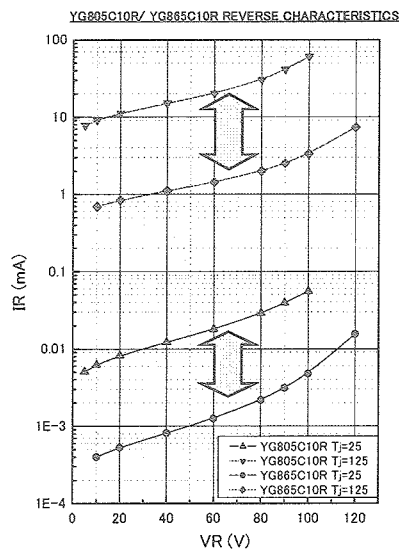
## 低 IR SBD の特徴 (メリット・デメリット)

メリット: 低 IR SBD series と従来品シリーズと比較すると、高温まで使用可能

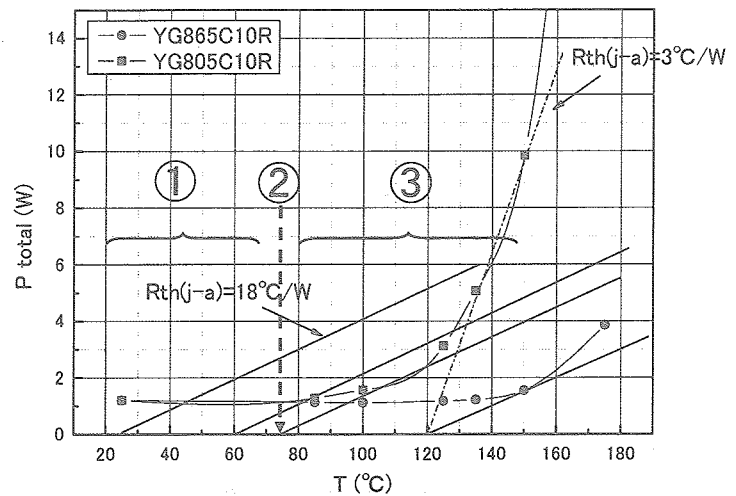


デメリット: 100°C以下での仕様ではVFが大きい分損失が若干大きい

## YG805C10RとYG865C10Rの違い



180Wアダプターでの動作波形から計算した例



$R_{th} = 18^\circ\text{C/W}$ の場合

従来品①  $T_a \sim 60^\circ\text{C}$ : OK, ②  $T_a = 75^\circ\text{C}$ : 限界 ③  $T_a > 75^\circ\text{C}$ : 熱暴走

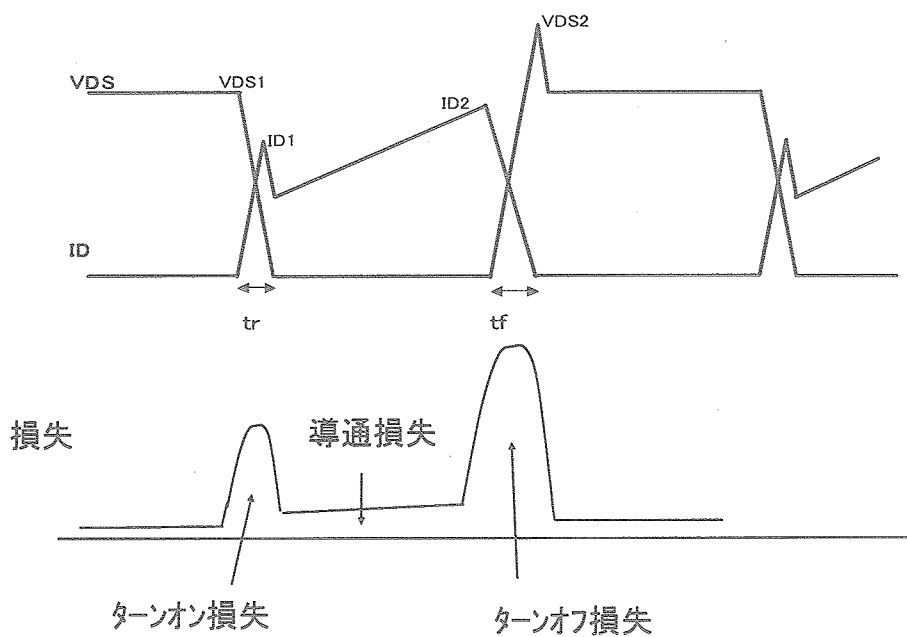


低IR品①  $T_a \sim 100^\circ\text{C}$ : OK ②  $T_a = 120^\circ\text{C}$ : 限界 ③  $T_a > 120^\circ\text{C}$ : 熱暴走

## MOSFET の動作検証

MOSFETを使用する場合、チャネル温度が絶対最大定格内となっているかが重要です。そのために、動作波形からチャネル温度を検証して使用可否の判断材料にします。

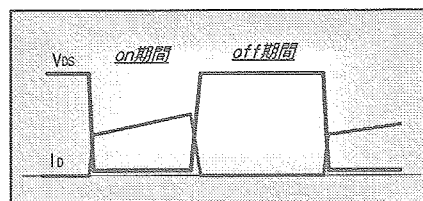
## MOSFET動作波形例



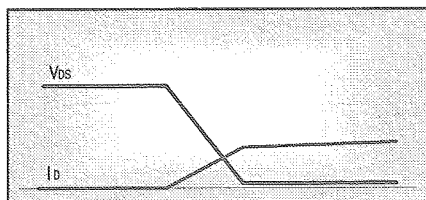
## チャネル温度検証用動作波形の取得

3種類の動作波形が必要です。

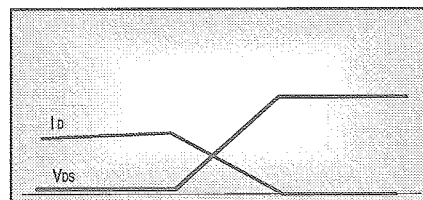
1) 全体波形(周期が分かる事)



2) ターンオン時の拡大波形



3) ターンオフ/アバランシェ時の拡大波形



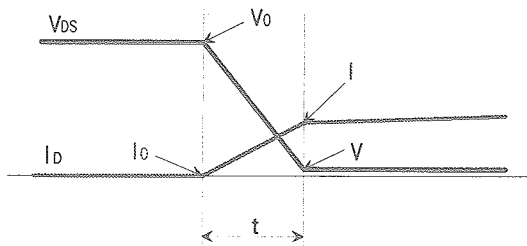
\* ターンオン損失、ターンオフ損失が無視できる場合はその波形の取得は必要ありません。



## チャネル温度計算用各損失を求める

下記の計算式より損失を求める。

ターンオン時の動作波形



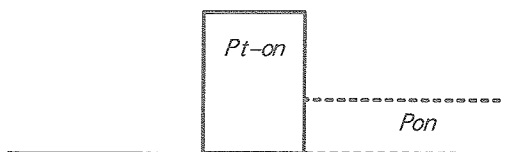
$$\alpha = -\frac{I_0 - I}{t} \quad \beta = -\frac{V_0 - V}{t}$$

$$P_S = \int_0^t (\alpha t + I_0)(\beta t + V_0) dt$$

$$P = \frac{P_S}{t}$$

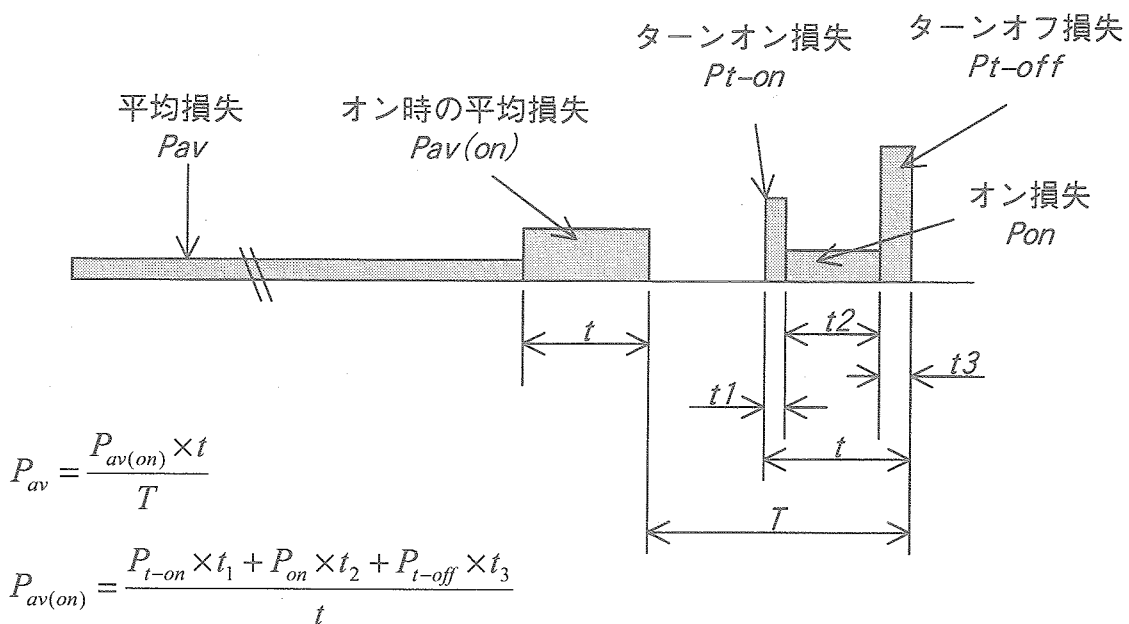
ターンオンの期間を上記計算式で損失を求めた場合  
計算結果“P”が“Pt-on”になります。  
オン期間の損失Ponは下記計算式で求めます。

近似損失



$$P_{on} = \frac{\int_0^t i(t)^2 \times R_{DS(on)}@T_{ch=150^\circ\text{C}} dt}{T}$$

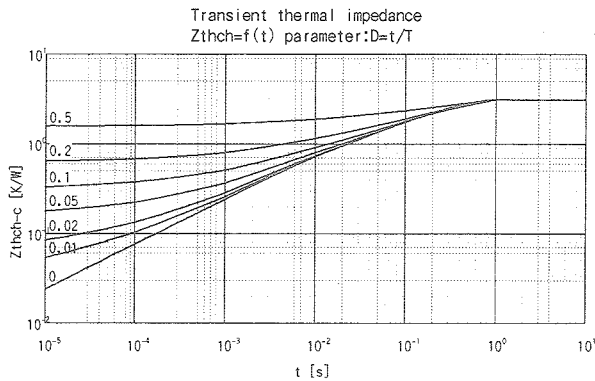
## チャネル温度計算のための発生損失近似



\*ターンオン損失、ターンオフ損失が無視できる場合はその損失を考える必要はありません。

# チャネル温度計算のための過渡熱抵抗の推定

## 過渡熱抵抗グラフ



## 過渡熱抵抗のグラフより

各時間の過渡熱抵抗値をDuty=0のラインより読み取ります。

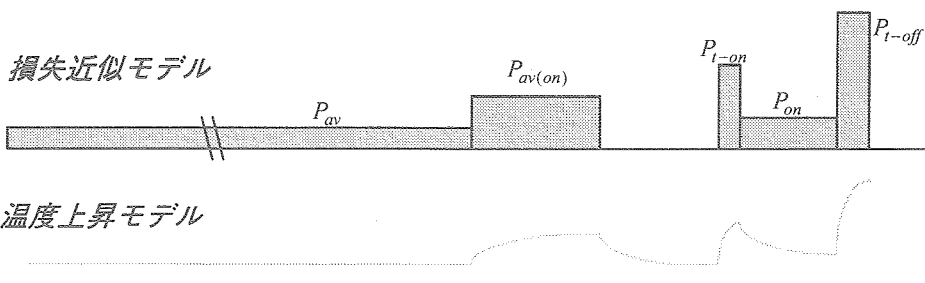
但し、パルス幅が1ms以下の場合  
下記の計算式で求められます。

例)パルス幅(Ta)の場合

$$Rth_{(ch-c)(Ta)} = Rth_{(ch-c)(1ms)} \times \sqrt{\frac{Ta}{0.001}}$$

$Rth_{(ch-c)(1ms)}$  はDuty=0、t=1ms時の過渡熱抵抗値

# 重ね合わせの理を用いたチャネル温度計算



## チャネル温度上昇計算式

$$\begin{aligned} \Delta T_{ch-c} = & P_{av} \times Rth_{(ch-c)} + (P_{av(on)} - P_{av}) \times Rth_{(T+t)} - P_{av(on)} \times Rth_{(T)} \\ & + P_{t-on} \times Rth_{(t)} + (P_{on} - P_{t-on}) \times Rth_{(t2+t3)} + (P_{t-off} - P_{on}) \times Rth_{(t3)} \end{aligned}$$

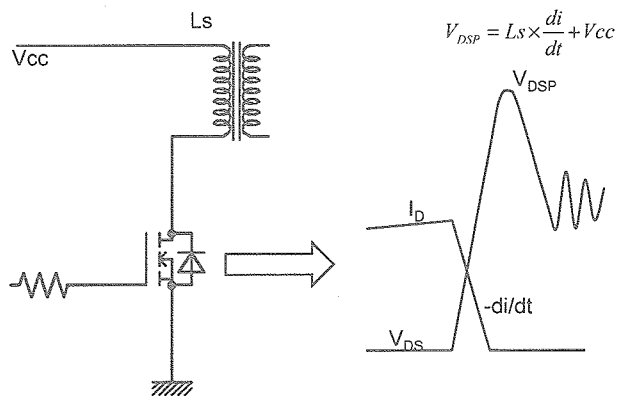
\*ターンオン損失、ターンオフ損失が無視できる場合はその損失を考える必要はありません。

## アバランシェ破壊とメカニズム

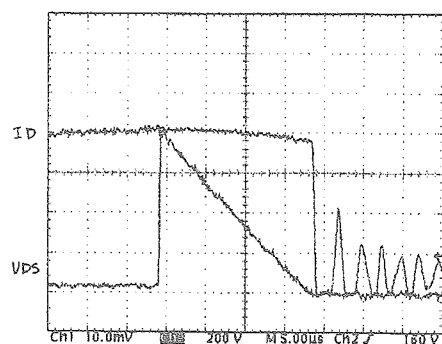
パワーMOSFETをスイッチング動作で使用した場合、ターンオフ時の $di/dt$ とトランスなどのリーケージインダクタンスにより逆起電力(跳ね上がり電圧)が生じる。この跳ね上がり電圧が、パワーMOSFETの耐圧(pn接合部の耐圧)を越えると、素子耐圧でクランプされ、耐圧を越えた電圧分のエネルギーがアバランシェ電流となり流れます。これにより破壊するモードをアバランシェ破壊と呼びます。

### パワーMOSFETアバランシェ降伏

リーケージインダクタンス

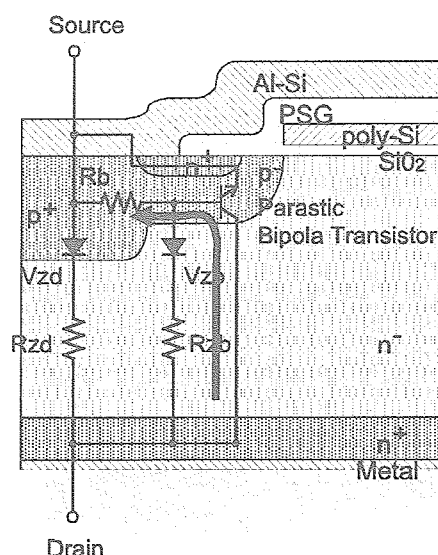


パワーMOSFETをスイッチング動作で使用した場合、ターンオフ時の $di/dt$ とトランスなどのリーケージインダクタンスにより逆起電力(跳ね上がり電圧)が生じます。



この跳ね上がり電圧が、パワーMOSFETの耐圧(pn接合部の耐圧)を越えると、素子耐圧でクランプされ、耐圧を越えた電圧分のエネルギーがアバランシェ電流となり流れます。

## パワーMOSFETアバランシェ破壊メカニズム



アバランシェ電流は、pn接合部の電界の厳しい箇所に集中して流れます。

電界の厳しい箇所は、pn接合部のコーナー部分であり、左図の様なアバランシェ電流が流れます。このアバランシェ電流が流れる事により、MOSFET内部の寄生npntランジスタのベースがバイアスされます。

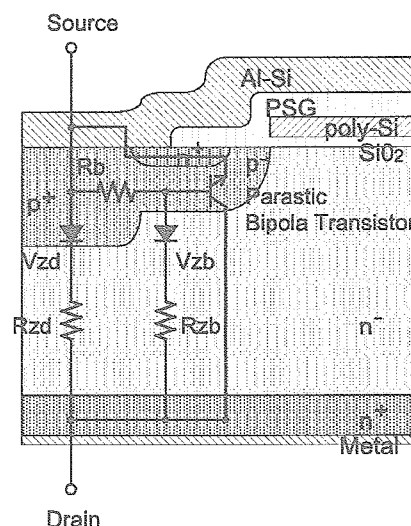
寄生npntランジスタのベースがバイアスされ、寄生npntランジスタにアバランシェ電流が流れ始めると、寄生npntランジスタ部の温度が上昇し、ベース抵抗Rbの抵抗値が高くなるため、更にnpntランジスタがバイアスされる事になります。

この現象が数ns以下の短い時間に繰り返され、最終的に熱暴走し破壊に至る現象がアバランシェ破壊です。

## アバランシェ破壊耐量向上技術(1)

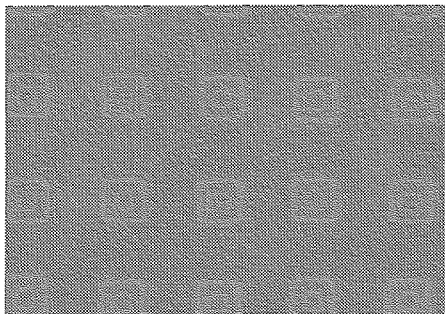
パワーMOSFETのアバランシェ破壊耐量を向上させる為には、寄生npntランジスタの動作を抑制する必要があります。そのためにアバランシェ保証型パワーMOSFETでは基本的に以下のような設計を行っています。

1. 寄生npntランジスタベース抵抗Rbの低抵抗化  
ベース抵抗領域のp濃度を高くする  
ベース抵抗領域の拡散深さを深くする  
ベース抵抗領域の横方向長さを短くする
2. 電界集中箇所の最適化  
チャネルp拡散より更に深いp拡散(p-well)を形成

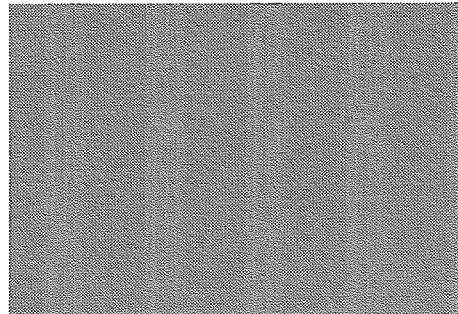
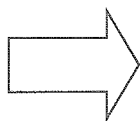


## アバランシェ破壊耐量向上技術(2)

3. 電界集中の緩和  
コーナー部曲率の緩和→多角形セル。ストライプセルpn接合部形状の球形化
4. アバランシェダイオード部の低抵抗化  
p-well面積の拡大



従来のセル形状



FAP-II S, SuperFAP-Gシリーズの  
ストライプセル(Meshed-Base)

## アバランシェ耐量保証(スクリーニング)

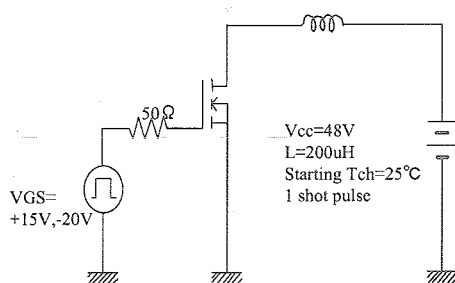
設計的にアバランシェ耐量を向上させる技術は前述の通りであるが、Si基板中の結晶欠陥や、プロセス中の欠陥によりアバランシェ電流が集中する箇所が生じます。  
そのためアバランシェ耐量を保証している全製品についてアバランシェ耐量のスクリーニングを実施しております。

ーアバランシェスクリーニング条件(例)ー

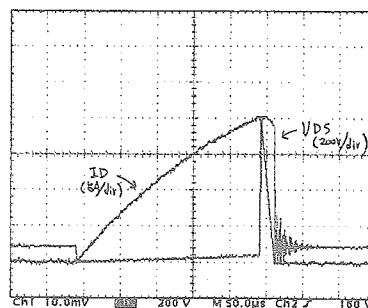
2SK3555-01MR (250V/0.1Ω/37A) :  $V_{cc}=48V$ ,  $V_{GS}=-20V/+15V$ ,  $L=200\mu H$ ,  $IDP=46.5A$

2SK3773-01MR (300V/0.13Ω/32A) :  $V_{cc}=100V$ ,  $V_{GS}=-20V/+15V$ ,  $L=100\mu H$ ,  $IDP=49.0A$

スクリーニング回路 (例)



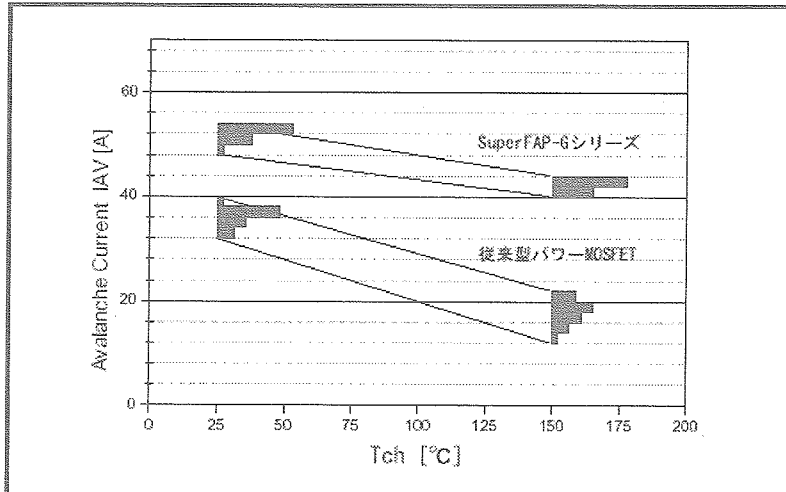
スクリーニング波形



## アバランシェ破壊耐量比較

アバランシェ耐量については、従来は非繰り返しのアバランシェ耐量保証でありましたが、新シリーズである高耐圧 Super FAP-Gシリーズでは、アバランシェ耐量の温度依存性の改善を図り、非繰り返し、繰り返しアバランシェ耐量を保証しています。  
中耐圧（100V～250V）の Super FAP-Gシリーズについては従来通りの非繰り返しアバランシェ耐量保証となっています。

アバランシェ耐量の温度依存性改善



## アバランシェ時の使用可否の判断

### 1. アバランシェ電流[IAV]値が保証内である事

アバランシェ動作時のアバランシェ電流値が保証グラフに示すアバランシェ電流の温度ディレーティング値以下である事。

### 2. チャネル温度が保証内である事

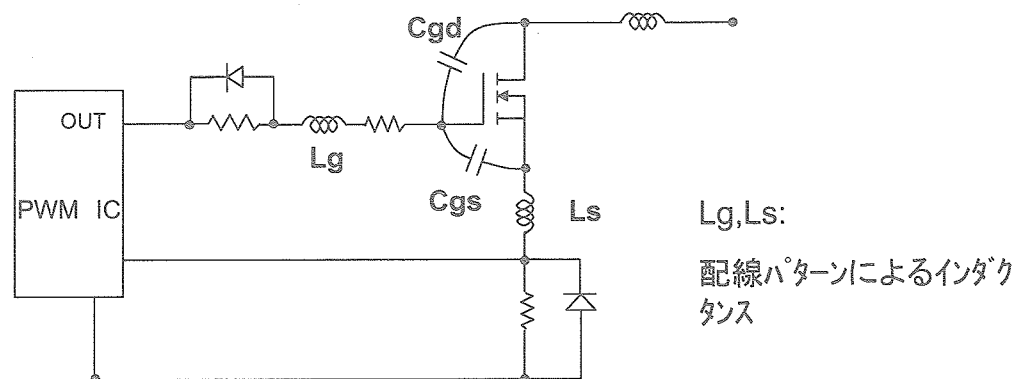
アバランシェ動作波形より、損失計算を行い最大チャネル温度を算出し、その値が最大許容チャネル温度以下である事。

アバランシェ動作時において、上記2項全ての上限値を絶対超えてはならない。！！

## ゲートドライブ回路の設計

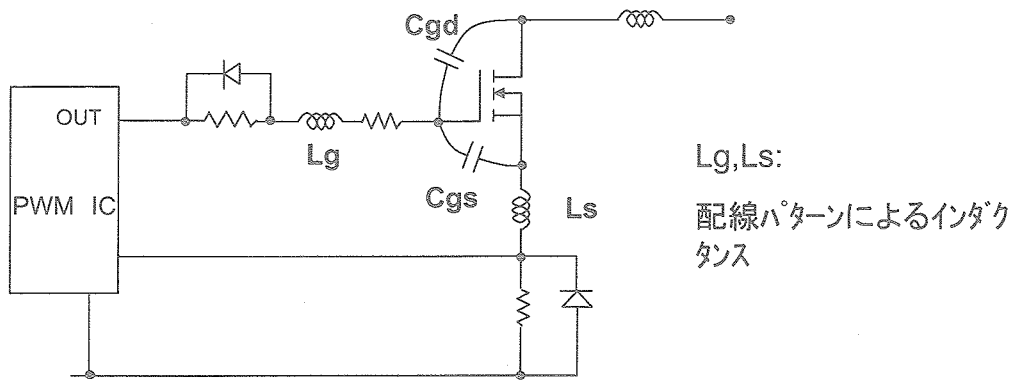
MOSFETを駆動する場合、その方法によりMOSFETの性能を十分引き出せないばかりか破壊してしまうことがあります。MOSFETのターンオフ損失の低減方法でのメリット、デメリット、並列接続時の寄生発振(振動)の抑制方法等ゲートドライブ回路の設計は重要です。

### MOSFET のドライブ回路例



従来のMOSFETは、スイッチングスピードが遅いため、スイッチング損失を低減するために、ゲート抵抗を小さくし、ターンオフ時は、ダイオードでバイパスしてターンオフスピードを上げて損失低減する構成がメインとなっています。

## SuperFAPGを適用した場合

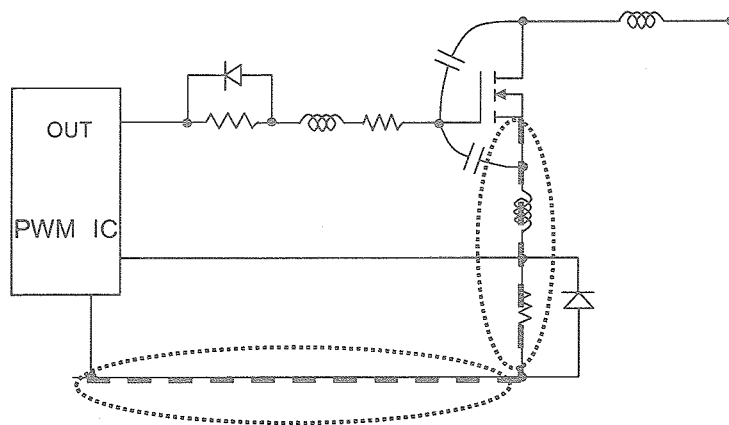


ゲート容量が小さいMOSFETは、回路パターンのインダクタンスや容量成分に注意しないと発振する場合があります。

$$Q = \sqrt{\frac{L}{C}} / R$$

$$f = 1 / 2\pi\sqrt{LC}$$

## ゲート発振現象の抑制: ソース配線の改善

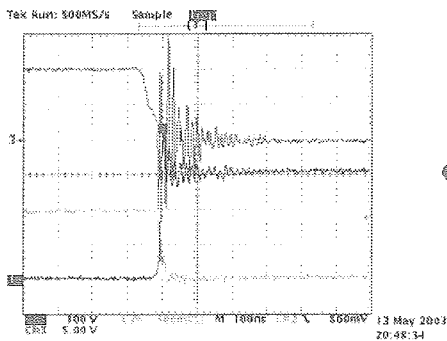


ソース配線の長さ(パターン)を極力短くする(太くする)  
事によるインダクタンスの低減を図ります。

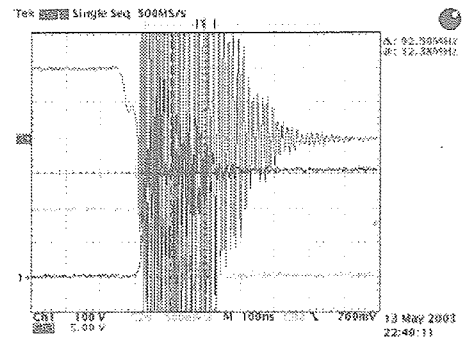
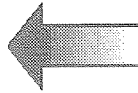


## ゲート発振波形改善の例 - 1

### ソース配線長を短くすることによる発振の抑制例



ソース配線長 : 10mm

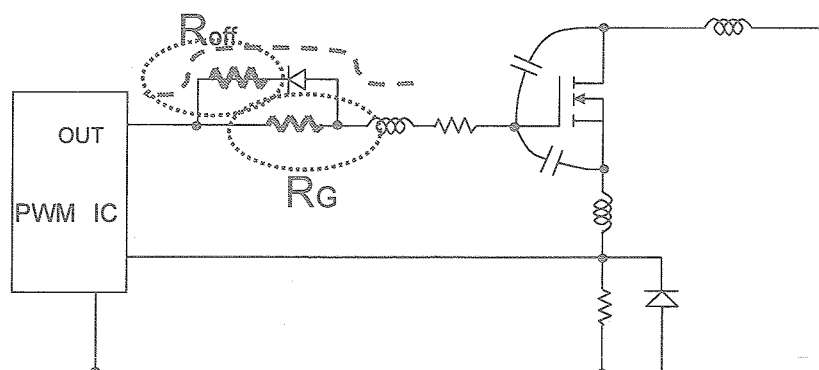


ソース配線長 : 30mm

実験回路にて実施

## ゲート発振現象の抑制: ゲート抵抗 $R_G$ の改善

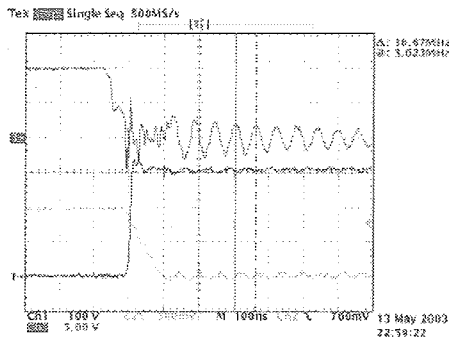
### ゲート抵抗 $R_G$ の変更(スイッチングスピードを遅く)例



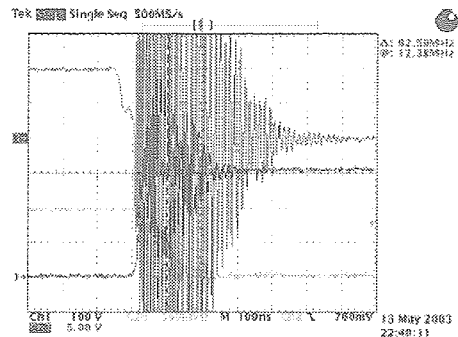
Turn-off  $R_{off}$  : 10 から 30  $\Omega$  程度のゲート抵抗を追加  
Turn-on  $R_G$  : ゲート抵抗を大きく

## ゲート発振波形改善の例 -2

### ゲート抵抗 $R_g$ の変更(スイッチングスピードを遅く)例



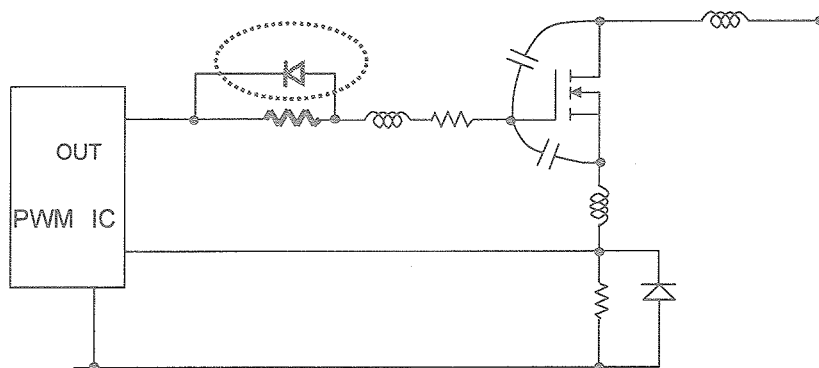
$R_g$  :オリジナルの5倍にアップ



$R_g$  :オリジナル

(ソース配線長 :30mmの場合)

### ターンオフ用スピードアップダイオードを取り除く



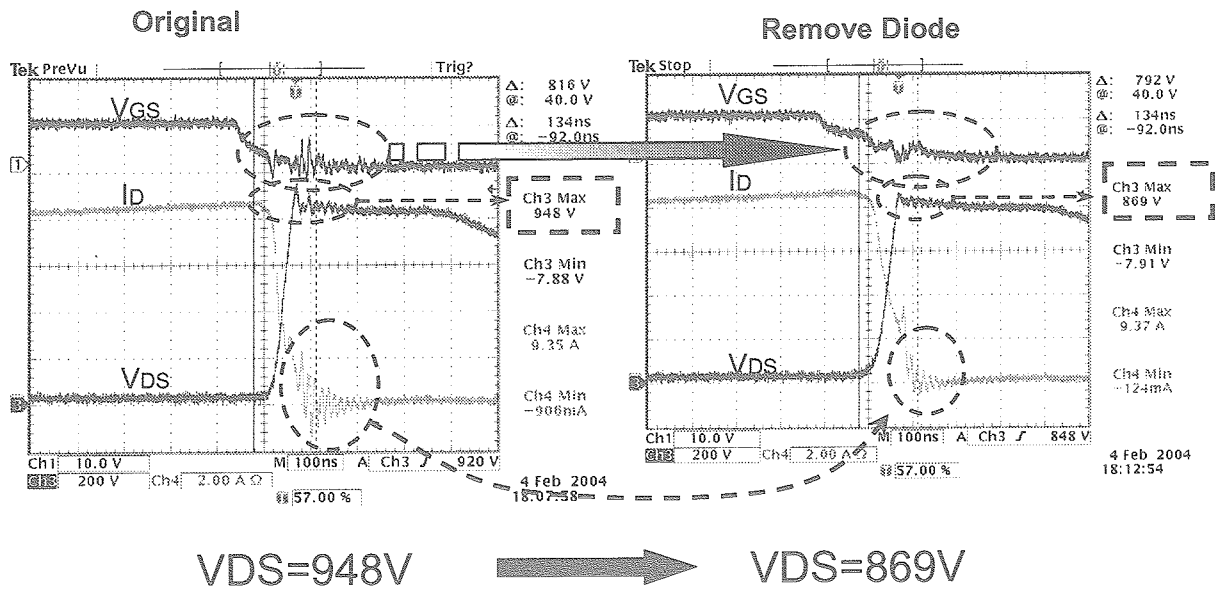
を取り除く：ターンオフスピードを遅くする

配線パターンを変えず従来のMOSFETから

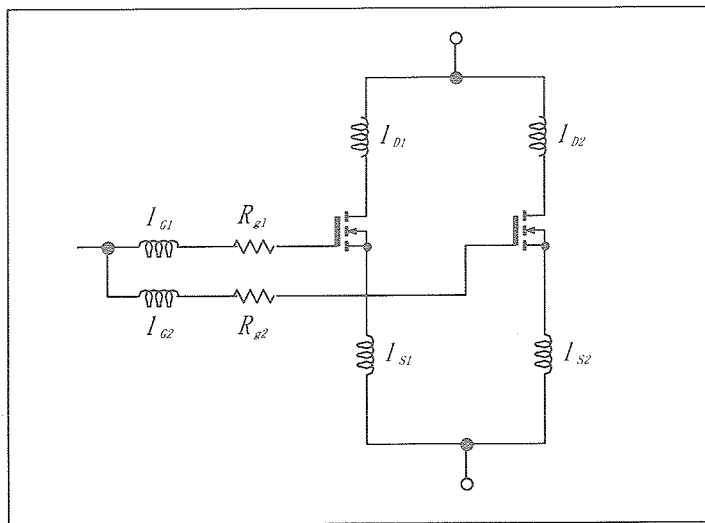
高速タイプのSuperFAPG等に切り替える場合、スピードアップのダイオードを取り除き、ターンオフスピードを調整する事で対策します

## ターンオフ用ダイオードを除去した場合の効果

## ターンオフ波形

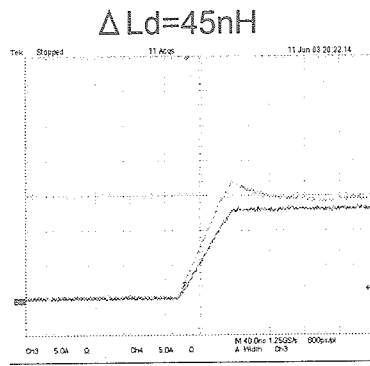
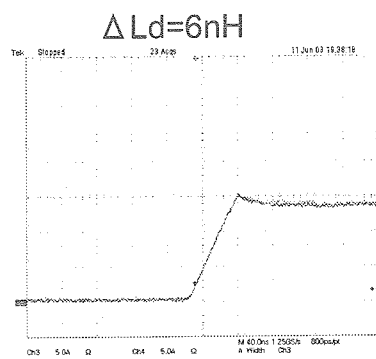


## 並列接続時の回路配線インダクタンスと電流バランスについて



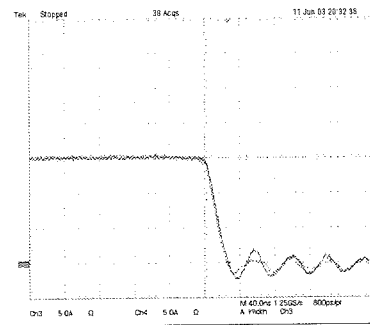
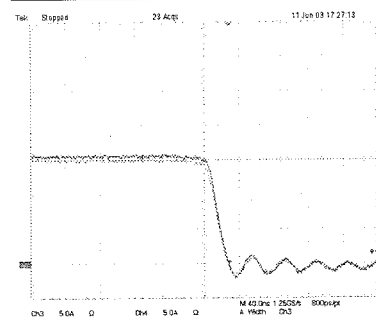
## 主回路ドレイン電極側配線インダクタンスに差がある場合

Turn-on  
電流バランス



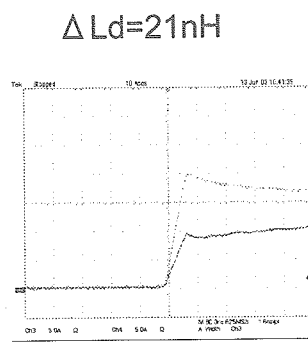
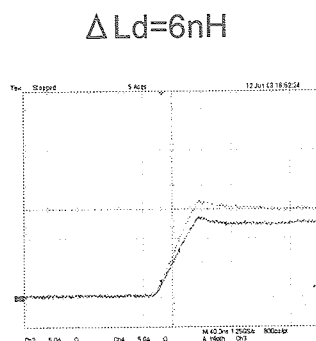
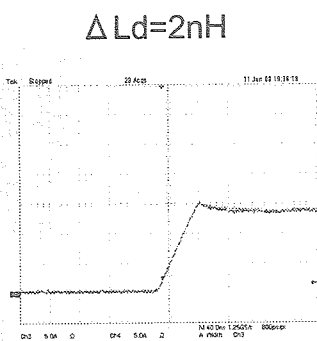
バランス時  
と比較して  
約±10%の  
バラツキが  
発生

Turn-off  
電流バランス

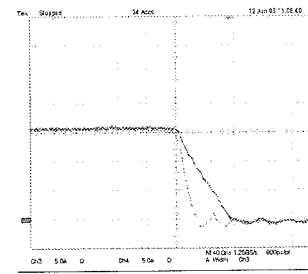
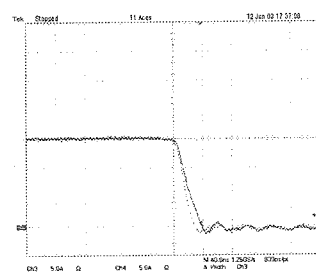
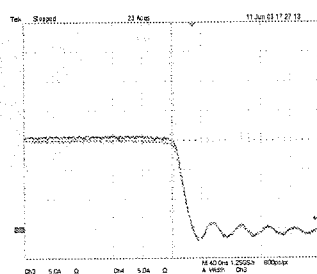


## 主回路ソース電極側配線インダクタンスに差がある場合

Turn-on  
電流バランス



Turn-off  
電流バランス



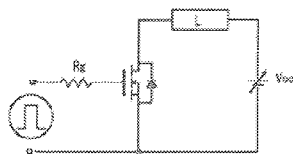
バランス時と比較して約±33%のバラツキが発生

## MOSFET破壊モードと破壊痕跡

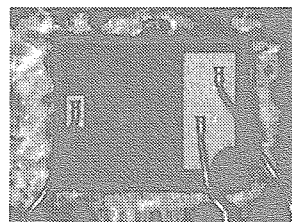
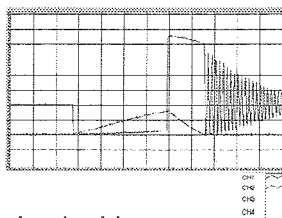
MOSFETの破壊痕跡から、破壊原因を想定する場合、使用条件や破壊直前の動作状況等と弊社再現実験結果を踏まえ想定しております。従って、破壊痕跡位置や大きさを基に電流破壊か、電圧破壊か等を想定してご報告しております。

### 再現実験-1

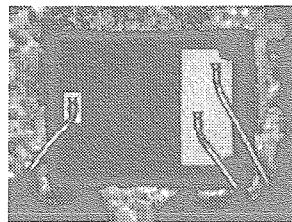
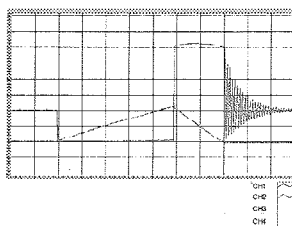
#### L負荷試験



L=100uH



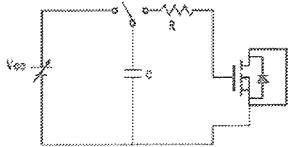
L=1mH



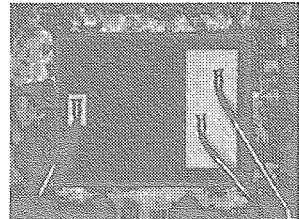
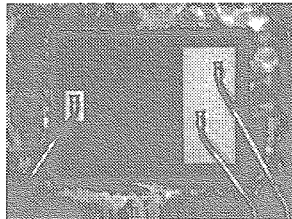
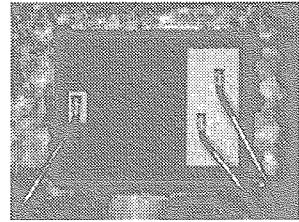
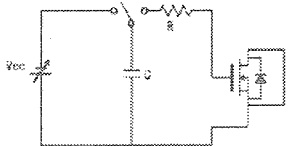
破壊痕跡は、チップ周辺部もしくはランダム

## 再現実験-2

ESD (+)側



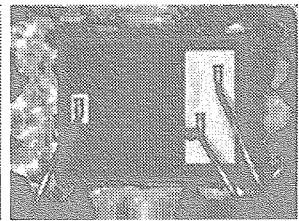
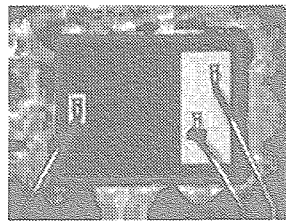
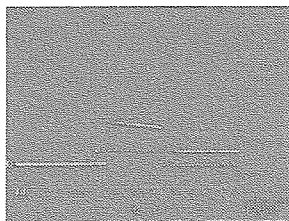
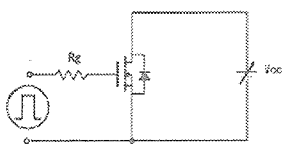
ESD (-)側



破壊痕跡は、観測されない(ゲート電極の下)

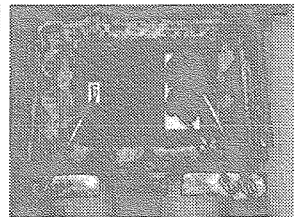
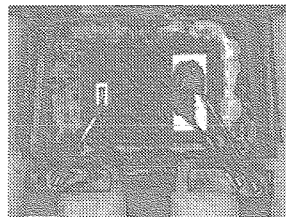
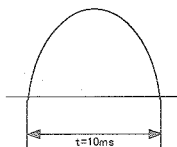
## 再現実験-3

負荷短絡

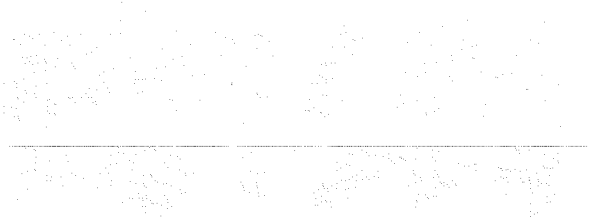
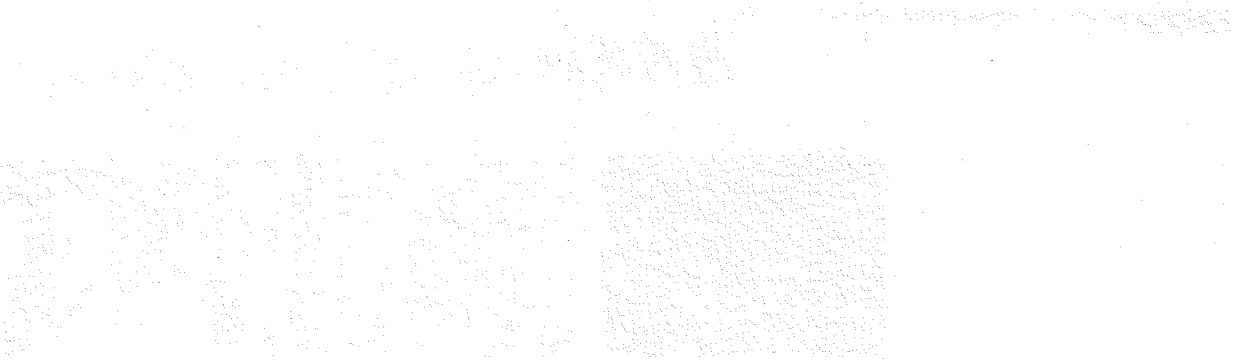


破壊痕跡は、ソース電極直下

順サージ電流破壊(10ms 1回)



破壊痕跡は、ソース電極直下(モールドクラックの観測あり)



\*\*\*\*\*

## 「個別半導体（ダイオード、トランジスタ）の適正な扱い方」

### 質問書に対する回答集

\*\*\*\*\*

回答者：桐畑 文明 講師

富士電機デバイステクノロジー株式会社

\*\*\*\*\*

Q 1. 宇宙用電子部品は、高効率・高信頼性を両立しなくてはなりません。これに応えるために、特にMOSFETについて、これからもSiベースで開発を進めるのか、あるいはSiと併行して新しい素材（SiCやGaN）の応用を他社に先駆けて実行なさるのか教えてください。また、もし次世代半導体素子をお考えであればその登場はいつ頃になりそうですか。

A 1.

- ・ Siをベースとして開発を進めます。
- ・ 新材料半導体はパワーを取り扱える点で興味がありますが、現在はまだ基礎検討の段階です。
- ・ パワーMOSFETの最新の技術は、文献を添付（添付1,2）しますので参照下さい。オン抵抗がSi限界に近いSuper FAP-Gは現在量産中です。Si限界を超えるSuper Junction MOSFETは開発中です。

\*\*\*\*\*









# 宇宙用ハイブリッドICについて

---

## 目 次

1. ハイブリッドICの構造
2. ハイブリッドICの工程フロー
3. ハイブリッドICの概略工法
4. ハイブリッドICのスクリーニング
5. ハイブリッドICの品質確認試験
6. ハイブリッドICの故障解析の重要性
7. 宇宙用ハイブリッドICの主要緒言
8. 宇宙用ハイブリッドICの取扱上の注意

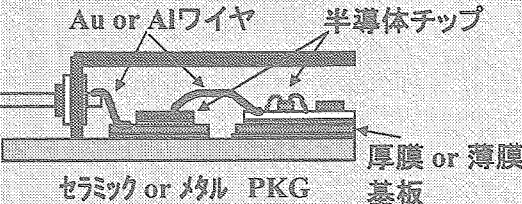
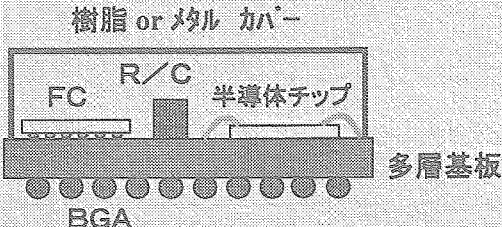
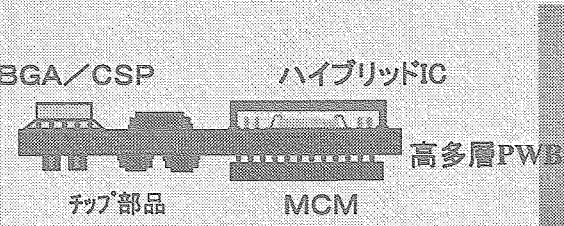
# ハイブリッドICとは

## Hybrid IC (H-IC): 混成集積回路

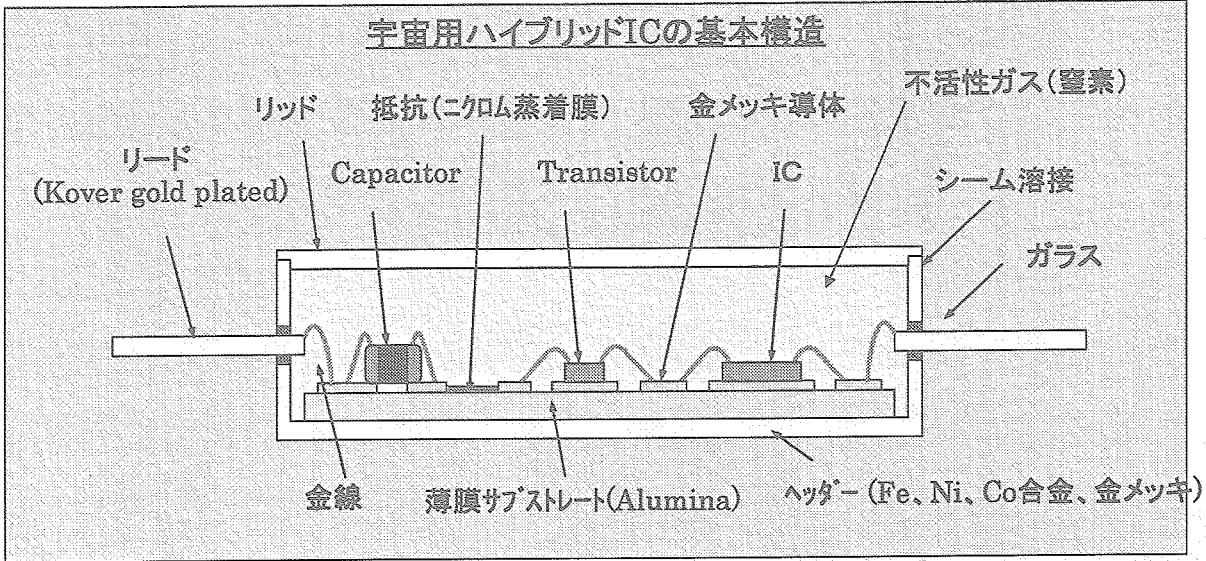
複数の能動素子と受動素子および配線機能を1デバイス化した電子回路モジュール。

当初は軍用宇宙用、コンピュータ等の機能部品として、1960年代に実用化され、IC化で一時的低迷状態にあったが、80年ごろより民生分野で、LSI実装補完機能として、高密度樹脂基板の利用による手法と併せ、急成長している。 ➡ 高機能化; MCM

## Avioのエレクトロニクス・マイクロモジュール (HD with HRのターゲット)

デバイス構造	
<b>ハイブリッドIC</b> (回路形成したセラミック基板上に複数の半導体チップを実装、配線し、多機能、高信頼性を実現)	 <p>Au or Alワイヤ 半導体チップ 厚膜 or 薄膜基板 セラミック or メタル PKG</p>
<b>マルチチップモジュール (MCM等)</b> (フリップチップ実装及びSMT等を実装して高機能、高信頼性を最小サイズに実現)	 <p>樹脂 or メタル カバー FC R/C 半導体チップ 多層基板 BGA</p>
<b>高密度カードモジュール</b> (MCM、ハイブリッドIC、SMT及び高密度プリント板等の高密度実装技術を実装して、システムを最小カードに実現)	 <p>BGA/CSP ハイブリッドIC チップ部品 MCM 高多層PWB</p>

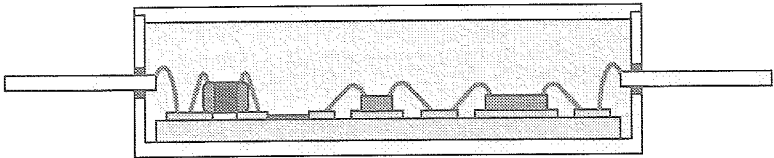
# 宇宙用ハイブリッドICの構造



**薄膜サブストレートの仕様**

- ・最小導体幅／間隔:  $50\mu\text{m}$  (通常  $100\mu\text{m}$ )
- ・抵抗温度係数 :  $50\text{ppm}/^\circ\text{C}$  以下

## 宇宙用ハイブリッドICの例



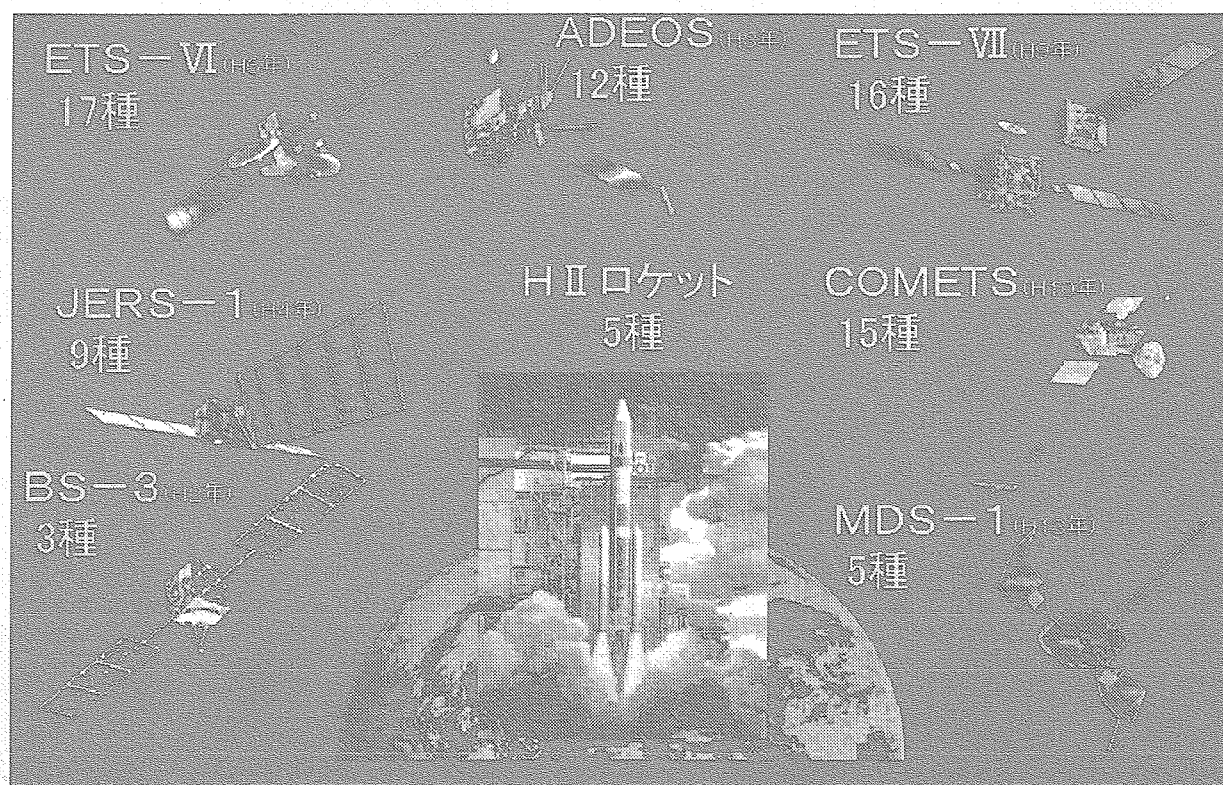
PKGサイズ: 2インチ×2インチ

**実装部品**

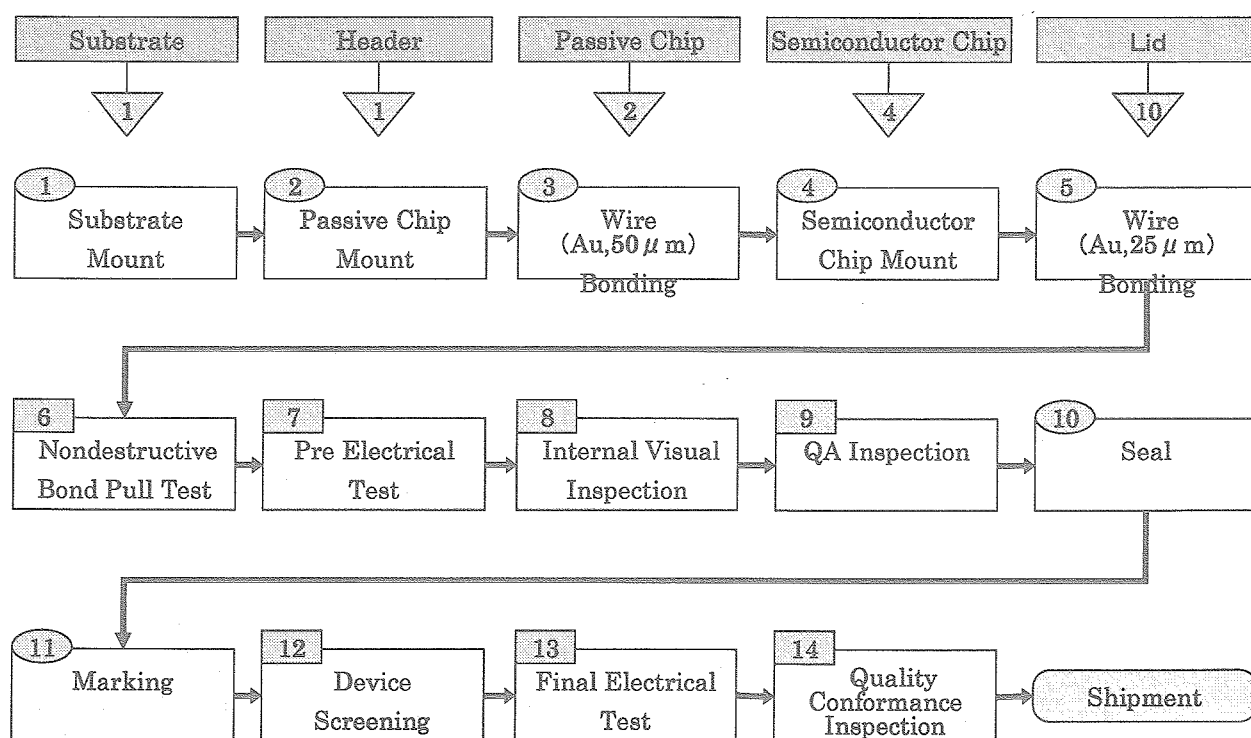
IC	;	22個
Tr	;	8個
Di	;	114個
抵抗	;	88個
リードピッチ	;	1.27mm
リード本数	;	120本
金線本数	;	430本 ( $25\mu\text{m}$ )
		95本 ( $50\mu\text{m}$ )

# ハイブリッドICの実績

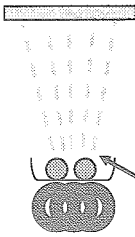
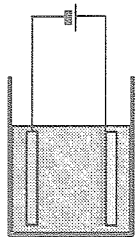
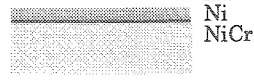
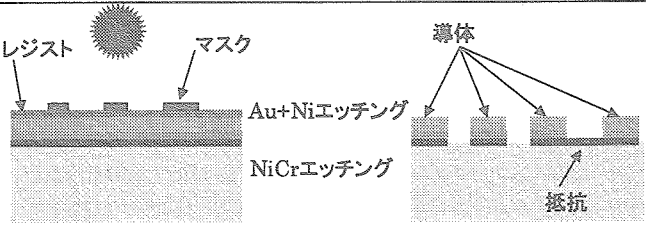
人工衛星, ロケット搭載



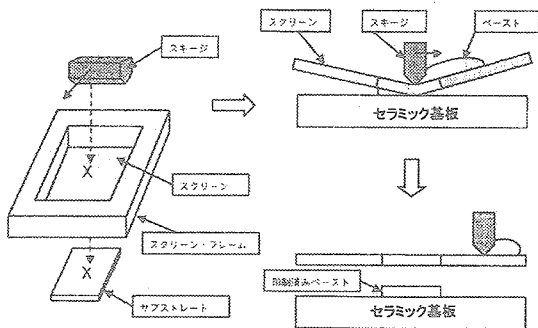
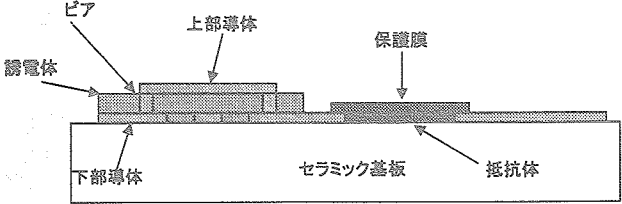
## 宇宙用ハイブリッドICの工程フロー



宇宙用ハイブリッドICの概略工法 1

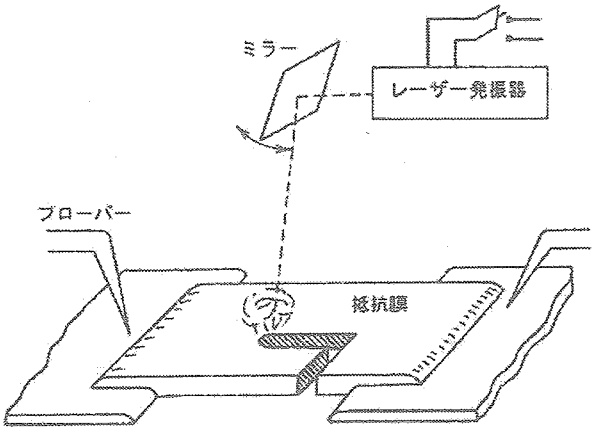
薄膜サブストレート加工工程 (パターン精度、抵抗精度が高い)		
工程	内容	概略工法
蒸着  メッキ	真空蒸着法 抵抗体 ;ニクロム 導体下地;ニッケル+金  電解メッキ 導体 ; 金	アルミナ基板  加熱 NiCr or Ni or Au  金メッキ用 電解液  ミラー基板構造
エッチング	化学エッチング法 導体及び抵抗体の エッチングによる 回路形成	 レジスト マスク Au+Niエッチング NiCrエッチング 導体 抵抗

宇宙用ハイブリッドICの概略工法 2

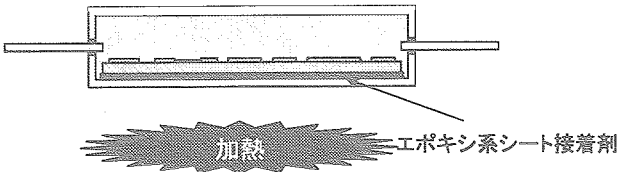
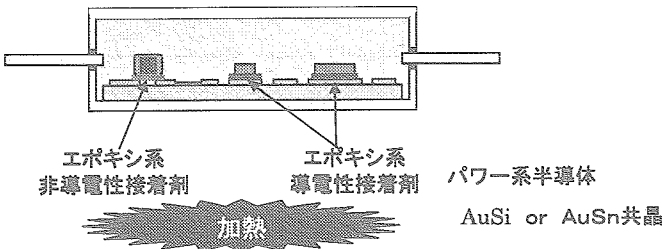
厚膜サブストレート加工工程 (多層化が比較的容易、安価)		
工程	内容	概略工法
印刷	スクリーン印刷法 メッシュ状のスクリーンマスク使用 各種ペースト毎に印刷 導体、抵抗体、保護膜、誘電体	 スクリーン スクイージ ペースト セラミック基板 スクリーン スクリーン・フレーム サブストレート 印刷済みペースト セラミック基板
焼成	900℃前後の焼成炉(ベルト炉) 印刷済みペーストを焼成	 ビア 上部導体 保護膜 セラミック基板 抵抗体 下部導体 誘電体



# 宇宙用ハイブリッドICの概略工法 3

トリミング工程		
工程	内容	概略工法
	抵抗値の微調整 レーザー光線による抵抗カット 電流の流れる幅、長さを調整	<p>厚膜サブストレートの例</p> 

# 宇宙用ハイブリッドICの概略工法 4

マウント工程		
工程	内容	概略工法
マウント	サブストレートマウント ヘッダー上にサブストレートを 接着	
	部品マウント サブストレート上に部品 (受動及び能動素子)を 接着	

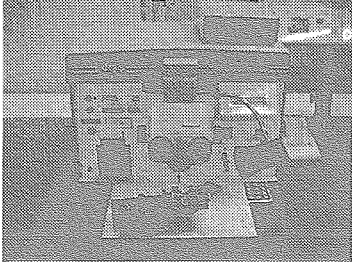
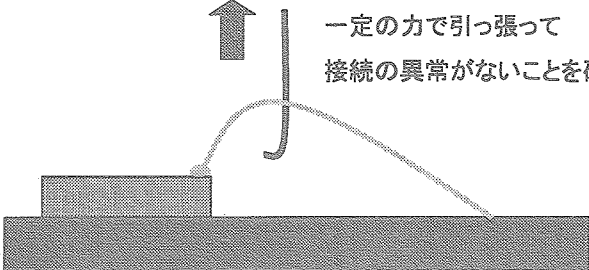
# 宇宙用ハイブリッドICの概略工法 5

ボンディング工程		
工程	内容	概略工法
ボンディング	<p>端子間を金線又はアルミ線にて接続</p> <p><b>金線</b> 方式: ボールボンディング 太さ: <math>\Phi 25 \mu\text{m}</math>、<math>50 \mu\text{m}</math> メリット: 作業性良好</p> <p><b>アルミ線</b> 方式: ウエッジボンディング 太さ: <math>\Phi 25 \sim 300 \mu\text{m}</math> メリット: 大電流対応 モノメタル化</p>	<p>金線ボールボンディングの例</p> <p>ボンディングツール Au Al 半導体 ボール側 ステッチ側 超音波振動 加圧 加熱 上部より見たステッチ形状</p>

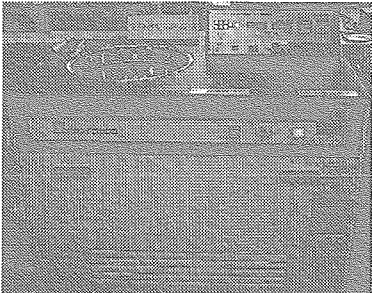
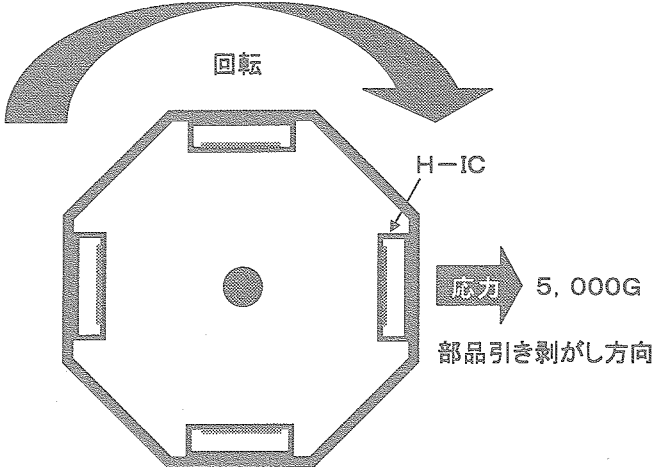
# 宇宙用ハイブリッドICの概略工法 6

封止工程		
工程	内容	概略工法
シール	<p>パラレルシーム溶接 雰囲気: 不活性ガス (<math>\text{N}_2 + \text{He}</math>)</p>	<p>ローラ電極 溶接電流 蓋 セラミック シーリングフレーム 移動テーブル</p> <p>P-Ni溶融部 電極テーパ角 Niメッキ Auメッキ ファイレット 蓋 セラミック シーリングフレーム メッキ層</p>

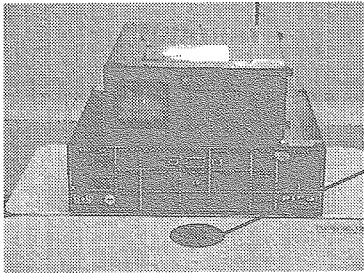
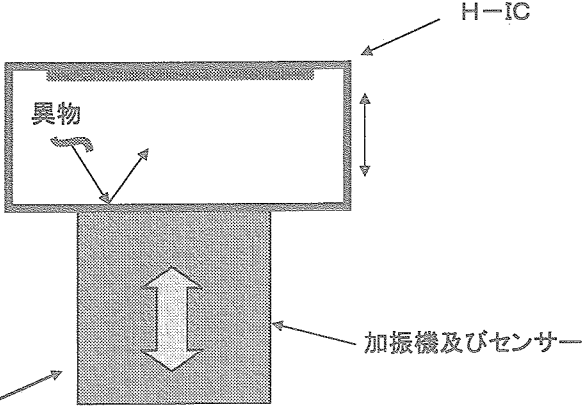
# 宇宙用ハイブリッドICの概略工法

ステップ 1 エンタ		
工程	内容	概略工法
ボンディング強度試験	金線及びアルミ線の 引っ張り強度試験  	 <p>一定の力で引っ張って 接続の異常がないことを確認</p>

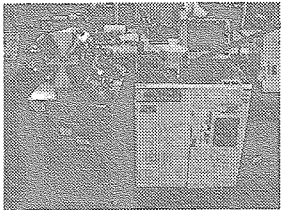
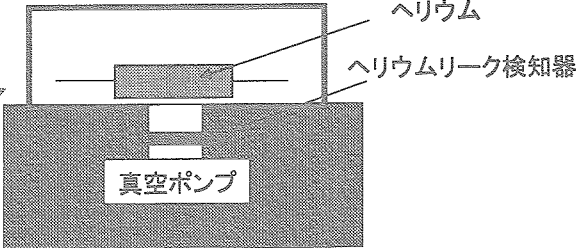
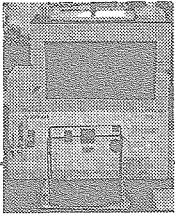
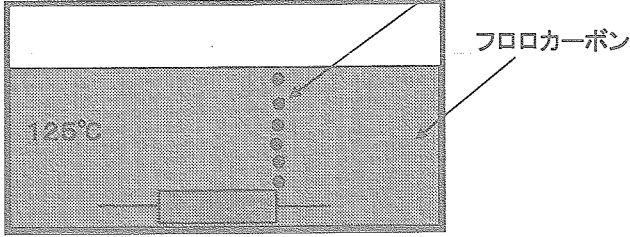
# 宇宙用ハイブリッドICの概略工法

ステップ 2 エンタ		
工程	内容	概略工法
定加速度試験	一定加速度を印加し、 実装部品(基板・C・R・半導体) の接続状態を確認  	 <p>回転</p> <p>H-IC</p> <p>応力 5,000G</p> <p>部品引き剥がし方向</p> <p>遠心脱水機の原理</p>

# 宇宙用ハイブリッドICの概略工法

スクリーンング		
工程	内容	概略工法
微粒子衝突雑音試験	<p>内部浮遊異物確認 (PIND)</p> <p>H-ICに衝撃を与えた後に振動させることにより、異物がリッド面に衝突する振動を検出</p> 	

# 宇宙用ハイブリッドICの概略工法

スクリーニング		
工程	内容	概略工法
気密性試験	<p>1) ファインリーク ヘリウム気密性試験 <math>5 \times 10^{-8} \text{ atm cc/s He}</math></p> 	
	<p>2) グロスリーク 気泡による気密性試験</p> 	

# スクリーニング項目

項 目	NASDA-QTS-		MIL-PRF-38534	
	1025	1035	Class K	Class H
非破壊ボンドプルテスト	100%	N/A	100%	N/A
内部目視検査	100%	100%	100%	100%
温度サイクル試験	100%	100%	100%	100%
定加速度試験	100%	100%	100%	100%
PIND(微粒子衝突雑音試験)	100%	100%	100%	N/A
バーニン前電気試験	100%	100%	100%	オプション
バーニン	100%	100%	100%	100%
最終電気試験	100%	100%	100%	100%
気密性試験(ファイン&グロス)	100%	100%	100%	100%
X線検査	100%	N/A	100%	N/A
外観目視検査	100%	100%	100%	100%

# 購入部材管理

## 半導体チップロット評価試験

項 目	NASDA-QTS-		MIL-PRF-38534	
	1025	1035	Class K	Class H
DC パラメータ	100%	100%	100%	100%
目視検査	100%	100%	100%	100%
SEM 検査	4	4	4	N/A
外形寸法検査	3	3	N/A	N/A
ボンド強度試験	LTPD15	LTPD15	10	10
ダイ剥離試験	3	3	N/A	N/A
グラシベーション層評価	1	N/A	N/A	N/A
安定化ベーク	LTPD10	LTPD10*1	10	10
温度サイクル試験	LTPD10	LTPD10*1	10	10
電氣的パラメータ試験	LTPD10	LTPD10*1	10	10
高温逆バイアス寿命試験	LTPD10	LTPD10*1	10	10
電氣的パラメータ試験	LTPD10	LTPD10*1	10	10
定常動作寿命	LTPD10	LTPD10*1	10	10
電氣的パラメータ試験	LTPD10	LTPD10*1	10	10
耐放射線性試験	5	N/A	10	N/A
静電破壊試験	3	N/A	N/A	N/A

\*1 初回又は変更時のみ実施

# 工程内品質管理活動

・作業者認定

重要工程(21工程)を定め、作業者を認定

年1回 技量及び筆記試験を実施⇒技能維持

・作業管理

作業中に管理サンプル作成⇒作業品質の維持

(例;ボンディング 4H毎 ボンド強度測定)

・統計処理的データ管理

バーンイン前後のΔ値管理

電気的特性の3σ管理

## 品質確認試験

グループA試験(電気的パラメータ試験)

項 目	NASDA-QTS-		MIL-PRF-38534	
	1025	1035	Class K	Class H
電気的パラメータ試験	LTPD 5、7	N/A	116	116

グループB試験

項 目	NASDA-QTS-		MIL-PRF-38534	
	1025	1035	Class K	Class H
外形寸法	3	3	2	2
内部水蒸気量検査	3	3	3	3
耐溶剤性試験	1	N/A	3	3
内部目視及び機械的検査	2	2	1	1
ボンド強度試験	LTPD15	LTPD15	2	2
ダイ剥離試験	3	3	2	2
半田付け性試験	LTPD15	LTPD15	1	1
リード強度試験	3	3	1	1
気密性試験	3	3	15	15

# 品質確認試験

## グループC試験

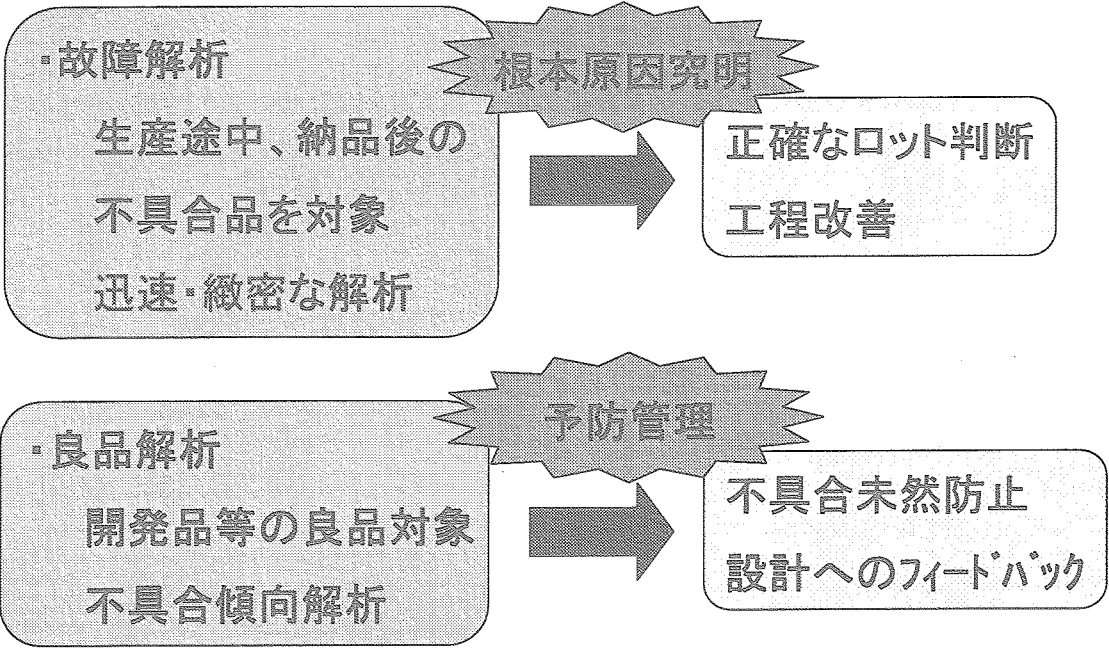
項 目	NASDA-QTS-		MIL-PRF-38534	
	1025	1035	Class K	Class H
定常寿命試験	LTPD15	5	5	5
終止点電気的特性	LTPD15	5	5	5
温度サイクル試験	5	5	5	5
定加速度試験又は衝撃試験	5	5	5	5
ボンド強度試験	5	5	5	5
気密性試験	5	5	5	5
終止点電気的特性	5	5	5	5
静電破壊試験	N/A	N/A	3	3

# 品質確認試験

## グループD試験

項 目	NASDA-QTS-		MIL-PRF-38534	
	1025	1035	Class K	Class H
熱衝撃試験	5	5	5	5
温度サイクル試験	5	5	5	5
耐湿性試験	5	5	5	5
気密性試験	5	5	5	5
終止点電気的パラメータ試験	5	5	5	5
衝撃試験	5	5	5	5
振動試験	5	5	5	5
粒子衝突雑音試験(PIND)	5	5	5	5
気密性試験	5	5	5	5
終止点電気的パラメータ試験	5	5	3	3
塩気試験	5	N/A	N/A	N/A

# 故障解析・良品解析の重要性



## 社内保有解析・分析設備

熱解析設備	メーカー	型名	備考
サーマルビデオシステム	Avio	TVS-3400	

信頼性評価設備	メーカー	型名	備考
温度サイクル槽	RANSCO	7103-1EX	MIL-STD-883
高温高湿槽	TABAI	PL-2G	
定加速度試験機	Bokusui Brown	CA-833	
振子式衝撃試験機	吉田精機	PST-300B	
衝撃試験機	IMV	VS-3000-25	
熱衝撃試験機	ETAC	LTS-2	
SEM	TOPCON	ISI-100A	
X線検査装置	SOFTEX	PRO-TEST-100	
クロスセクションセット			
樹脂剥離セット			



# 外部機関の評価設備活用

## 外部機関の

各種計測機器類を有効活用

- ・物性試験, 分析試験
- ・電子計測, 寸法形状測定
- ・環境試験, 非破壊試験

## 主な利用機器

装置名	型名	メーカー名	利用目的
CNC3次元座標測定機	UPMC550CARAT	カールツァイス	寸法測定
X線CTスキャンシステム	SMX-225CT-SV特注	島津製作所	形状測定 (BGA接続)
万能材料試験機	UH-F1000kNA	島津製作所	材料強度測定
フーリエ変換赤外分光光度計	Magna750F	ニコレージャパン	材料 (有機) 分析
ガスクロマトグラフ質量分析計	Saturn2000GC/MS	パリアンテクノロジー	材料 (有機) 分析
低真空走査型電子顕微鏡	S-3500N	日立ハイテクノロジー	表面分析 (元素分析)
熱衝撃試験機	TSV-40ht	エスベック	環境試験
振動試験機	F-2500BDH	エミック	環境試験

## 宇宙用ハイブリッドICの主要緒言

- ・パッケージサイズ: 1インチ×1インチ～2インチ×2インチ
- ・動作温度範囲:  $T_c = -55^{\circ}\text{C} \sim +125^{\circ}\text{C}$   
(回路構成により変動)
- ・絶対最大定格: 回路構成により決定
- ・消費電力 : 1W/in<sup>2</sup>  
薄膜抵抗: 930mW/mm<sup>2</sup>  
厚膜抵抗: 77mW/mm<sup>2</sup> (低抵抗)  
39mW/mm<sup>2</sup> (高抵抗)
- ・抵抗値精度 (抵抗値は自由に設定可)  
薄膜:  $\pm 0.1\%$ 、50ppm/°C以下 (150Ω/□: 低抵抗有利)  
厚膜:  $\pm 1.0\%$ 、100ppm/°C以下
- ・最小導体間隔  
薄膜: 50μm  
厚膜: 200μm (高多層化が比較的容易)

## 取扱上の注意事項

- ・リードのストレスリリース

- リードとヘッダー間にガラスビーズを使用

- リードへのストレスに弱い

- ガルウイング等のリード成型必要

- ・その他は一般の半導体の取扱と同等で可

- ・電氣的取扱は個別仕様により決定

---



\*\*\*\*\*

## 「集積回路及びH-ICの適正な扱い方」質問書に対する回答集

\*\*\*\*\*

回答者：福島アビオニクス(株) 金子政義

\*\*\*\*\*

Q 1. デバイス構造 (P. 4) における略語をご説明ください。

①FC ②BGA ③CSP ④PWB

A 1.

①FC: Flip Chip

フリップチップ (Flip Chip) 実装のことで、何らかの形状の bumps を使用し、チップと配線板  
或いはチップそのものの相互接続を行う方法。通常は微小なはんだボールを bumps として使用  
するが、近年では金 bumps も使用されている。ワイヤボンディングと比較して、小型化及び高周  
波特性に優れた実装を実現できる。接続方法については、当日の第3部で発表しているので参照  
願います。

②BGA: Ball Grid Array

半導体 IC のパッケージ構造の略号で、接続端子となるはんだボールがアレイ状の面配置となっ  
ているもの。近年 IC の高集積化が進み、入出力端子が増加したため、パッケージ裏面に多数の  
端子を格子状 (on Grid) につける構造が考案され、製品化 (CPU など) されているが、それ  
を更に高集積化するために、端子をリードの挿入タイプ (PGA: Pin) から、半田ボール等に変  
更して、表面実装タイプとしたものが BGA (Ball) である。

③CSP: Chip Size Package/Packaging

CSP とは、文字どおり、チップ (ベア・チップ) 単体と同じ大きさを目指した最先端の半導体パッ  
ケージの総称。

以下の NEC のホームページを参照。

[http://www.necel.com/pkg/ja/pk02\\_04.html](http://www.necel.com/pkg/ja/pk02_04.html)

④PWB: Printed Wiring Board

世界的に統一されたプリント配線板の略号。JIS 用語は印刷配線板、以前は PCB: Printed Circuit  
Board と呼称されていたが、化学用語の有害物質 PCB と紛らわしいので、世界的に用語を変更統一  
した。

Q 2. 対放射線性といった特徴はあるものの、民生品との共通化が図られれば、国内供給体制の維持は可  
能でしょうか。

また、そのためには需要が一番問題かと思いますが、それ以外で国内供給を維持する為に必要な要  
素 (もの? 人? 技術?) は何でしょうか。

A 2.

当社の宇宙用ハイブリッド IC は、顧客ニーズを元にベアチップ半導体 (海外に依存) 等を複数使用  
して、高信頼性・高機能を最小サイズで実現しているものである。よって、一般の個別部品とは製  
品環境の相違が若干ありますが、一般論として以下に回答します。

民生品との共通化による国内供給体制の維持について

- ・システムにとってクリティカリティの高い部品は困難
- ・クリティカリティの低い部品であれば、条件を満たせば可能

国内供給体制維持における条件

耐放射線性や特殊な環境性能などの技術的項目以外に、考慮しなければいけない課題がいくつかあ  
りますが、一般論としての代表例を以下に示します。(これがすべてと言うことではありません)

- ・1ロット当りの購入数と金額 (数ウェハ単位の購入が求められる)
- ・民生半導体は製品ライフが短い (長くて数年)
- ・部品メーカーにとっては目的外で使用されることになる。(保証不可)
- ・同上のため、部品設計情報の提供や故障解析などを行う義務がない。
- ・不具合発生時の部品供給メーカーのブランド力低下  
(部品メーカーにとっては、保証の有無に係わらず、プレス発表されれば被害甚大)
- ・保証の分担体制 (誰が保証し、その付加価値を得るのか)

\*\*\*\*\*







# 宇宙用高信頼性DC/DCコンバータの開発

## 1. はじめに

近年のロケット・衛星等の宇宙機では、高度なミッション要求に伴い、小型・高効率のDC/DCコンバータの必要性が高まってきている。一方、最近では海外製宇宙用DC/DCコンバータにおいて様々な不具合が発生しており、世界的に信頼性の高いDC/DCコンバータが望まれている。このような状況を鑑みて、宇宙機に搭載することを目的とした、これまでにない宇宙用高信頼性DC/DCコンバータの開発を行うこととした。

## 2. 現状の問題点

現在、DC/DCコンバータに適用されているトランスは従来からある巻線トランスが主流である。信頼性の面からみると、この巻線トランスにはいくつかの問題点が存在する。その代表例としては、巻線トランスからのワイヤとサブストレートの接続部のはんだクラックが挙げられる。昨今、宇宙用DC/DCコンバータにおいて、このはんだ付け部にクラックが入る不具合が報告された<sup>(1)</sup>。写真2-1,2にあるように、矢印の部分にはんだクラックが入っているのが確認できる。これは、ワイヤにストレスリリーフを持たせなかったことが原因とされているが、この事例のようにトランスのワイヤがサブストレートにはんだ付けされる場合、信頼性に著しい影響を与えることとなる。その他にも、巻線トランスには以下に示すように信頼性を低下させる要因が多く存在する。

- ①ワイヤ被覆の傷の管理
- ②トランスの引き出しワイヤのたわみ管理
- ③トランス接着作業の管理
- ④トランスの品質・信頼性管理

したがって、宇宙用高信頼性DC/DCコンバータの実現のためには、これら信頼性を低下させる要因をすべて排除する必要がある。

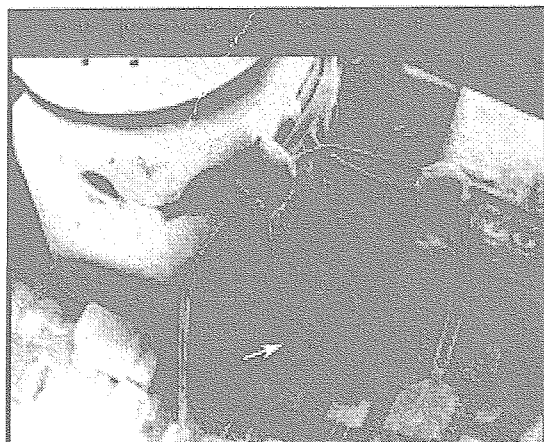


写真 2-1 はんだ付け部のクラック写真 1

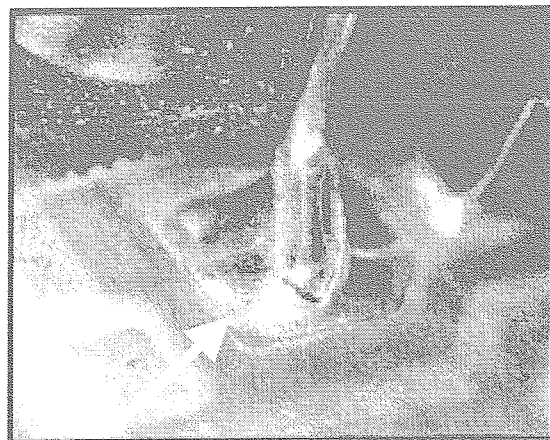


写真 2-2 はんだ付け部のクラック写真 2

## 3. シートトランスの開発

### 3.1. 開発検討

巻線トランスの問題点を解決するために、ワイヤを使用しないトランスの開発を行うこととした。これは、スーパーコンピュータなどで用いられている数十層におよぶ超高多層基板製造技術を用い、トランスのワイヤをプリント配線板のパターンに置き換えることでトランスとして機能させるものでシートトランスと呼ばれている。概略図を図 3.1-1 に示すが、パターン間は貫通スルーホールもしくは層間ビアで接続されている。このシートトランスの利点は、一括積層の同一条件で製造される製品群をロットとみなし、抜取りによるロット保証試験が適用できることにある。これは、高信頼性が要求される宇宙用部品に対しては有効な保証方



法である。また、巻線トランスで問題となる被覆の傷、巻き方のばらつき、はんだ付け部のクラックなども解決でき、トランスの高信頼性化が実現できる。

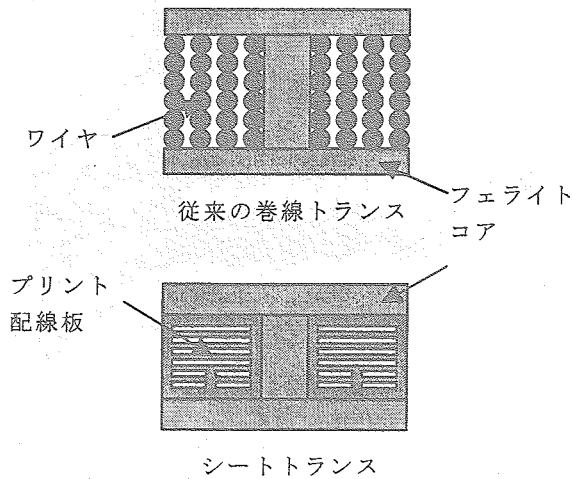


図 3.1-1 シートトランス概略図

本シートトランスを開発するにあたり、プリント配線板の材料について検討を行った。ここでは、表 3.1-1 に示す 3 種類の材料を候補として選定した。このうち、エポキシ樹脂および純性ポリイミド樹脂については、既に宇宙用基板材料として実用化されている。本シートトランスは 20 層を超える超高多層基板を必要とするため、多層形成性が重要なパラメータとなる。さらに、宇宙用 DC/DC コンバータとして求められる保存温度範囲 (-65~150℃) および動作温度範囲 (-55~125℃) を満たさなければならない。これらを考慮して多層形成性がよくガラス転移点が比較的高い変性ポリイミド樹脂を適用した。また多層プリント板の層間の接着および充填用材料であるプリプレグ材については、基板材料と同じ変性ポリイミド多層用プリプレグを選定した。なお、本変性ポリイミド材は、スーパーコンピュータ用など高信頼性が要求される超高多層プリント板に適用した実績がある。

表 3.1-1 プリント配線板材料 主要特性比較

項目	材料		
	エポキシ	純性ポリイミド	変性ポリイミド
ガラス転移温度	120~130℃	220℃	180℃
耐熱性	△	◎	○
多層形成性	◎	○	◎

注 ◎：優れる ○：普通 △：劣る

### 3.2. 試作および評価

3.1 項の開発検討をもとに、シートトランスの試作を行った。試作したシートトランスの写真を写真 3.2-1 に示す。シートトランスは、写真 3.2-1 に示すように巻線パターンを構成するプリント配線板にフェライトコアを組み込むことでトランスとして機能するものである。本シートトランスの層数は 22 層である。

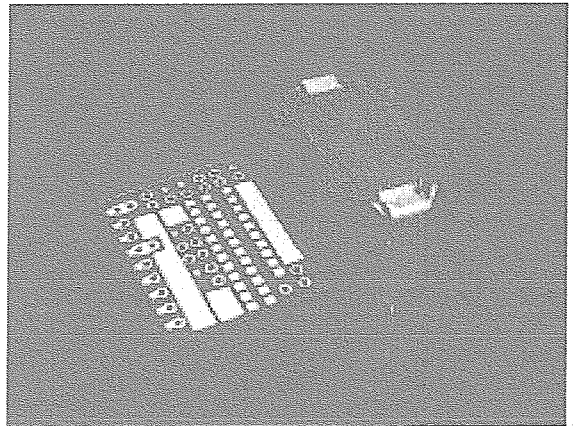


写真 3.2-1 試作したシートトランス

本シートトランスの性能を確認するための評価として、巻線トランスとの電気的特性比較を行った結果を表 3.2-1 に、評価系を図 3.2-1 に示す。本評価より、トランスとしての機能は十分に果たすことがわかった。ただし、シートトランスの効率は巻線トランスと比較し効率が低下する。効率低下については、巻線トランスと比較してシートトランスの導体抵抗が大きいためであり、引き回し線の最適化等を施すことにより巻線トランスの効率に近づけることが課題となった。

その他に、本シートトランスを DC/DC コンバータに適用する際に問題となる点がある。それは、これらシートトランスを個々にサブストレートに実装すると、層間をつなぐビアの領域には部品実装できないためデッドスペースとなる。これは、DC/DC コンバータの小型化の実現には不利な材料となる。さらに、このシートトランスとサブストレートを何らかの方法で接続する必要がある。この場合は、ピンをシートトランスとサブストレートにはんだ付けする方法があるが、これでは依然として問題が発生する可能性のあるはんだ付け部が残されることになり、トランスの高信頼性化を実現させることは困難となる。高信頼性を確保するためには、これらはんだ付け部もすべて排除し、さらにデッドスペースを少なくする工夫が必要となる。

表 3.2-1 シートトランス 単体評価結果

出力電力	巻線トランス効率	シートトランス効率
4W	1	0.97
10W	1	0.97
16W	1	0.97

注：巻線トランスの効率を 1 とした場合

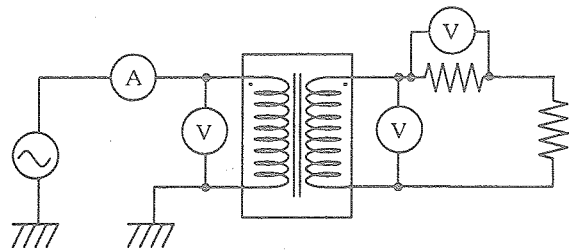


図 3.2-1 シートトランス評価系

4. 一体型シートトランスの開発

4.1. 開発検討

3 項において、シートトランスとサブストレートとのはんだ付け部を排除することおよび、デッドスペースを少なくする必要があると述べた。これら 2 点を解決する方法として、このシートトランスとサブストレートを一体型とすることを考えた。これは、DC/DC コンバータに使用されるすべてのトランス・リアクトルと、機能回路パターンとを同一基板上に展開し、その基板上に部品を実装する方法である。この方法を採用することにより、シートトランスとサブストレートの接続は配線パターンにて接続されることになり、上述のはんだ付け部を完全に排除することが可能となる。また、ビア配置を考慮することにより広い部品実装面積を確保することができるため、デッドスペースの減少にも寄与する。さらに、パターンを形成するスペースが広がった分、シートトランスの設計自由度が増加し、トランス部の巻線パターンやその引き回しを最適に設計することが可能となる。これにより導体抵抗の低減、つまりは効率の向上も期待できる。

4.2. 試作および評価

4.1 項の開発検討を基に、一体型シートトランスの試作を行った。この一体型シートトランスは、後述する±15V 出力のフォワード型 DC/DC コンバータに適用することを考慮し、メイントランスに加え、出力リアクトル、小電流リアクトルおよびカレントトランスの 4 種のトランス・リアクトルを一体化することとした。試作した一体型シートトランスの写真を写真 4.2-1 に示す。写真 4.2-1 に示すように、4 種のトランス・リアクトルが一体化されており、中央部分に機能回路パターンおよび部品実装用パッドが形成されていることがわかる。

ここで、メイントランスに対して 3.2 項で実施したトランス単体の評価を行った結果を表 4.2-1 に示す。これより、3.2 項で試作したシートトランスよりも効率が向上しており、ほぼ巻線トランスと同等の効率が得られていることがわかる。これは、一体化したことにより最適なパターン設計が可能となり、配線パターンによる損失（銅損）が減少したためである。また、シートトランスは巻線トランスに比べ 1 次と 2 次の間隔が狭いため結合度がよく、このことも効率向上に寄与した。測定データをもとに、それぞれの結合度を計算した結果を表 4.2-2 に示すが、これよりシートトランスの方が結合度が良いことがわかる。

本評価結果より、電気的性能の点では本一体型シートトランスは DC/DC コンバータに十分適用できると判断した。

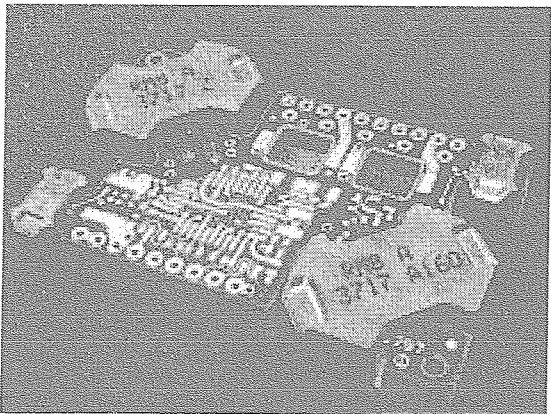


写真 4.2-1 一体型シートトランス

表 4.2-1 一体型シートトランス 単体評価結果

出力電力	巻線トランス効率	シートトランス効率
1.7W	1	1.01
4.8W	1	1.01
12.3W	1	1.01
19.2W	1	1.01

注：巻線トランスの効率を 1 とした場合

表 4.2-2 結合度計算結果

出力電力	巻線トランス結合度	シートトランス結合度
1.7W	1	1.03
4.8W	1	1.04
12.3W	1	1.03
19.2W	1	1.03

注：巻線トランスの結合度を 1 とした場合

4.3. 信頼性試験

一体型シートトランスを宇宙用 DC/DC コンバータに適用するにあたり、宇宙用としての環境性能および信頼性を有するかどうかの確認を行う必要がある。その初期評価として、断面観察と耐電圧試験を行った。断面観察ではクラックや気泡はなく、内部寸法および位置ずれも許容寸法以内に収まっており、本一体型シートトランスの出来栄は良好であることがわかった。耐電圧試験結果を表 4.3-1 に示す。耐電圧については、500V 以上を目標として設計を行ったが、評価の結果耐電圧は 1,500V 以上あることがわかった。一般的な DC/DC コンバータの 1 次 2 次間の絶縁耐圧の規格は 500V であるので、本一体型シートトランスは DC/DC コンバータ用トランスとして十分な絶縁耐圧を有すると判断した。

表 4.3-1 耐電圧試験結果

印加電圧	評価結果 <sup>1)</sup>	判定
1000V	0 / 3 <sup>1)</sup>	良
1500V	0 / 3 <sup>1)</sup>	良
2000V	1 / 3 <sup>1)</sup>	不可
3000V	2 / 2 <sup>1)</sup>	不可

1) 不良数／供試数

次に信頼性試験であるが、本 DC/DC コンバータが宇宙用であることを考慮し、宇宙用プリント配線板の規格である宇宙開発用信頼性保証ファインピッチ用プリント配線板仕様書 (NASDA-QTS-1047) <sup>(3)</sup> を適用し、その中に記載されている品質確認試験項目に沿って試験を実施することとした。その際、製品化された場合の熱ストレス履歴を考慮し、試験の前処理としてリフロー時の熱履歴を 5 回印加した。また、より厳しい試験を実施する目的で、熱衝撃を 100 サイクルから 300 サイクルに、耐湿および絶縁抵抗を 10 サイクルから 30 サイクルに拡張した。この試験は一体型シートトランスおよび同一基板上に配置されたテストクーポンにより行った。信頼性試験の結果を表 4.3-2 に示すが、全ての試験項目において良好な結果を得た。なお、製品時にはプリント基板製造工程を活用するため、多面付けという手法が適用でき、信頼性試験のすべてもしくは必要となる試験を基板ロット毎に実施することによりロット保証という考え方が適用できる。

表 4.3-2 信頼性試験結果

項目	内容 (概略)	結果
製品検査	外観,ワークマンシッパ <sup>®</sup> 等検査	良
めっき密着性及びオーバーク	剥離・オーバーク検査	良
そり及びねじれ	そり,ねじれ値検査	良
スルーホール (断面観察)	内部導体接続部品質検査 ずれ、めっき厚等検査	良
回路	断線,短絡検査	良
熱ストレス (はんだフロート)	はんだ槽 (SN63,288℃) に 10 秒, 冷却後外観,スルーホール断面観察	良
はんだ付け性	スルーホール,表面導体はんだ付け性	良
ソルダレジストの厚さ	ソルダレジスト厚測定	良
スルーホール引き抜き強度	引抜強度測定	良
接続抵抗	抵抗値測定	良
耐ホットオイル性	260℃のオイルに 5 秒浸せき・冷却 を 10 サイクル,接続抵抗測定	良
熱衝撃	-65℃～+170℃,300 サイクル	良
耐湿性及び絶縁抵抗	ハイト 100V,+25℃～+65℃, 98%RH, 30 サイクル	良
耐電圧	1000VDC, 30 秒	良

5. DC/DC コンバータの試作および評価

5.1. 仕様および試作

4 項で開発した一体型シートトランスを用いて DC/DC コンバータの試作および評価を行うこととした。表 5.1-1 に試作する DC/DC コンバータの仕様を示す。回路形式は一般的な 1 石フォワードコンバータ (絶縁形、PWM 方式) で、効率向上のため 2 次側の整流部には同期整流方式を採用している。日本の衛星バス電圧は 50V のものが多いことを考慮し、本 DC/DC コンバータをバス電圧直結可能とするため、入力電圧を本仕様を設定した。出力電圧の設定は一般的なアナログ用電源を想定している。保護機能としては、過電流、過電圧および突入電流防止があり、外部 ON/OFF 制御および同期信号出力といった機能を有する。

本仕様をもとに、4 項で述べた一体型シートトランスを用いて DC/DC コンバータの試作を行った。試作機の写真を写真 5.1-1 に示す。

5.2. 電気的特性評価

5.1 項で述べた試作機を用いて電気的特性評価を行った。常温時の効率－負荷特性評価結果を図 5.2-1 に示す。これより、定格時 (50V 入力、1.3A 負荷時) の効率はおよそ 88%であり、0.6A の負荷条件から 85%を超えるフラットな特性が得られた。

表 5.1-1 DC/DC コンバータ仕様

項 目	仕 様
入力電圧	26V <sub>DC</sub> ～55V <sub>DC</sub> (定格 50V <sub>DC</sub> )
出力電圧	±15V <sub>DC</sub>
出力電流	±0.3A～±1.5A (定格±1.3A)
出力電圧変動	±2%以内
出力リップル電圧	150mVpp 以下
効率 (定格時)	87% typ.
1次2次間絶縁耐圧 絶縁抵抗	600VDC 以上 10MΩ 以上
スイッチング周波数	100kHz typ.
各種保護	過電流・過電圧・突入防止
各種機能	外部 ON/OFF 制御 同期信号出力機能

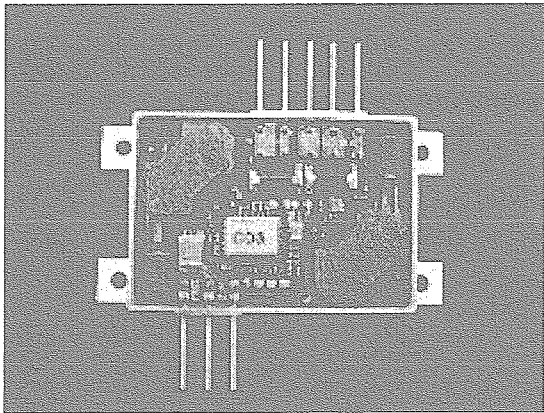


写真 5.1-1 DC/DC コンバータ試作機

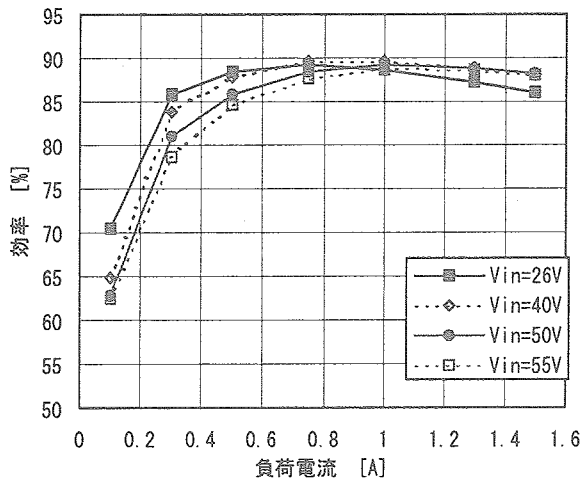


図 5.2-1 効率－負荷特性 (常温時)

出力電圧変動評価結果および出力リップル電圧評価結果のまとめを表 5.2-1 に示す。出力電圧変動については、仕様である±2%を満足する結果となった。プラス側と比べてマイナス側の変動が若干大きいのは、フィードバックをかけているのはプラス側であり、マイナ

ス側はアンレギュレイトドであることによる。出力リップル電圧については、仕様である 150mVpp を満足する結果となった。その他、各種保護・機能についても所望の性能が得られることを確認した。本評価結果より、一体型シートトランスを用いた DC/DC コンバータは電気性能において十分満足のいく特性であることが確認できた。

表 5.2-1 電気的特性評価結果

項目		評価結果	
		min	MAX
出力電圧変動	+15V 側	-0.01%	0.79%
	+15V 側	-0.59%	0.42%
出力リップル電圧	+15V 側	45mVpp	69mVpp
	+15V 側	37mVpp	51mVpp

5.3. 耐環境性初期評価

試作した DC/DC コンバータが宇宙用としての耐環境性を有するかどうかを確認するために初期評価を行った。サンプルの流れを図 5.3-1 に、評価条件を表 5.3-1 に示す。評価サンプルは図 5.3-1 に示すように 6 個用意し、熱的ストレスおよび機械的ストレスの印加方法を 3 通り用意した。このなかで、一番厳しい試験は、熱的ストレスと機械的ストレスをシリーズに印加する方法である。各試験方法は宇宙用ハイブリッド IC の試験などに適用されている MIL 規格に準拠する形とした。耐環境性初期評価の結果を表 5.3-2 に示すが、全ての項目において良好な結果が得られた。したがって、本 DC/DC コンバータが宇宙用としての環境性能を有することが確認できた。

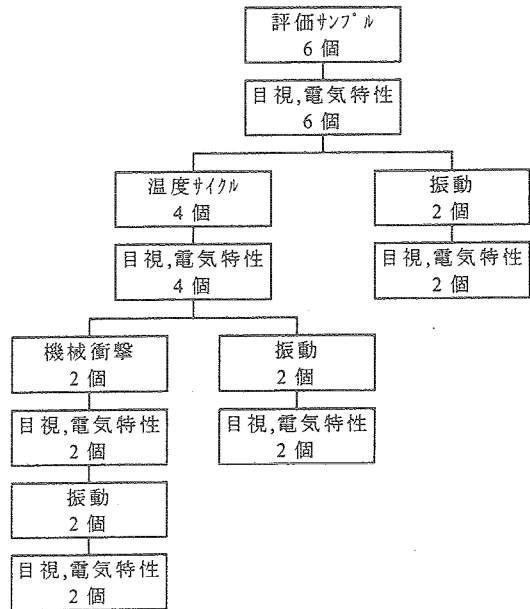


図 5.3-1 耐環境性初期評価 サンプルの流れ

表 5.3-1 耐環境性初期評価 評価条件

試験項目	試験方法	試験条件
温度サイクル試験	MIL-STD-883 Method 1010	条件 C -65℃/+150℃, 100 サイクル
振動試験	MIL-STD-883 Method 2007	条件 A 20G, Sin, 3 軸
機械衝撃試験	MIL-STD-202 Method 213B	条件 C 100G, 6ms, 6 軸

表 5.3-2 耐環境性初期評価結果

項目	S/N1,2	S/N3,4	S/N5,6
目視,電気特性 1	良	良	良
振動 1	良	—	—
目視,電気特性 2	良	—	—
温度サイクル	—	良	良
目視,電気特性 3	—	良	良
衝撃	—	—	良
目視,電気特性 4	—	—	良
振動 2	—	良	良
目視,電気特性 5	—	良	良

6. むすび

宇宙機に搭載される小型・高効率・高信頼性 DC/DC コンバータの開発を目的として、信頼性を低下させる可能性のある巻線トランスを排除する一体型シートトランスの開発を行い、所望の電氣的性能および宇宙用としての信頼性を有することが確認できた。また、一体型シートトランスを用いた DC/DC コンバータを試作し、所望の特性が得られた。ここで紹介した手法を用いて将来の実用化に向けて寿命試験等の品質確認試験を実施していきたい。

参 考 資 料

- [1] Geoffrey L. Yoder, "Implementation of COTs hardware in non critical space applications," The 17th Microelectronics Workshop, pp.11, Tsukuba, Japan, Oct. 2004
- [2] 宇宙開発用信頼性保証ファインピッチ用プリント配線板仕様書 (NASDA-QTS-1047)

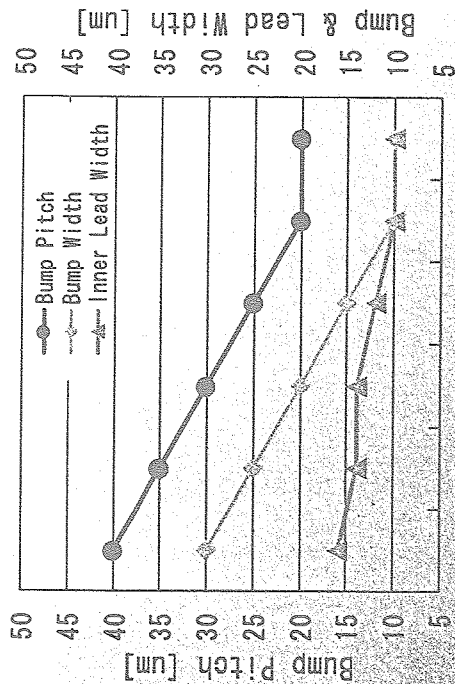




# 高密度実装に使用する 微細接合技術

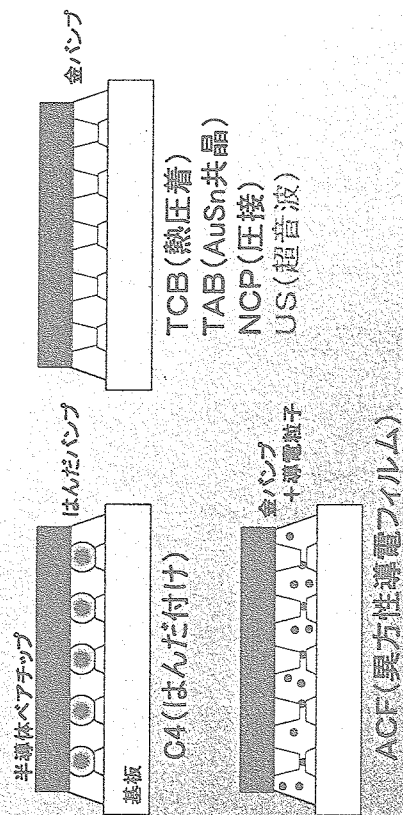
## 超音波接合と抵抗溶接の応用

超音波接合は、超音波エネルギーを用いて、金属と金属、金属と樹脂、樹脂と樹脂の接合を行う技術である。抵抗溶接は、電流を流して、金属と金属の接合を行う技術である。



Source : Japan Jisso Technology Roadmap 2003 by JEITA

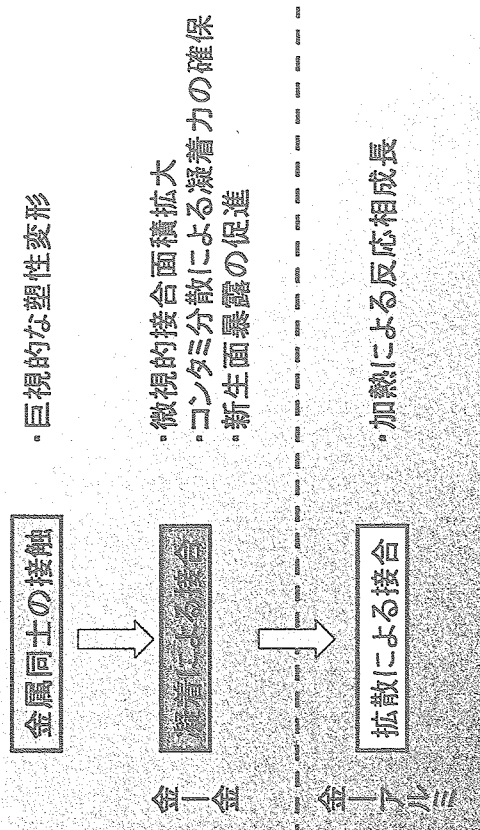
## 代表的フリップチップ実装の種類



1. 民生市場の高密度実装事例
2. 微細接合技術の分類と原理
3. 超音波フリップチップ接合の特徴と信頼性
4. 抵抗溶接技術の高密度プリント配線板への応用



## 超音波接合のメカニズム



## 微細接合技術の分類と原理

### 接合技術の分類

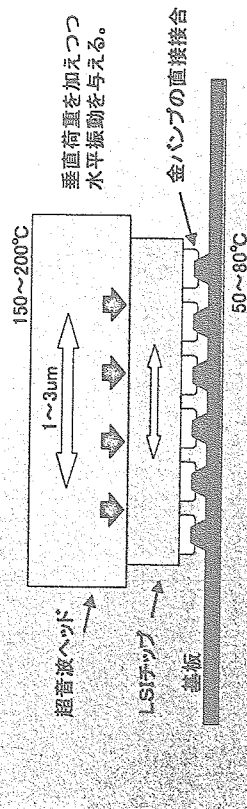
- 溶融接合 (融接) ..... 母材の溶融で隙間を埋める。  
熱の供給法で分類; アーク、レーザー、抵抗溶接 etc
- 液相-固相反応接合 ..... 低融点金属で隙間を埋める。  
(1) ろう接 (ろう付け、はんだ付け)  
(2) 液相拡散接合、共晶接合
- 固相接合 ..... 塑性変形で隙間を埋める。  
(1) 拡散現象が主体的な接合  
拡散接合 (熱圧着)・Au-Al 熱超音波接合  
(2) 凝着現象が主体的な接合  
摩擦圧接・冷間/熱間圧接・Au-Au 超音波接合
- 接着 ..... 接着剤で隙間を埋める。  
弾性接合 ..... 弾性復元力で押さえつける。

## 超音波ブリッジチップ接合の特徴と信頼性

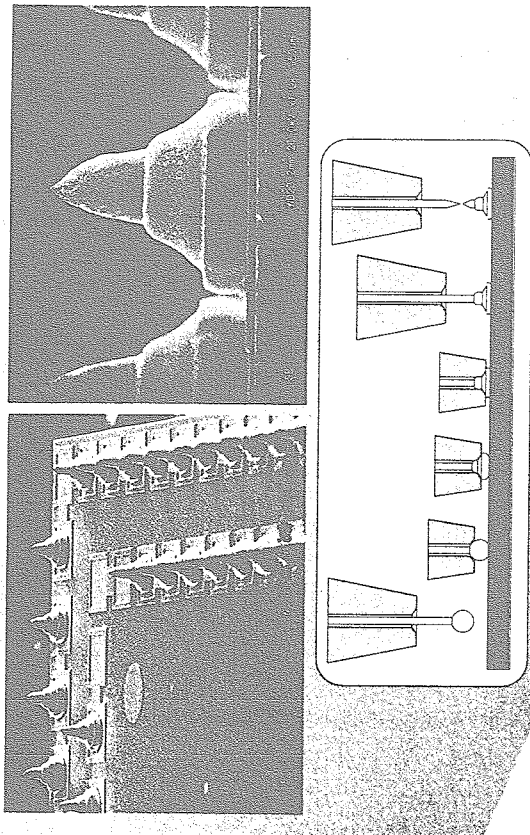
## 超音波フリップチップ実装の特徴

### 金-金超音波接合

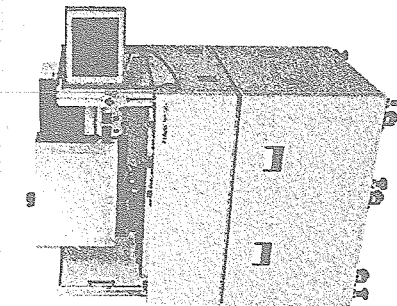
- (1) 基板温度が50～80℃程度で材料の熱膨張影響や銅箔接着強度劣化などが生じにくく、狭ピッチ化に有利。
- (2) 数百ピン以上を0.5sec以下の短時間で一括接合可能。
- (3) 導電粒子介在のACF法に比べ、接続抵抗が低い。
- (4) はんだ接合法に比べ、フラックス洗浄などの工程が不要で設備・廃棄物処理等の環境負荷が少ない。



## ワイヤバンプ形状 (金ワイヤ引き千切り)



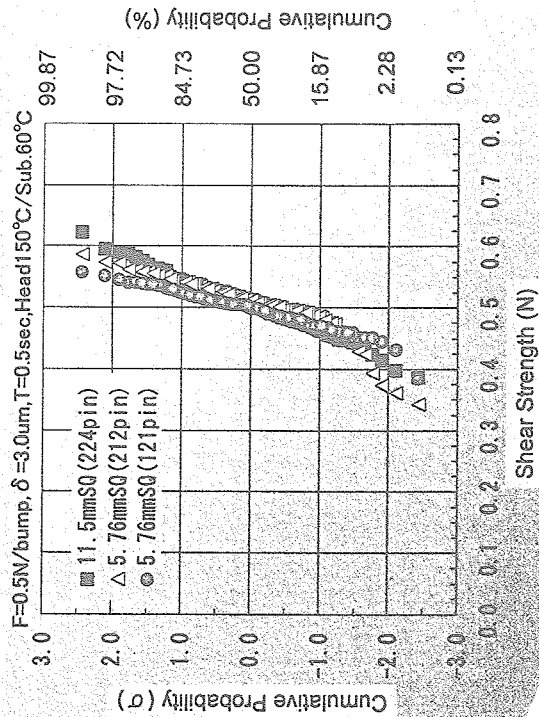
## セミオート超音波フリップチップボンダ



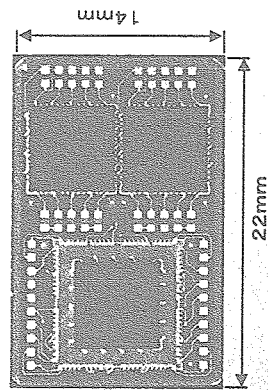
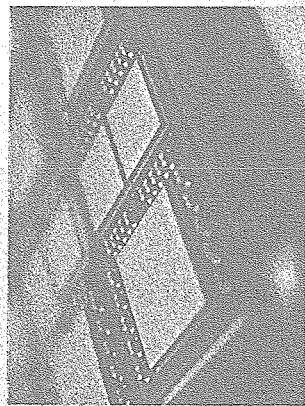
日本エレクトロニクス(株)製 AB-3500

No.	項目	仕様
1	公称周波数	40kHz
2	振動振幅	1.2～6μm <sub>p-p</sub> 可変
3	発振器出力	最大400W
4	荷重範囲	10～500N
5	搭載精度	±5μm
6	タクトタイム	6sec以下(プロセス時間含まず)
7	スレージ温度	常温～150℃
8	ヘッド温度	常温 ※オプションにて最大200℃
9	対応チップ寸法	2～12mm(チップレーン上フェースアップ供給)
10	対応基板寸法	15～100mm(マニュアル搬送)
11	その他	振幅、パワー、荷重モニター表示機能 Z軸位置制御機能、ヘッド交換ユニット オプションにてバルスレートヘッド搭載可能 (線圧着法、圧着法、C4法などにも対応)

## 超音波接合の各バンプ剪断強度



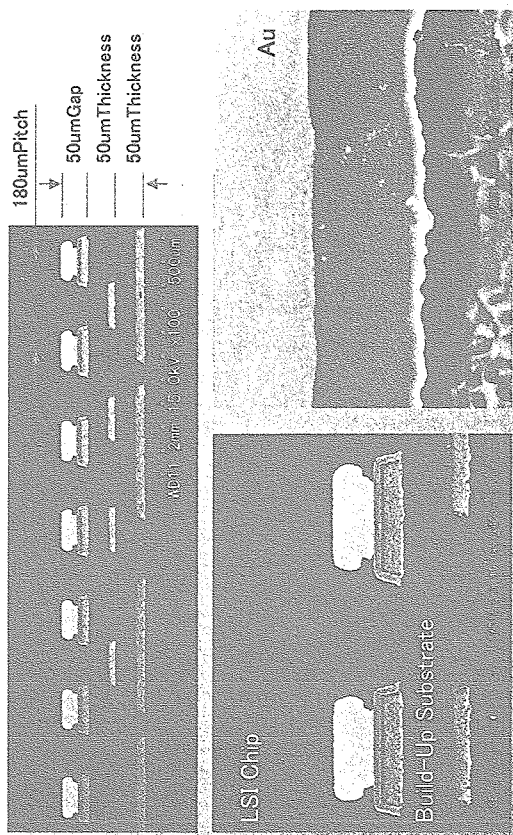
## マルチチップ実装例



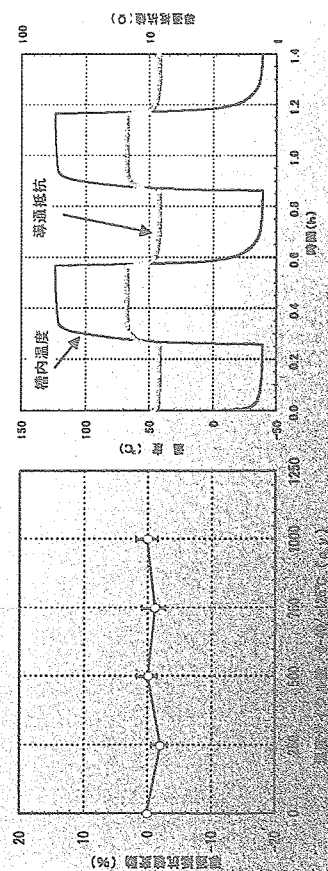
基 板：6層ビルドアップ基板(2/2/2、0.8mm)  
表面処理：無電解Ni3-5 $\mu$ m/無電解Au0.3-0.5 $\mu$ m  
チップ：5.7mmSQ $\times$ 3、112pin(180 $\mu$ mピッチ)

## 温度サイクル試験後の接合部断面

バンブ：金ボンディングバンブ  
基 板：ビルドアップ  
試験条件：-40/125°C、1000cy

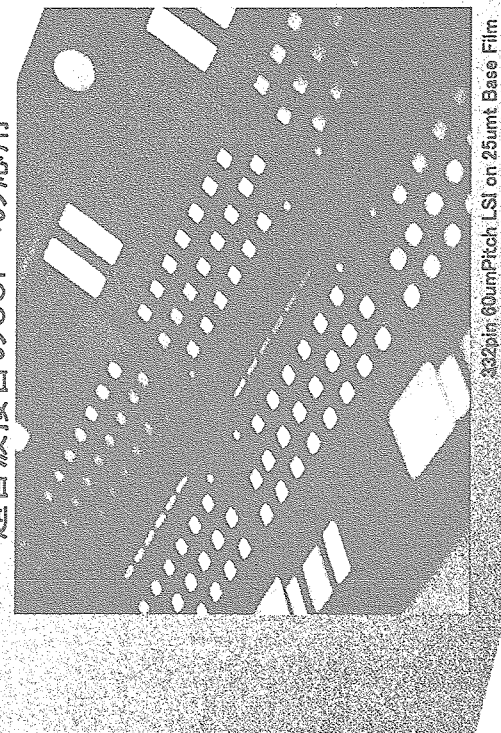


## 温度サイクル試験結果

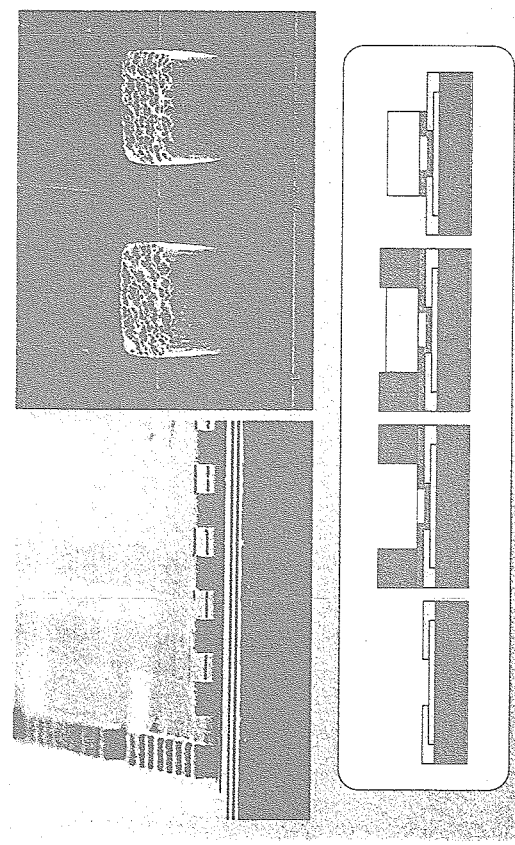


基 板：6層ビルドアップ基板(2/2/2、0.8mm)  
チップ：5.7mmSQ $\times$ 3、112pin(180 $\mu$ mピッチ)  
金ボンディングバンブ  
試験条件：IECECLレベル3急速処理  
リフロー処理(ピーク温度240°C、3回)  
温度サイクル：-40/+125°C

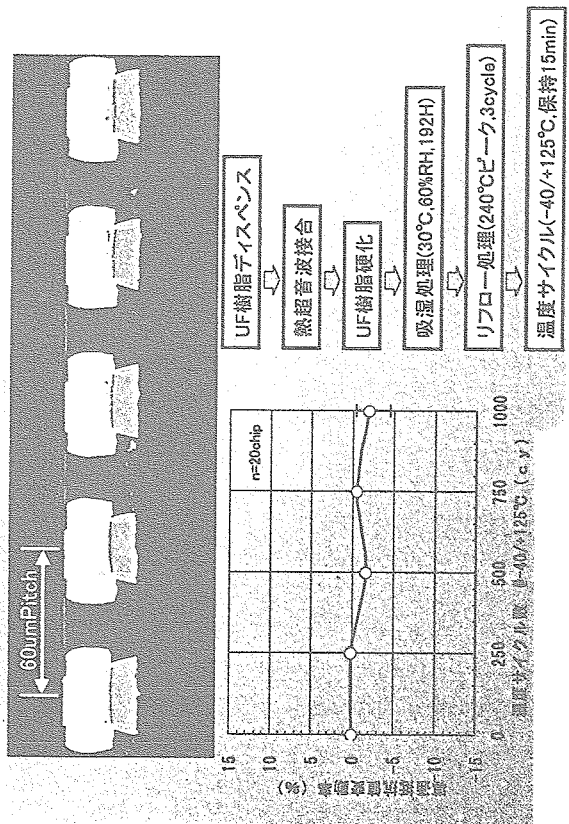
## 超音波接合のCOFへの応用



# めっきバンプ形状（電解金めっき）

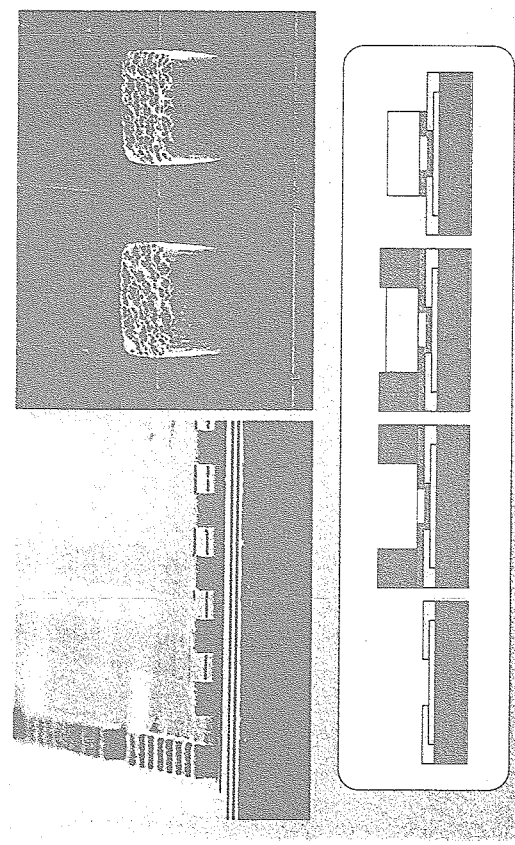


# 先塗布法 COF 接合部断面と抵抗値変動

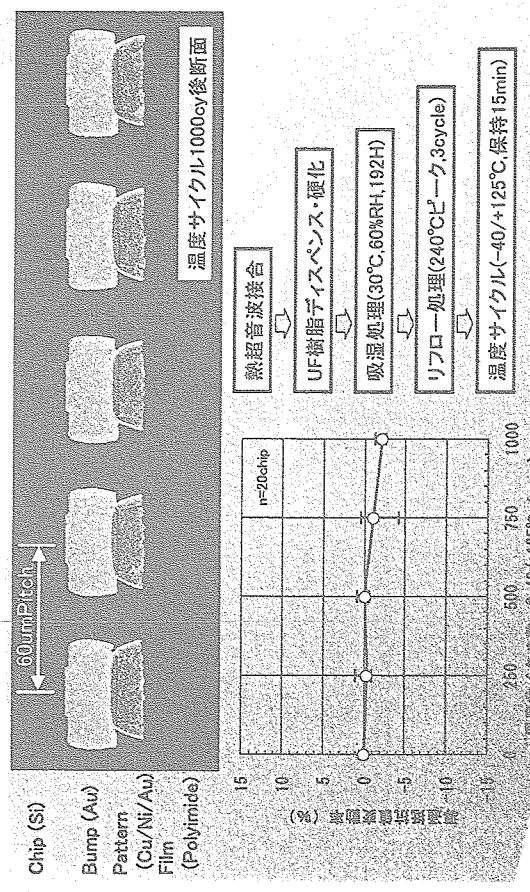


# 抵抗溶接技術の 高密度プリント配線板への応用 (配線リペア技術)

# めっきバンプ形状（電解金めっき）

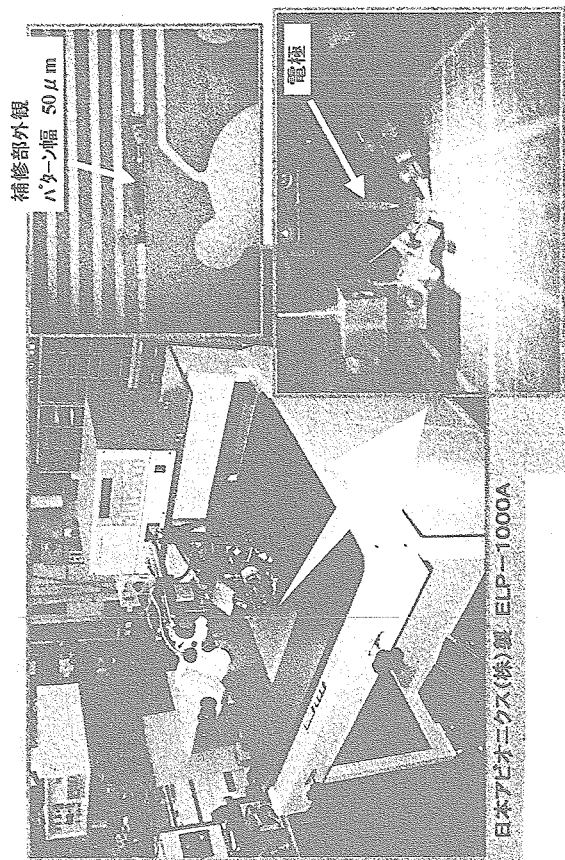


# 後注入法 COF 接合部断面と抵抗値変動

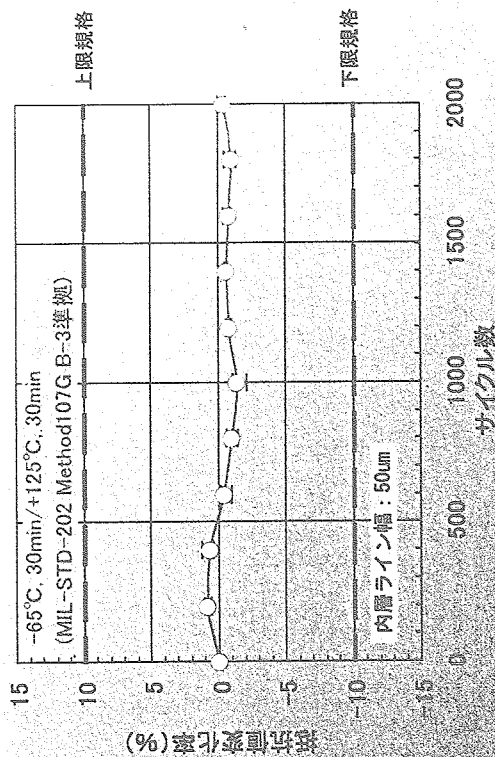




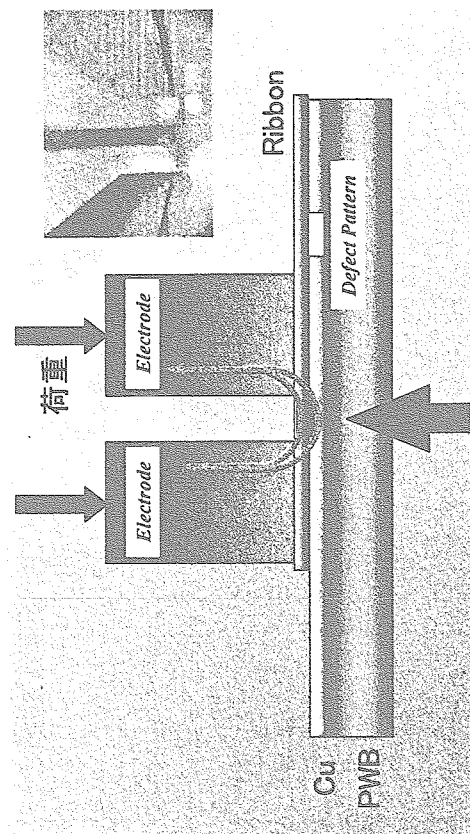
## 高密度 PWB リペア装置概観



## 温度サイクル試験結果

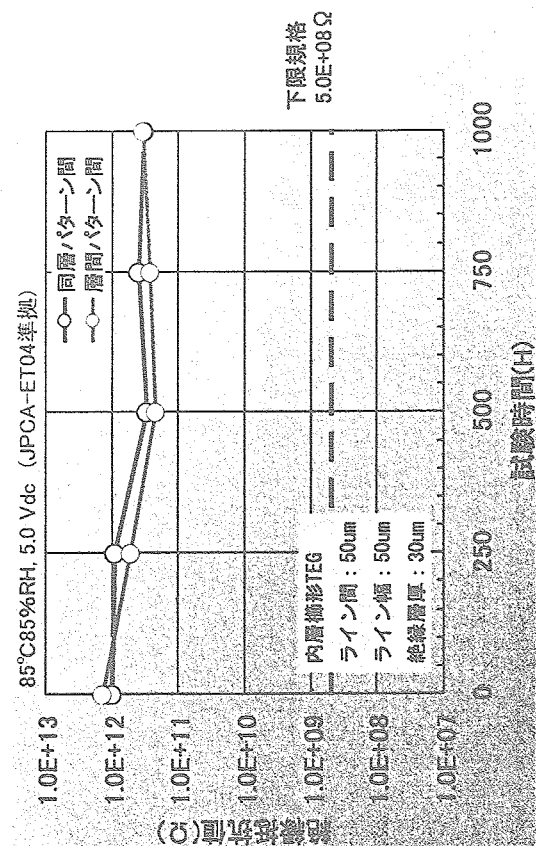


## パラレルギャップ溶接法の原理



電極間の経路に電流を流し、材料自身のジュール熱で溶接

## 高温高湿バイアス試験 (HHBT) 結果







# 宇宙用半導体集積回路の実際と 設計シミュレーション

## 1. パッケージング

- 宇宙用半導体デバイスのパッケージングは特別な場合を除いて気密封止(Hermetic Seal)されている。
  - 汚染物質からの隔離
  - 熱放散
  - 高温耐性
- 一般品は特別な場合を除いてプラスチックパッケージ
  - 低コスト
  - 軽量

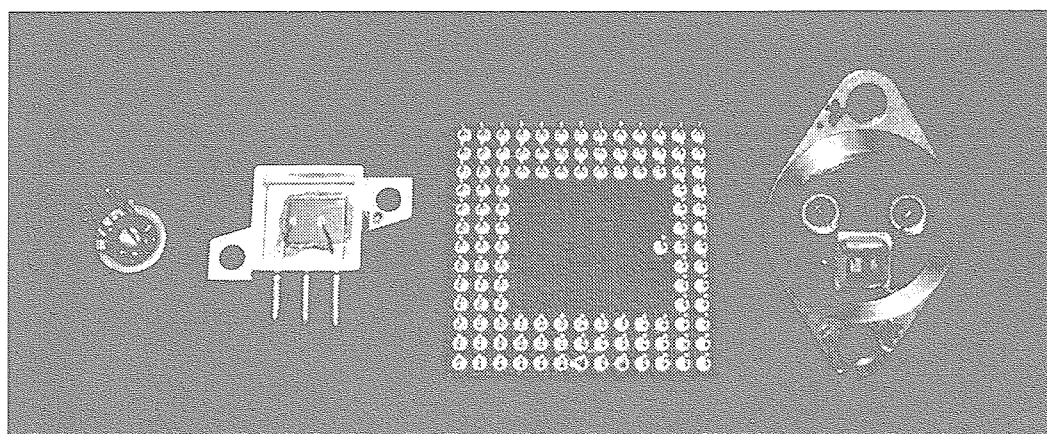
プラスチックパッケージは、リード線やチップと接合しているわけではないので、比較的自由に水や性能に影響を与える汚染物質が進入することができる。 → 腐食による内部断線、汚染による特性劣化



## 2. 気密封止技術

- 隔離性能の尺度      リーク率  $\text{atom}\cdot\text{cc/s}(\text{air})$   
穴の両側に気圧の差を設けてそこを通過する空気の時間当りの量
- 基本技術  
金属と絶縁物を相互拡散させて金属・絶縁物接合を形成する
  - FeNi合金 - 銅めっき - 酸化銅 - 硼珪酸ガラス
  - Kovar - 銀ろう - Niメッキ - Wメタライズ - アルミナ磁器
- 封止技術
  - 整合封止(Matched Seal)  
形状が自由  
コスト高(主材料Kovar)
  - 圧縮封止(Compression Seal)  
同心円形状  
コスト低(主材料Fe)  
強度大

### 2.1 気密封止パッケージの実例



(a) 整合封止  
kovar  
ガラス

(b) 整合封止  
kovar  
ガラス

(c) 整合封止  
kovar  
アルミナ磁器

(d) 圧縮封止  
Fe  
ガラス

## C-SAM RESULTS

Part Type	Vendor	(top of lf)			TOPSIDE			(space around die)			BACKSIDE			THRUSCAN		
		LR	MR	HR	(top of die)	LR	MR	HR	LR	MR	HR	(die paddle area)	(back of lf)	LR	MR	HR
A/D	A	250	0	0	250	0	0	0	35	215	109	126	15	237	8	5
Multiplexer	B	251	0	0	247	4	0	11	240	0	244	7	0	251	0	0
Op Amp	C	226	0	0	220	8	0	225	1	0	226	1	0	228	0	0
Reference	D	203	24	1	NA1	NA1	NA1	34	120	74	224	2	2	153	0	0
Amplifier	E	62	66	70	NA2	NA2	NA2	NA2	NA2	NA2	228	0	0	159	67	2
Total		992	120	71	717	10	0	270	396	289	1030	136	17	1026	75	7

### NOTES

LR- LOW RISK (NONE OR MINIMUM DELAMINATION <10% ON TOPSIDE, BACKSIDE, OR THRUSCAN)

MR- MEDIUM RISK (DELAMINATION >10% FOUND AT TOPSIDE, BACKSIDE, AND THRUSCAN)

HR- HIGH RISK (SIGNIFICANT DELAMINATION AT EITHER TOPSIDE, BACKSIDE, OR THRUSCAN - 50% TO 100%)

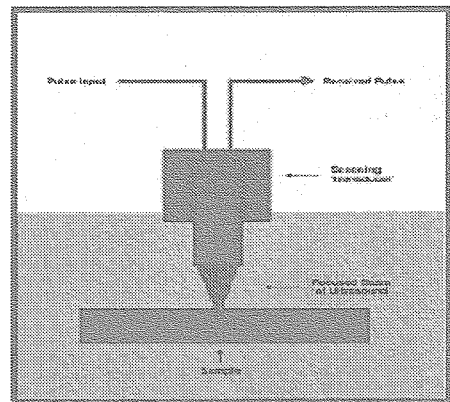
NA2-Could not distinguish die and risk assessment is not determined.

NA1-Die has topcoat(masked thruscan and top of die)

### C-SAM Provides:

- Nondestructive Methodology
- Ultrasound Signal
- Ceramics, Plastics, Metals Inspections
- Voids, Cracks, Delamination, Anomalies, Defects, Disbonds Detection

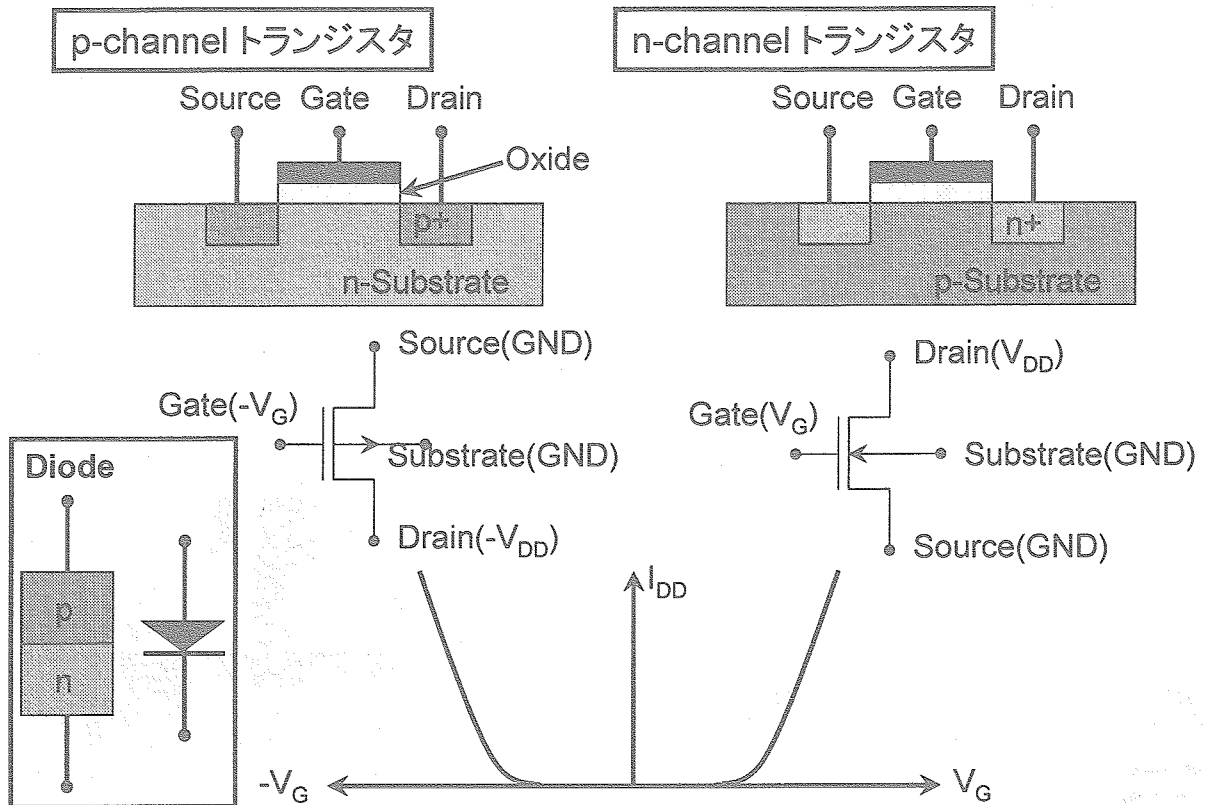
C-SAM inspection (100%) should be considered as part of screening.  
Critical inspection points are after package thermal stresses.



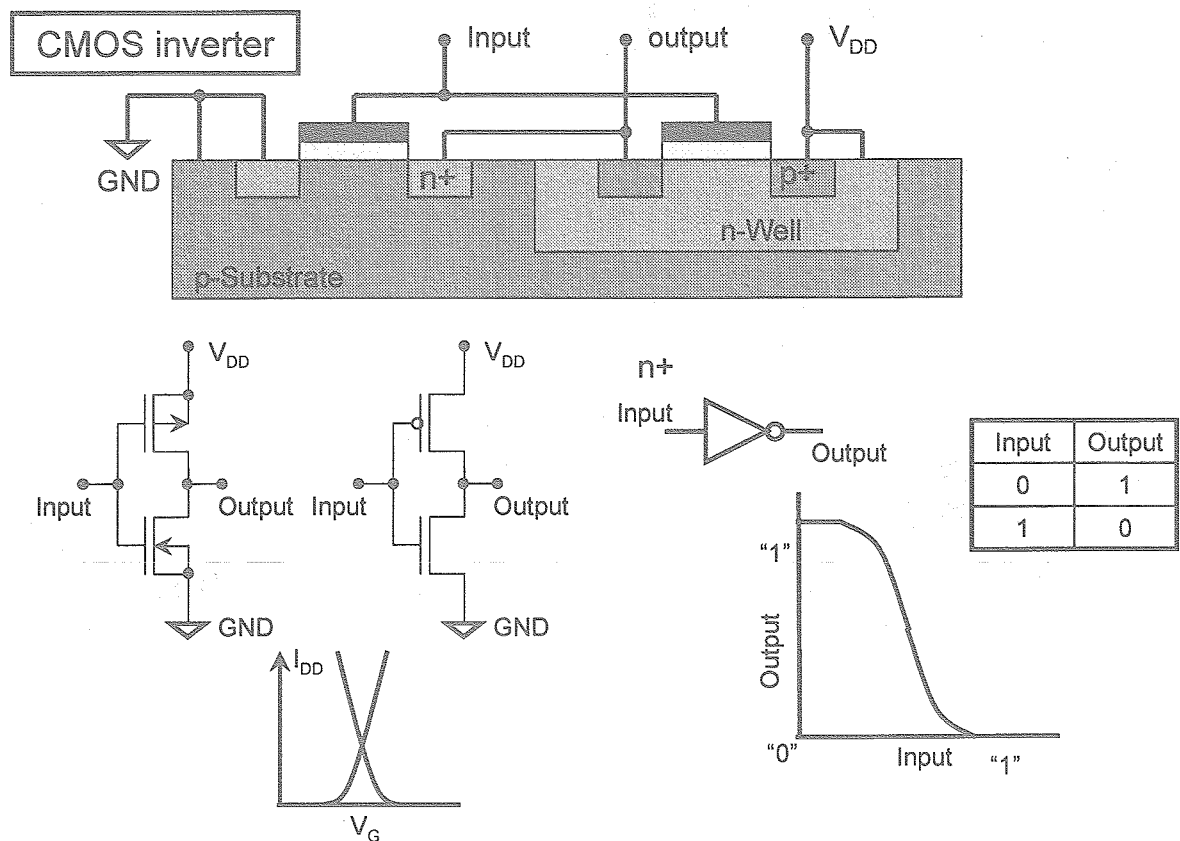
## 3. 半導体集積回路技術

- 製造技術の分類
  - バイポーラ npn型バイポーラトランジスタをベース
  - CMOS p/nチャネルMOSTランジスタをベース  
(Complementary Metal-Oxide-Semiconductor)
  - BiCMOS 上記の混合
- 現在は宇宙用に限らずCMOS型がほとんど
  - 集積度大  $>10^8$ トランジスタ/チップ
  - 低消費電力
- この集積度とデジタル技術の進展により、あらゆる機器が高機能・小型化されてきている

### 3.1 トランジスタの基本構造と特性



### 3.2 CMOSの基本構造と特性

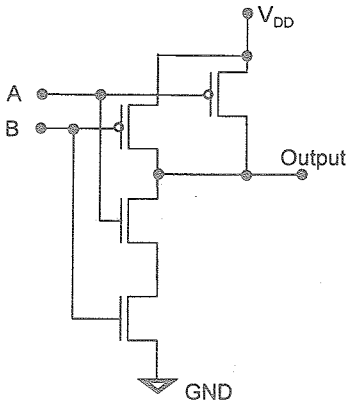


### 3.3 CMOS基本論理素子

NAND gate



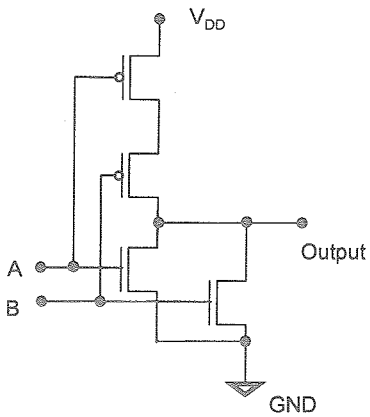
A	B	Output
0	0	1
0	1	1
1	0	1
1	1	0



NOR gate

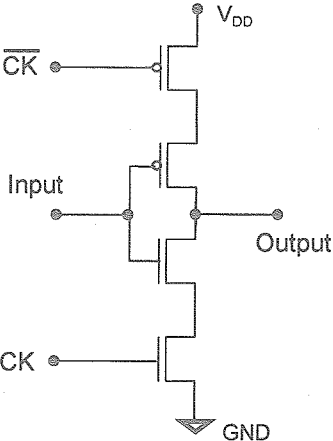


A	B	Output
0	0	1
0	1	0
1	0	0
1	1	0

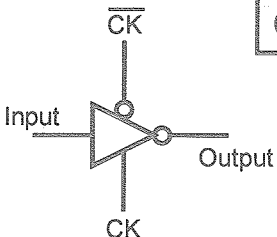


### 3.4 CMOS特殊論理素子

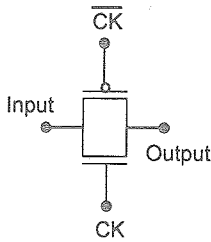
Clocked inverter



Clock	Input	Output
1	0	1
1	1	0
0	x	Z

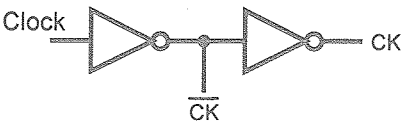


Transmission gate



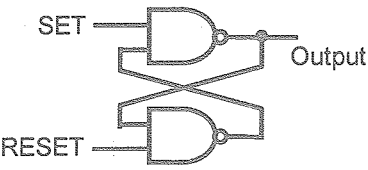
Clock	Input	Output
1	0	0
1	1	1
0	x	Z

Complementary clock generator



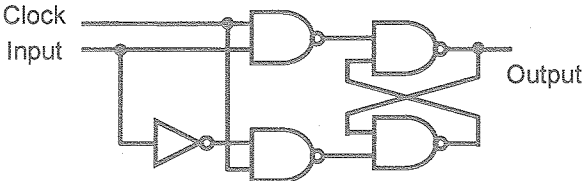
# 3.5 CMOS記憶素子

R-S Latch

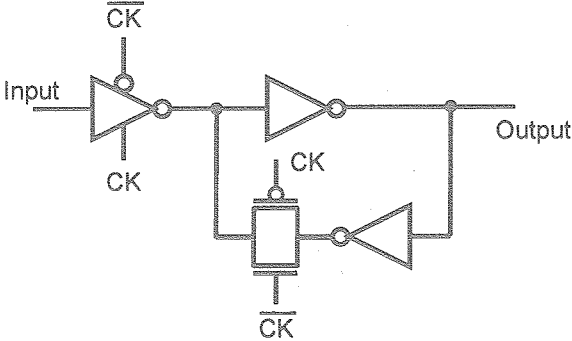


SET	RESET	Output
1	1	Keep
0	1	1
1	0	1
0	0	1x

D Latch

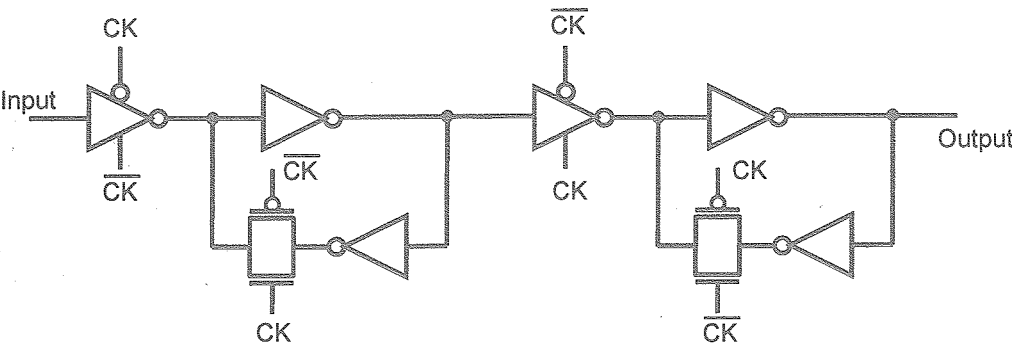


Input	Clock	Output
x	0	Keep
0	1	0
1	1	1

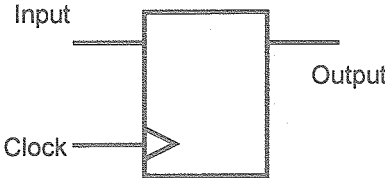


# 3.5 CMOS記憶素子(その2)

D Flip-Flop

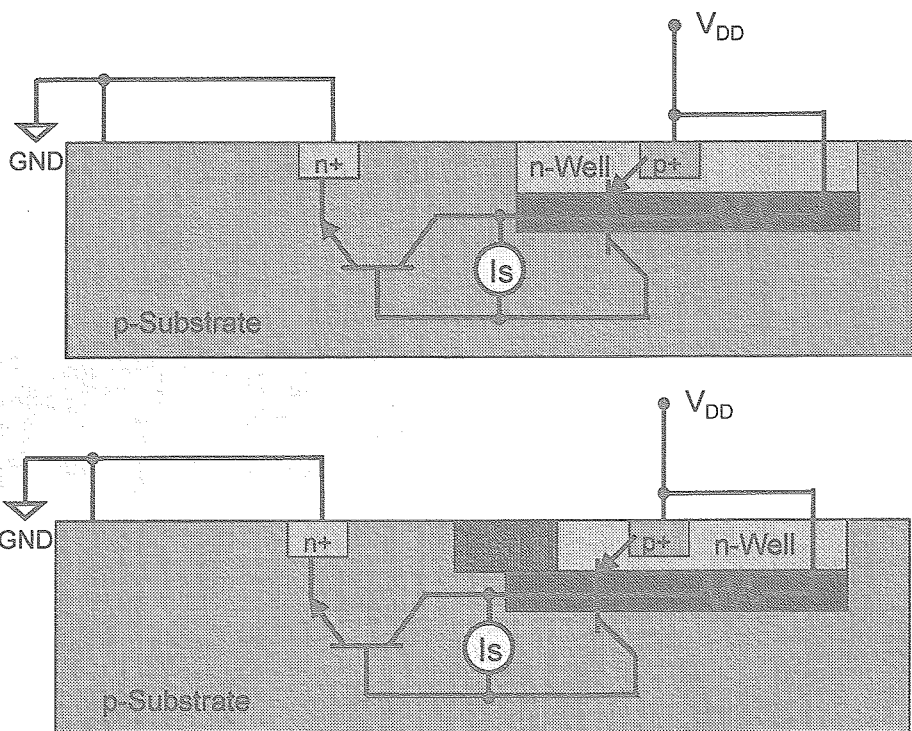
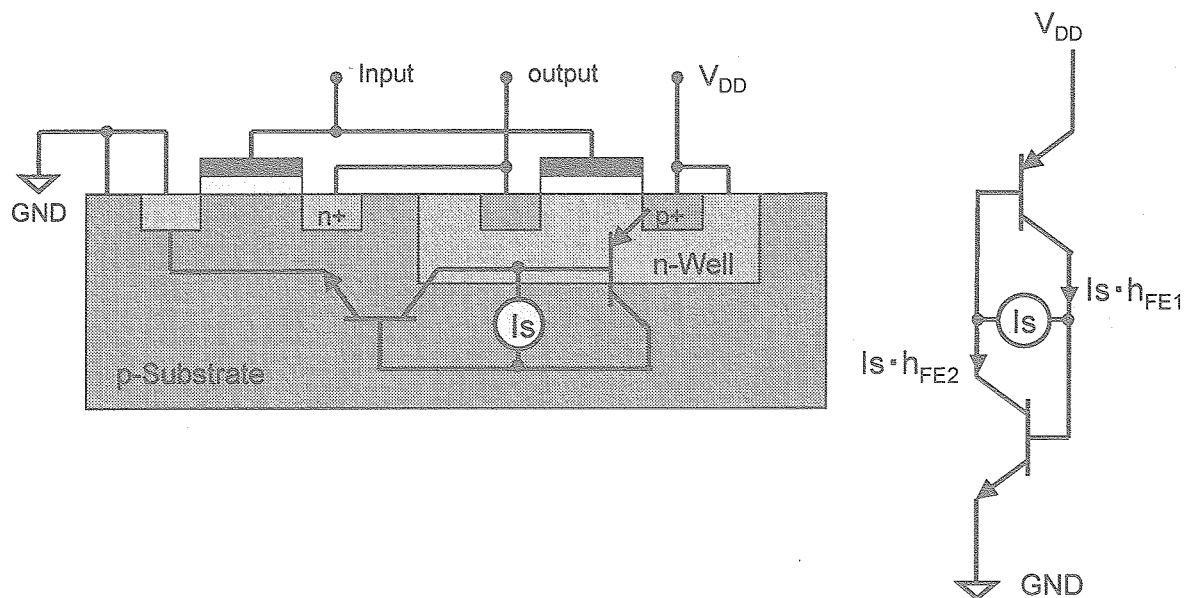


Input	Clock	Output
x	x	Keep
0	↑	0
1	↑	1



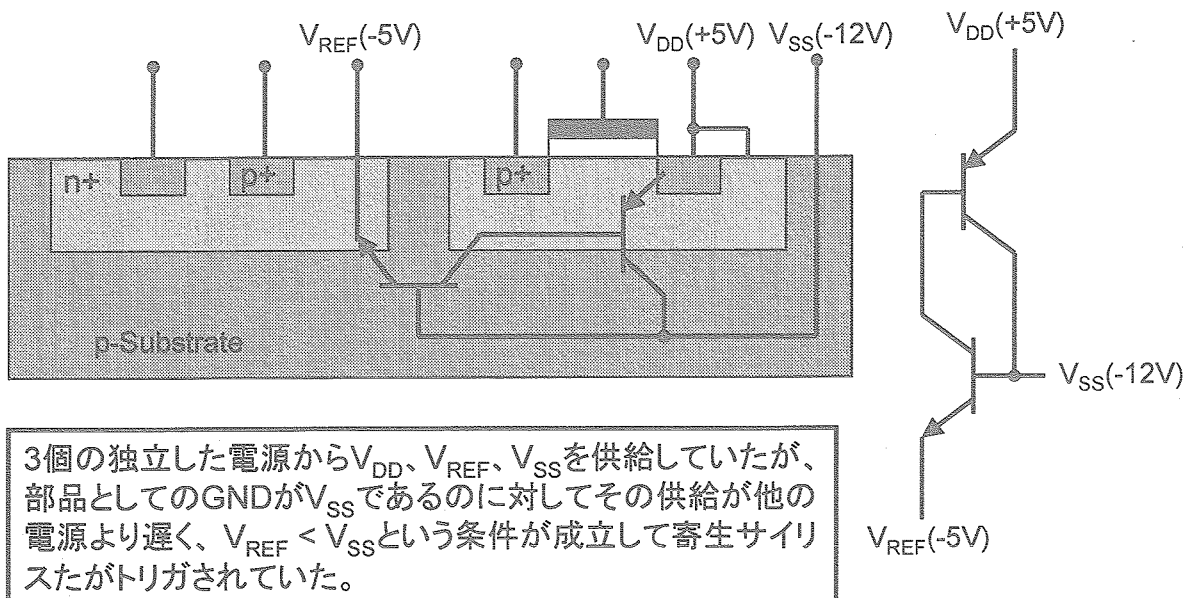
## 4. CMOS集積回路の寄生素子

### 寄生サイリスタ



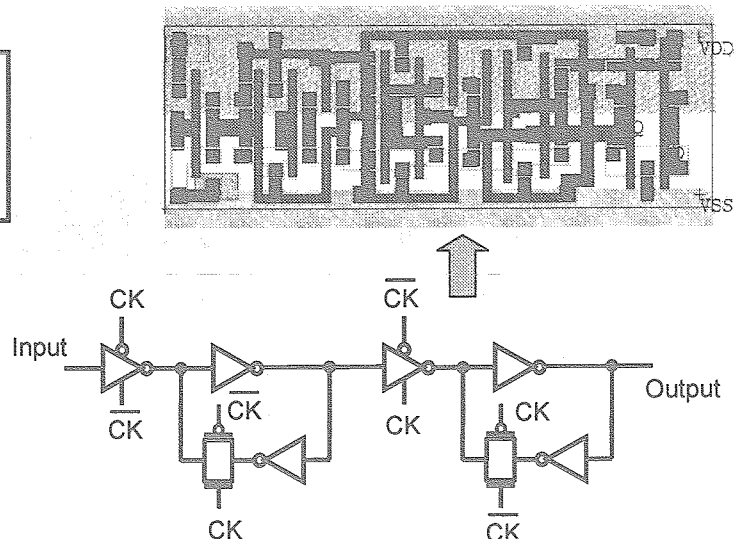
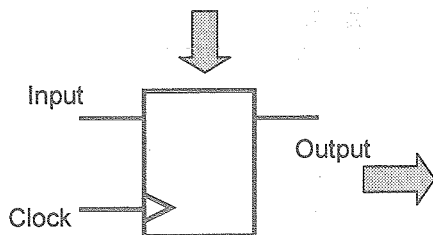
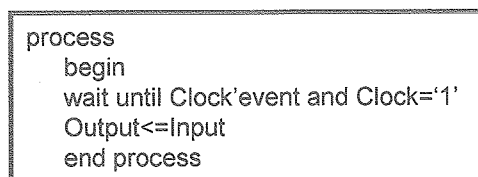
## 4.1 失敗事例

### 寄生サイリスタはどこにでも

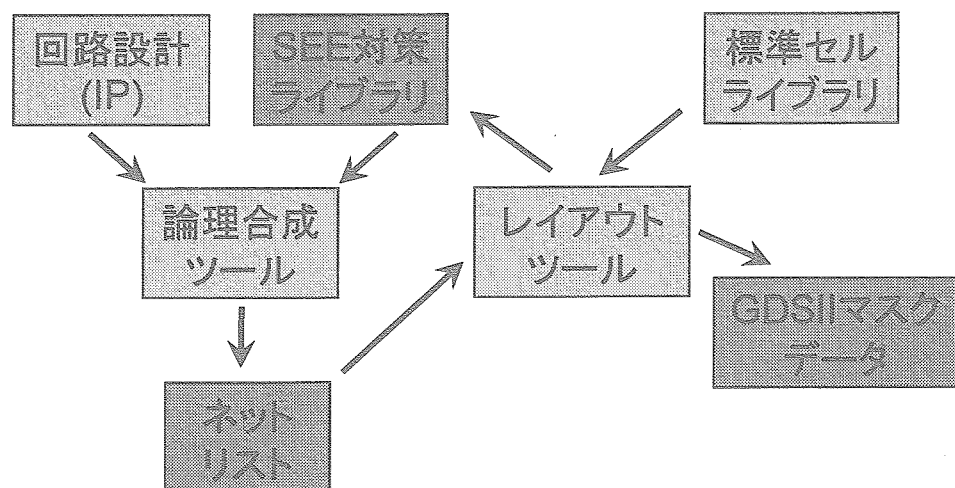


## 5. 集積回路の設計技術

- 設計手法の進歩
  - トランジスタレベルの回路図
  - 論理素子レベルの回路図
  - HDLによる論理合成可能なRTL記述
  - 動作記述



## 5.1 耐放射線性集積回路の設計の実際



## 5.2 Hardness-By-Design (HBD)

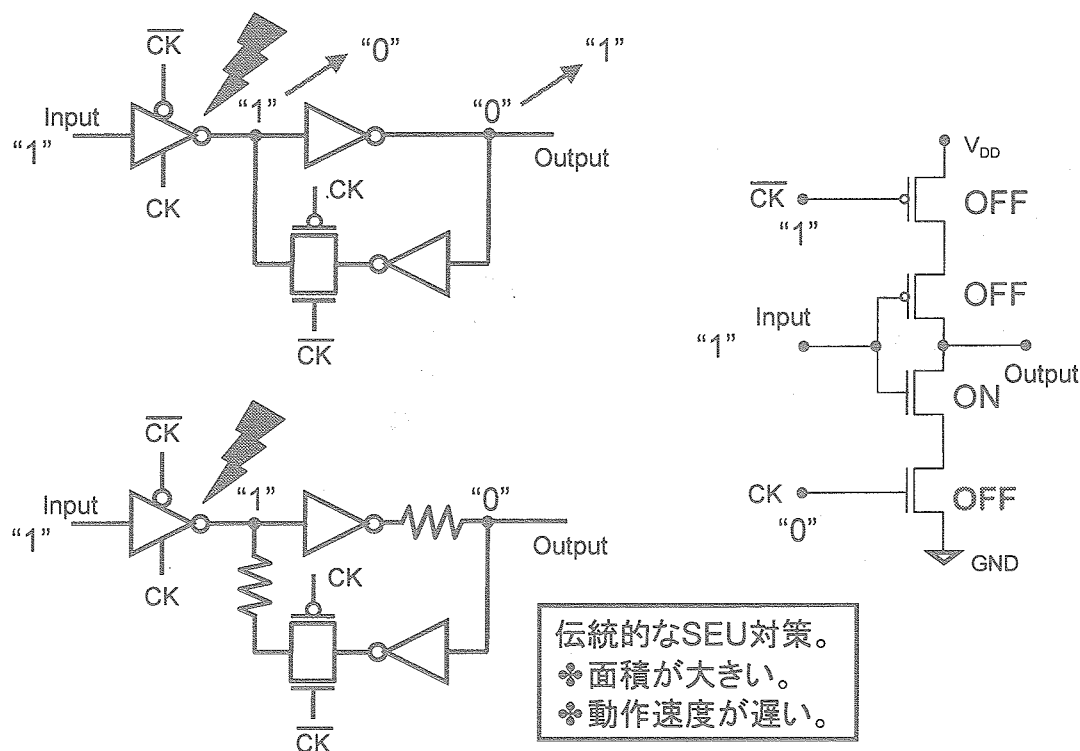
これまで、耐放射線性デバイスを開発するための典型的な手法は製造プロセスを見直し、専用の製造プロセスを構築する方法であった。

民生市場の成長により、社会インフラの整備のための市場は相対的に縮小し、専用の製造プロセスを構築することが事実上不可能になった。

民生用の製造プロセスをそのまま使って宇宙用としての性能を確保する設計技術が注目されるようになってきた

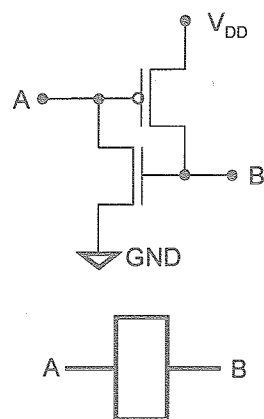


# 5.3 Single Event Upset (SEU)

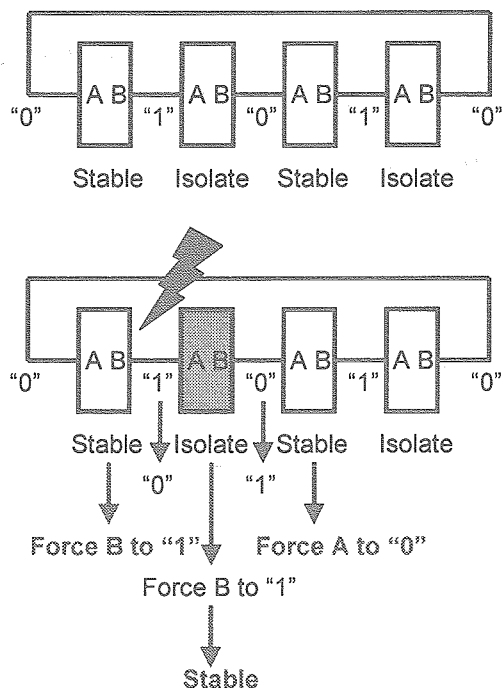


# 5.4 SEU対策への新たなアプローチ

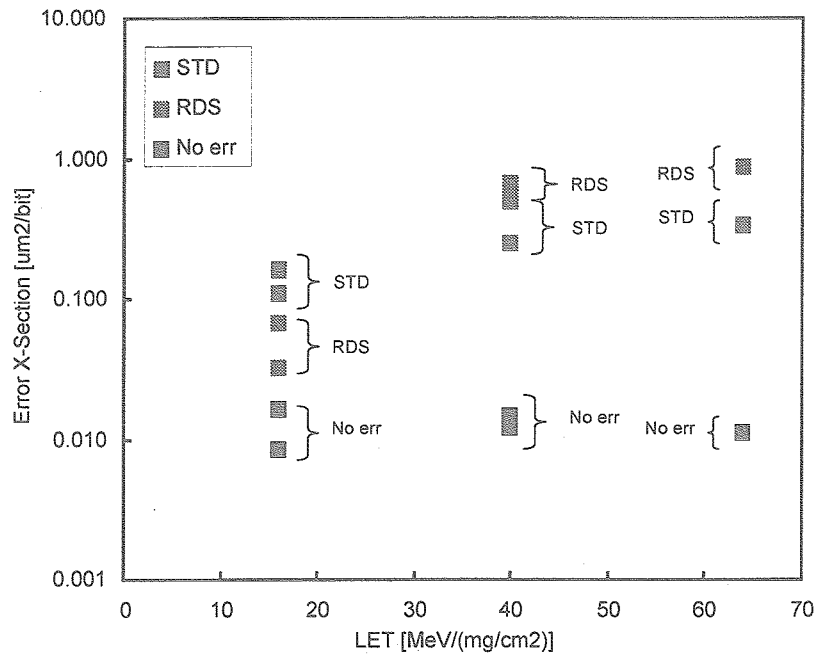
## Dual Interlocked storage Cell (DICE)



A	B	Status
0	0	Force B to "1"
0	1	Stable
1	0	Isolate A and B
1	1	Force A to "0"



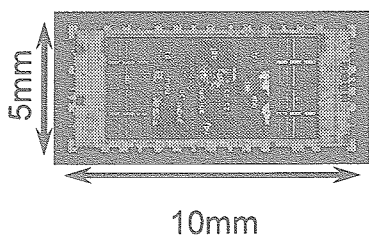
## 5.5 最新の成果



軌道上ではまずSEUの発生しない回路の実現に目処をつけることができた

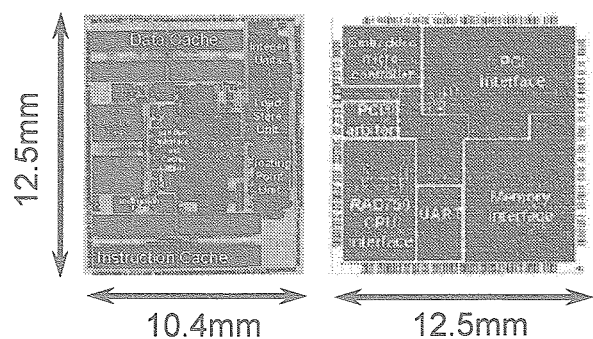
## 6. 宇宙用MPUの開発

### EMサンプルチップ



- 0.18 $\mu\text{m}$ プロセス(周辺回路一体)
- 200MHz動作(66MHzPCI)
- MIPS5kf互換
- 32kB(命令)+32kB(データ)キャッシュ

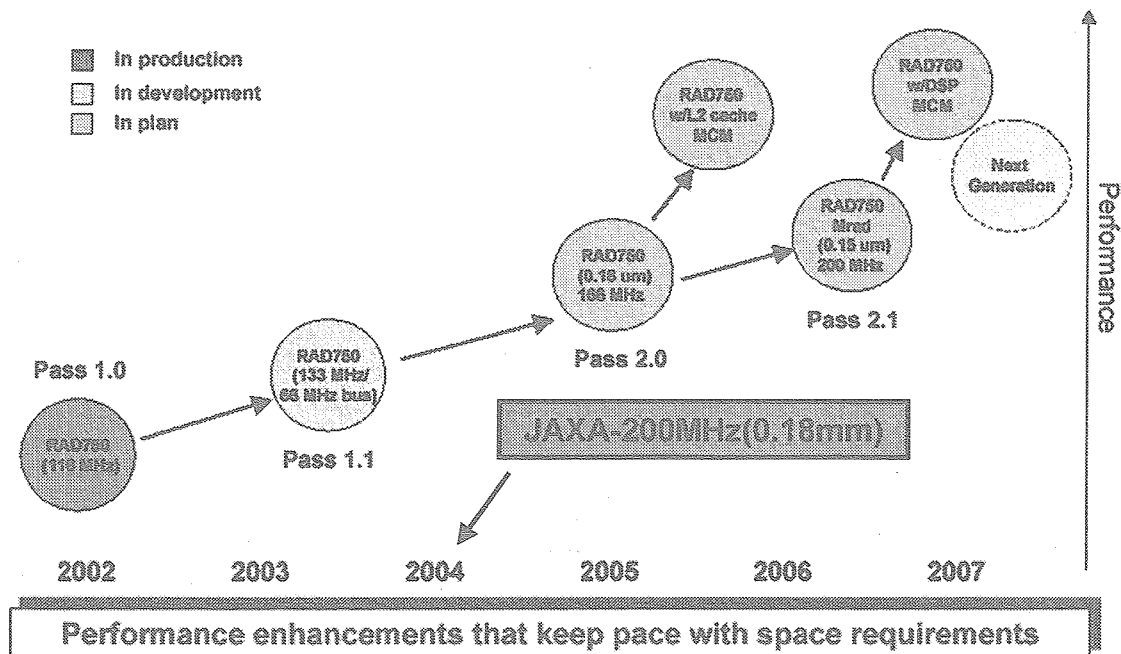
### RAD750(米BAE社)



- 0.25(MPU)+0.5 (周辺)  $\mu\text{m}$ プロセス
- 133(MPU)+33 (周辺) MHz動作
- PowerPC750互換
- 32kB命令+データキャッシュ

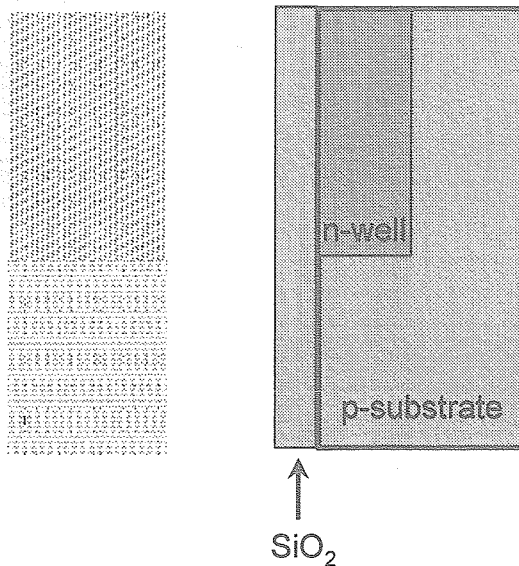
## 6.1 宇宙用MPUのロードマップ

### RAD750™ Processor Roadmap



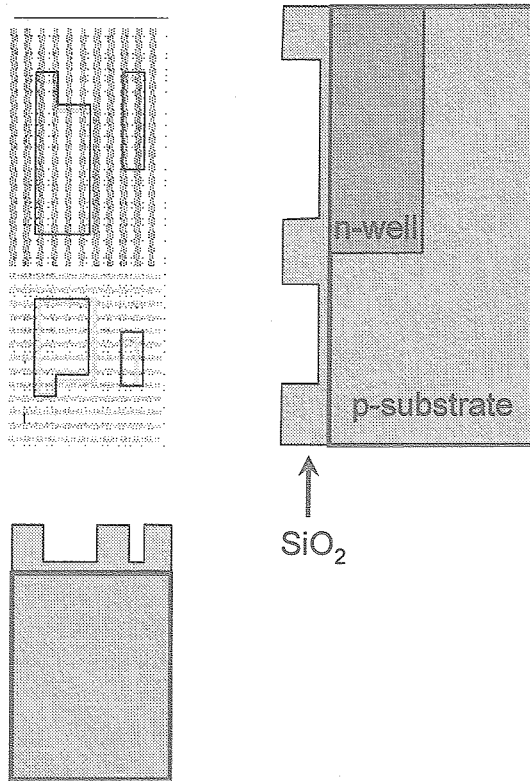
## 7.1 インバータのできるまで

### ウェル注入工程



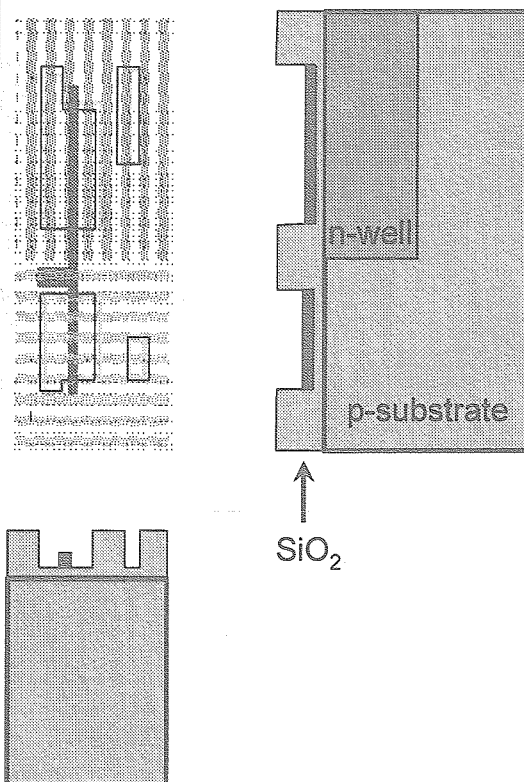
## 7.1 インバータのできるまで(続き)

### 活性領域の設定



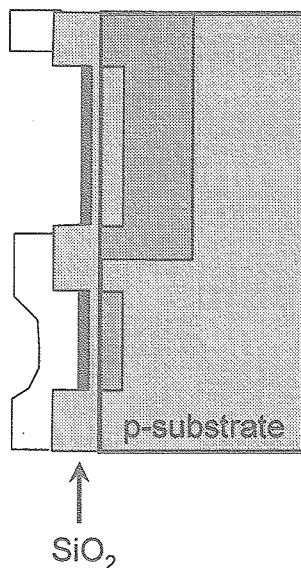
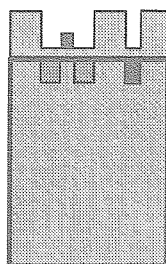
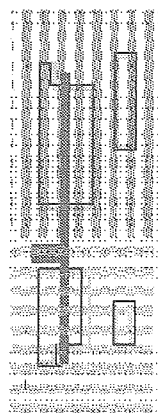
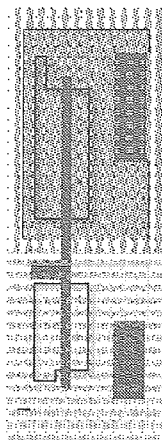
## 7.1 インバータのできるまで(続き)

### ゲート電極の生成



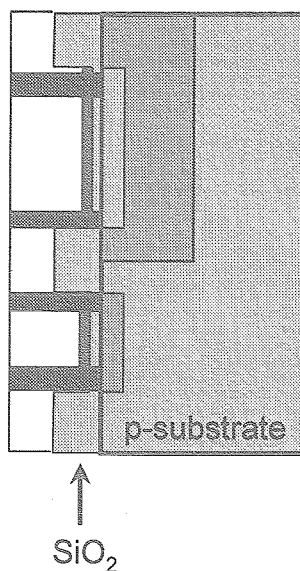
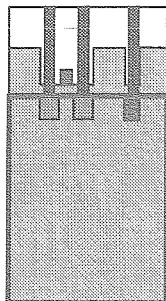
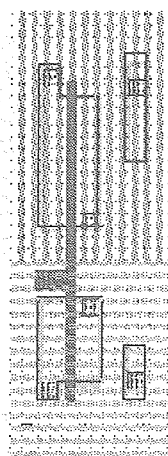
## 7.1 インバータのできるまで(続き)

### トランジスタの生成



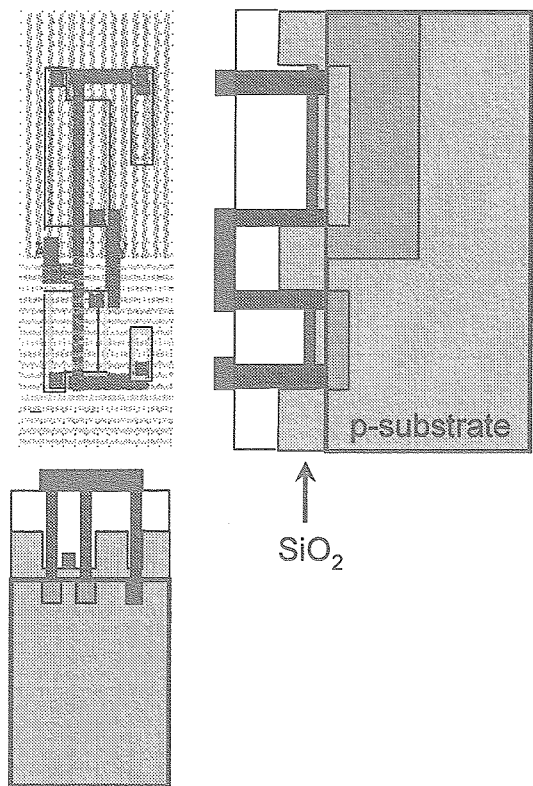
## 7.1 インバータのできるまで(続き)

### コンタクトの形成



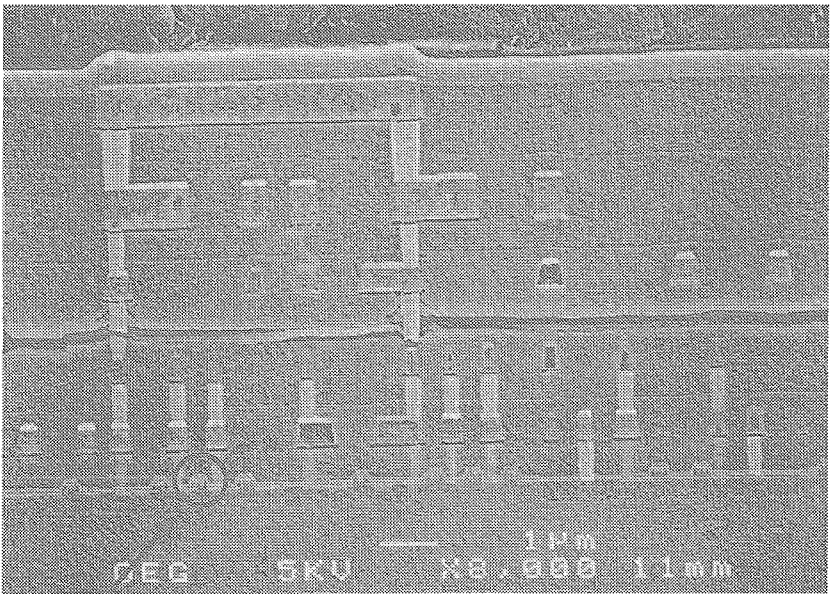
# 7.1 インバータのできるまで(続き)

## 配線の形成



# 7.2 実際の断面構造

- 第5配線層 →
- 第4配線層 →
- 第3配線層 →
- 第2配線層 →
- 第1配線層 →



トランジスタ

## 8. まとめ

- ◆ 高機能な宇宙機器の開発には集積回路技術が欠かせない
- ◆ デバイス構造に関する基本的な理解がリスク低減に大きく寄与する
- ◆ 設計・製造技術の進歩及び技術のオープン化の流れによって、少量しか必要としない宇宙用半導体デバイスの商業ベースでの生産が可能となってきた
- ◆ HBD技術は最も注目すべき技術であり、最先端の宇宙用耐放射線性集積回路の開発に欠かせない技術である。

斬新なシステムを実現するための基盤技術として、興味がある皆さんの参加を歓迎します!!

\*\*\*\*\*

## 6回 「宇宙用半導体集積回路の実際と設計シミュレーション」質問書に対する回答集

\*\*\*\*\*

回答者：久保山 智司 様（宇宙航空研究開発機構）

Q 1. RAD HARD性能をデバイス上の設計（ハードウェア）にて実現する説明を頂きましたが、FPGAのようにHDL等でプログラムを行う設計の場合、RAD HARD性能実現として、R-Cellの三重化を行っています。アルゴリズムとして他にどのような手法が考えられますか。

A 1. 三重化は電力・面積で約4倍のペナルティになり負担が大きいですので、可能であればもっと上位レベルでECCやパリティを使う方法があります。ソフトウェアと協調して対策を講じる方法もあります。

Q 2. 今回ご紹介がありましたIC設計は、宇宙用に適用させて採算性が取れる感触はありますか。宇宙用としてメーカーが販売しているものを利用する方法と設計によりICを製造する方法とどちらが生産性/効率の点で有利か？どのような種類のICに対して設計することにメリットがあるのでしょうか。

A 2. 宇宙用の電子機器は一般にアセンブリ・検査にかなりのコストがかかります。ご紹介させていただいた技術を適用すると、宇宙用として標準的に販売されている部品を数分の1から10分の1程度まで集約することができます。そうすると部品代だけでなく、アセンブリ・検査コストも大幅に低減できます。これらの低減分と、LSIを新たに設計するための費用を比較して採用の可否を検討していただくことになると思いますが、メリットが出る場合も多いと考えています。

Q 3. IC設計のゲート規模はどのくらいを考えていますか。  
IC製造に伴う信頼性評価についてどのような計画がありますか。

A 3. 上限は現状20Mゲート程度です。標準部品として同じプロセスでMPUとメモリを製造し、認定試験や定期的な保証試験を実施しますので、その派生品として保証・出荷することが可能です。

Q 4. 今回ご紹介頂いたHBDよりユーザが設計したデバイスについて、製造に協力してくれる半導体メーカーとしては、具体的にどのメーカーが挙げられるのでしょうか。

A 4. HBDを適用するためには半導体メーカーとはいってもユーザからマスクデータを受取って、ウェハの製造だけを請負うウェハファウンドリを使う必要があります。ウェハだけできても使えないので、他に専業メーカーを使ってアセンブリ、スクリーニング等を実施する必要があります。ユーザがこれらのアレンジまですべてこなすことは現実的ではありませんので、ユーザの設計データをもとに完成したLSIとして供給する「メーカー」としてHIRECをアサインしています。ファウンドリとしては富士通、沖電気、UMCJがあります。

Q 5. 5.5項の図中の STD, RDS, No err の意味を教えてください。

A 5. STD:ウェハファウンドリが標準として提供しているセル(基本回路)を示しています。  
RDS:トランジスタのオン抵抗 (RDS) をエラー対策に採用したセルと言う意味です。(あまり効果は



ありませんでした。)  
No err:その他のエラー対策を採用したセルでエラーがまったく起きなかったと言う意味です。

- Q 6. HBD術としてJAXA殿が取り組んでいる宇宙用部品として、将来使用可能なICの種類と時期を可能な限り具体的にご教示ください。
- A 6. 64bitMPU:2005/9, 32MbitSRAM:2006/3, FeRAM/FPGA:TBD が標準部品として予定されています。他にユーザの設計によるカスタム LSI を供給できる体制を整備する予定です(2005/10 以降)。

\*\*\*\*\*





## 執筆者一覧

- ・ 積層セラミック コンデンサ  
JAXA 宇宙用部品開発共同センター 佐藤幸雄
- ・ 金属皮膜抵抗器  
多摩電気工業（株）品質保証センター  
品質評価グループ プロフィットマネージャー 清川正史
- ・ プリント基板  
JAXA 宇宙用部品開発共同センター 花森 優
- ・ コネクタ  
日本航空電子工業（株）コネクタ事業部  
事業部長代理 技術担当 山下 誠
- ・ リレー  
日本航空電子工業（株）システム機器事業部  
製造部 エキスパート 山本春好
- ・ 個別半導体（ダイオード、トランジスタ）  
富士電機デバイステクノロジー（株）  
半導体事業本部  
テクニカルアプリケーションセンター 担当課長 櫻井敬二  
デバイス開発部13開発Gr. マネージャー 桐畑文明
- ・ HIC、DC/DCコンバータ、高密度実装に使用する微細接合技術  
日本アビオニクス（株）  
製造装置事業部 基礎開発部 部長 中谷直人  
情報システム事業部 担当部長 松本賢二  
福島アビオニクス（株）  
信頼性品質管理部 部長 金子政義
- ・ 宇宙用半導体集積回路の実際と設計シュミレーション  
JAXA 宇宙用部品開発共同センター 久保山智司  
同上 新藤浩之

## 宇宙用電子部品

平成17年2月25日 初版発行

編集	宇宙用部品研修会事務局
発行者	総合技術研究本部 宇宙用部品開発共同センター長 松田純夫
監修	総合技術研究本部 宇宙用部品開発共同センター 佐藤幸雄

宇宙航空研究開発機構研究開発資料 JAXA-RM-04-024

---

発行日	2005年2月28日
編集・発行	独立行政法人 宇宙航空研究開発機構 〒182-8522 東京都調布市深大寺東町七丁目44番地1 TEL 0422-40-3000(代表)
印刷所	株式会社 ビー・シー・シー・ 東京都港区浜松町2-4-1

---

©2005 JAXA

※本書(誌)の一部または全部を著作権法の定める範囲を超え、無断で複写、複製、転載、テープ化およびファイル化することを禁じます。

※本書(誌)からの複写、転載等を希望される場合は、下記にご連絡ください。

※本書(誌)中、本文については再生紙を使用しております。

<本資料に関するお問い合わせ先>

独立行政法人 宇宙航空研究開発機構 情報化推進部 宇宙航空文献資料センター





宇宙航空研究開発機構  
Japan Aerospace Exploration Agency