

高速搭載コンピュータの研究

Research of high performance on-board type computer

200MIPS級64ビットMPUの研究開発

200MIPS class High-Speed 64bit MPU for space use

総合技術研究本部 宇宙用部品開発共同センター

Space Component Engineering Center, Institute of Space Technology and Aeronautics

新藤 浩之, 飯出芳弥, 山田理子, 久保山 智司, 松田 純夫, 道浦俊夫

Hiroyuki Shindo, Yoshiya Iide, Noriko Yamada, Satoshi Kuboyama, Sumio Matsuda, Toshio Doura

Abstract

In recent years, many space projects require high-speed computer in order to construct small and high-performance electronics for spacecrafts. We started the research and development about 200MIPS class high-speed 64bit microprocessor in fiscal year 2001. This year, we manufactured Engineering Sample and evaluated the electrical performance. We also developed In-circuit emulator (ICE), Real-time Operating System (RTOS) and the development board.

1. はじめに

将来の科学衛星や実用衛星プロジェクトにおいて、これまでにない大容量の情報を高速に処理することが可能な衛星搭載機器の開発が求められている。この要求を満たすことが可能な、小型高速の搭載コンピュータを実現することが出来れば、高分解能の画像センサや恒星センサ、GPS受信機、ロボット関節組込プロセッサ等、広範囲で利用が可能となり、衛星の小型高機能化・自動自立化に大きく寄与することが出来る。ところが、高速搭載コンピュータの中核を担うMPUに関しては、宇宙用として将来のプロジェクト要求を十分に満たす性能を有するものは、現状では宇宙用部品市場にはなく、衛星技術の高度化を阻害する大きな要因となっている。また、米国の宇宙用ペンティアム開発プロジェクトに代表されるように、MPUは宇宙機システムの成否を左右する戦略部品として認識されており、日本の衛星技術の高度化を進め、独自性を維持するためには、次世代の宇宙用高速MPUの開発に向けた技術研究に早急に着手する必要がある。

以上のことから、本研究では平成13年度より、200MIPS (Million Instructions Per Second) クラスの高速動作が可能な宇宙用64ビットMPUの実現に向け、要素技術の研究開発を開始した。

2. 研究の概要

研究計画の中で、昨年度までに実施済みの項目と本年度に実施した項目（下線で示す）を整理したものを以下に示す。本報告では、今年度実施した3項目について報告する。

- システム検討と研究要素・入手可能な民生部品の識別検討
- MPUアーキテクチャの選択
- 回路マスクの設計
 - ・MPUコア設計データの入手と性能予測
 - ・周辺回路機能の仕様選定と全体回路マスク設計

- 宇宙用半導体デバイス（下地）の開発
 - ・COT方式における耐放射線性確保のための手法検討
 - ・放射線対策回路の試作評価
- 試作サンプルの製造・機能評価 (今年度実施)
- 開発支援環境の検討と整備 (今年度実施（継続）)
- MPUの放射線耐性予測 (今年度実施)

3. 本年度の成果

3.1 200MIPS級64bitMPUの仕様

はじめに、現在研究開発を進めている200MIPS級64bitMPUの仕様について述べる。MPUコアのアーキテクチャとしては、MIPS Technologies Inc. が提供する64bitMPU (MIPS64 5kf)を採用している。また、共通的に使用されると予想される周辺機能に関しては、コアとともにワンチップ化し高速化を図っている。この周辺機能に関する仕様概略をTable 1に示す。これらの機能は、本MPUを将来的に利用することを考えているユーザの意見も取り入れ、決定したものである。回路設計にあたっては、MIPS用の標準周辺IPの供給で実績のあるEureka Technology社のシステムコントローラIPを採用することで機能を実現した。

Table 1 Specification of the MPU peripheral system

Function block name	Specification
CPU Bus Slave	Compliant to the EC interface of the MIPS CPU family.
Memory Controller	Supports FLASH, burst SRAM and asynchronous SRAM Single bit Error Correction and Double bit Error Detection.
DMA Controller	2 independent DMA channels. (Memory ⇄ Memory, Memory ⇄ I/O)
PCI Controller	Compliant with PCI spec. 2.2. 32bit bus, 33MHz / 66MHz.
UART	Functionally compatible with 16550. Supports Character / FIFO mode.
Timer	2 channels of 32 bit timers (interval timer mode / pulse generator mode)
Interrupt Controller	Supports multiple internal (18ch.) and external (6ch.) interrupt sources. 8 levels of interrupt priority.

3.2 試作サンプルの製造・機能評価

昨年度までの設計結果を受け、機能評価用の試作サンプルを製造し、本MPUが所望の機能性能で動作することの確認試験を実施した。試作したサンプルの概観をFig.1に示す。チップ面積はコア部+周辺機能回路すべて含めて5mm×10mmとなっている。キャッシュサイズはデータキャッシュ/命令キャッシュともに32kBである。なお、本サンプルは機能確認を主目的としているため、LatchやFlip-Flop回路等には放射線対策を施していない。フライト品では放射線対策を施した回路に変更するため、この分の若干のチップ面積が増加すると予想される。機能評価に当たっては、LSIテストを用いたデバイスの電気的な性能評価と、後に述べるICEおよびRTOSを用いた実動作による確認試験の両者を実施した。

機能評価結果より200MHzでの基本的な動作は問題ないと判断されたが、周辺機能に関する何点かの局所的な設計ミスが判明した。また、キャッシュのパリティ機能の高速化やPLLの分周比追加、スイッチングノイズの低減等、性能・使い勝手を向上させたほうが良いと判断されるポイントが洗い出された。これらの変更点はすべて、平成16年度に製造する品質確認試験用のサンプル以降に反映される予定である。

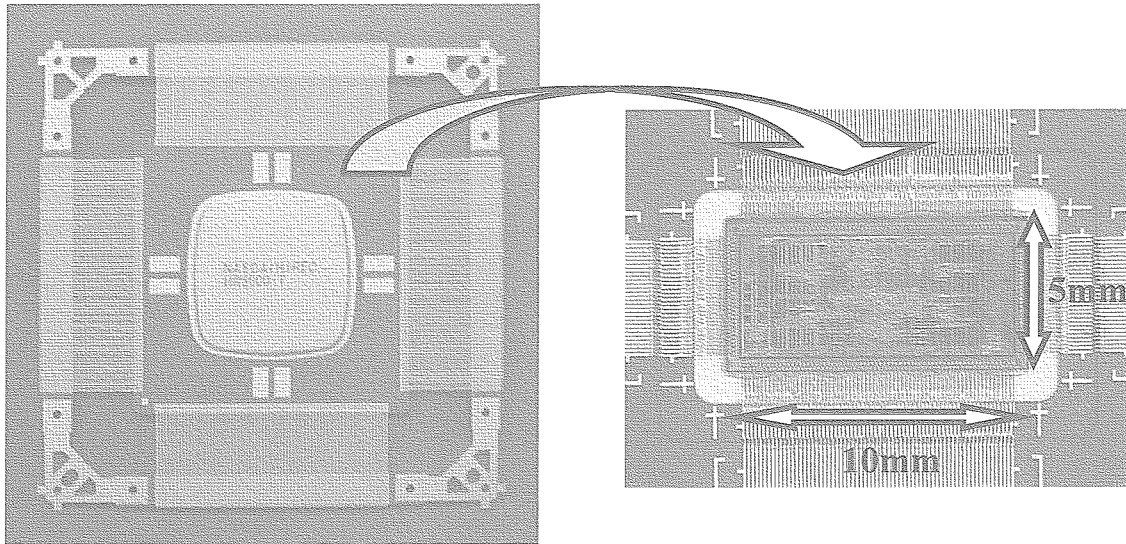


Fig.1 Engineering Sample of 200MIPS 64bit MPU

3.3 開発支援環境の検討と整備

MPUを使用してシステムを開発する際、ICE (In-Circuit Emulator)、リアルタイムOS、コンパイラ/デバッガ、評価ボードといった一連の開発支援環境が必須となる。今年度これら開発支援環境について、ユーザの意見を踏まえながら整備を実施した。ICEは、現行の64bitMPUと同一の機種である横河デジタル社製ADVICE-plusを採用し、あわせてMPU評価用の標準テストボードを整備した (Fig.2)。ソフトウェアに関しては、実用的なプログラムを動作検証することを目的とし、リアルタイムOS (μ ITRON) およびgccコンパイラを本MPU用に移植し、ファイルシステムへのアクセスやサンプルタスクテスト等、問題なく動作することを確認した (Fig.3)。

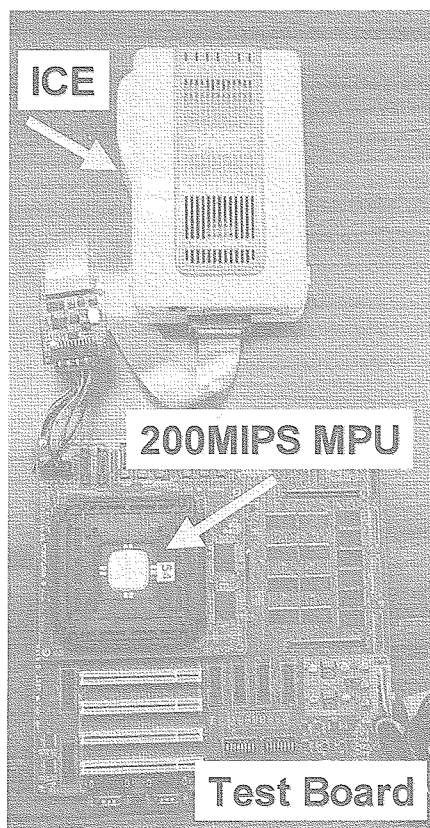


Fig.2 ICE and Test board

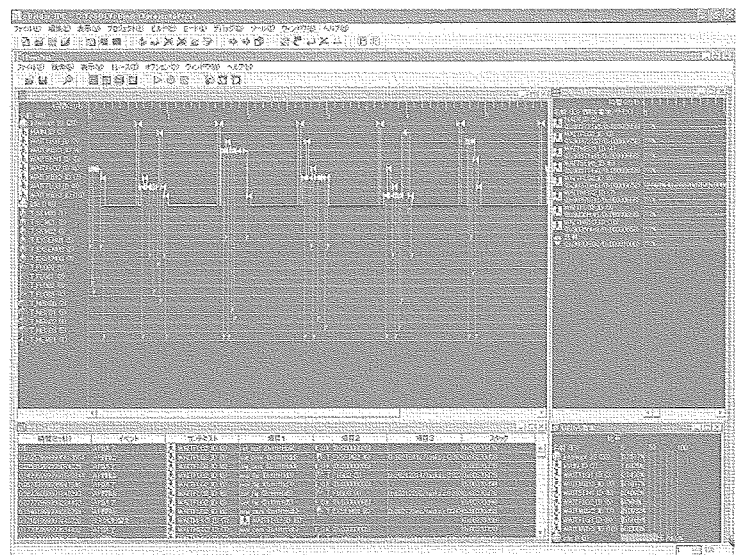


Fig.3 Real-time Operating system for 200MIPS 64bit MPU

Development System: eBinder (eSOL)
 Kernel: μ ITRON 4.0
 Compiler: GCC for MIPS

3.4 MPUの放射線耐性予測

本MPUでは、放射線対策手法については、回路設計時に組み込まれるLatchやFlip-Flop等の基本素子のレイアウトに手を加えることで放射線耐性を向上させる手法を採用している。これら基本回路を搭載した評価用サンプルの放射線照射試験結果より、本MPUに採用している各基本回路の放射線耐性と代表的な軌道上でのSEU発生頻度を算出した結果をTable 2に示す。本来であればMPUチップに対して放射線照射を実施して評価をするのが最良であるが、MPUはメモリ素子等と比較して機能が複雑化し回路も大規模化しているため、MPUそのものを使用した放射線耐性評価が非常に難しい。このため今でも多くの研究者によってさまざまな手法が提案されているが、統一した手法が確立されていないのが現状である。SEUの発生頻度については、CREME96モデルを使用して算出した (<https://creme96.nrl.navy.mil/>)。

SRAM回路に関しては放射線対策を施していないため、その耐性が他の回路に比べて低くなっている。SRAMは高速動作が求められるMPUのキャッシュに使用されている回路である。この部分に関しては回路による放射線対策を施してしまうと非常に大規模となり、消費電力も増大してしまうため、本MPUでは回路自身には対策をせず、パリティ検出回路によってエラーを検出・訂正する方針を採用している。今回の予測ケースで最も悪い値を示している静止軌道（太陽活動極小期）でも、SEU発生頻度が3.96E-01[SEUs/device/day]（2.5日に1bit反転）程度となっており、このレベルであれば実用上問題なくエラー訂正可能と判断される。SELに関しては、LET=64[MeV/(mg/cm²)]まで耐性を有していることが確認され、トータルドーズに関してはパッケージの遮蔽効果も合わせて1kGy(Si)の耐性が十分確保されていることを照射試験により確認した。

Table 2 Irradiation result of basic circuit and predicted SEU rate on orbit

Circuit name	SRAM-PW	SRAM-HS	RH-Latch	PLL-8211	PLL-8511
Number of use in MPU	594944	73728	34551	1	1
Cross Section [cm ² /bit]	3.16E-07	3.28E-07	<1.05E-9	4.88E-07	4.36E-07
LETth [MeV/(mg/cm ²)]	0.46	0.46	>40.3	>6.54	>3.56
Predicted SEU rate (ALOS orbit)					
Solar Min. [SEUs/bit/day]	2.28E-07	2.33E-07	1.24E-15	5.70E-07	1.96E-06
[SEUs/device/day]	1.36E-01	1.72E-02	4.28E-11	5.70E-07	1.96E-06
Solar Max. [SEUs/bit/day]	9.54E-08	9.77E-08	2.76E-16	1.32E-07	7.76E-07
[SEUs/device/day]	5.68E-02	7.20E-03	9.54E-12	1.32E-07	7.76E-07
Predicted SEU rate (geosynchronous orbit)					
Solar Min. [SEUs/bit/day]	6.66E-07	6.80E-07	3.68E-15	2.00E-06	5.88E-06
[SEUs/device/day]	3.96E-01	5.01E-02	1.27E-10	2.00E-06	5.88E-06
Solar Max. [SEUs/bit/day]	2.36E-07	2.41E-07	8.26E-16	6.80E-07	1.89E-06
[SEUs/device/day]	1.40E-01	1.78E-02	2.85E-11	6.80E-07	1.89E-06

4. まとめ

本研究では、高速搭載コンピュータの中核を担う次世代高速MPUの実現に向け、昨年度までの検討結果を受けて実際に試作サンプルを製造し、実動作での機能評価を実施した。また、将来的にシステム開発に必要となるICE、評価ボード、リアルタイムOS等の開発支援環境を整備することが出来た。放射線対策手法については、回路設計時に組み込まれる基本素子のレイアウトに手を加えることで放射線耐性を向上させる手法を採用し、その有効性が確認できている。

上記のとおり、検討すべき技術課題は現在までにひととおりクリア出来たと見え、残る品質確認試験を実施すればフライト品の製造供給が可能となる。現在、品質確認試験用のサンプル（放射線対策を施した回路を搭載）の製造および機能確認試験に着手しており、平成16年度は品質確認試験を実施し、フライト品の製造へと繋げていく計画である。