

気球を用いたメモリの宇宙環境実験

佐野 興一*・森 正道*
正村 達郎*・榎本 清司*
鮫島 秀一*・西村 純・太田 茂雄

(1983年5月27日受理)

Soft Error Evaluation of LSI Memories by a Big Balloon Simulation Test

By

Koichi SANO, Masamichi MORI,
Tatsuro MASAMURA, Seiichi ENOMOTO,
Shiichi SAMEJIMA, Jun NISHIMURA and Shigeo OTA

Abstract: In order to evaluate soft errors of LSI memories in satellite circumstances and obtain fundamental design data for radiation hardness, space environmental test was carried out by use of a big balloon.

Testing methods and simulation test results in more than 30 km altitude for flight time 14 hours and prediction of single event upset in the geostationary radiation environment are described.

1. ま え が き

将来の大容量通信衛星では衛星上で高度の信号処理を行うため、信号処理用 LSI や大容量メモリの導入が不可欠である。しかし、国内におけるこれまで地上で使用実績のある多くの半導体集積回路は、宇宙空間の厳しい放射線環境に耐えるものは殆どなく、そのまま衛星搭載用として使用できない。宇宙放射線は半導体デバイスに対して定常的な被ばくにより恒久的損傷を与える他、最近、集積回路の微細化、高集積化に伴い、一時的な動作不良“シングル・イベント・アップセット (Single Event Upset: SEU)”が、衛星のミッションの成功、不成功を左右するほど重大な現象として認識されるに至った。

この SEU 現象は、別のカテゴリーのパッケージ材料中に微量に含まれる U, Th から放

* 日本電信電話公社電気通信研究所

射される α 粒子によって起こされるメモリのソフト・エラーと同一のものであり、宇宙線による SEU 現象については 1975 年のバイポーラ系メモリを用いた人工衛星の故障解析報告が初めてであり[1]その後、MOS 系デバイスの SEU に関する報告が多く見られる。

SEU 現象の基本メカニズムは、1) 宇宙線が半導体に入ることによって生ずる電子・正孔対が電界によって移動し、動作機能に影響を及ぼす第 1 のカテゴリーと、2) 高エネルギーの宇宙線と Si 原子との核反応により放出される 2 次粒子の通過によって発生する電子・正孔対の影響を受ける第 2 のカテゴリーに分類できる。いずれにせよ、この現象は、大きな物質透過力と同時に高い阻止能を持つ荷電粒子がその飛跡に沿って発生する稠密な電子・正孔対の影響を受けて起こされる。こうした現象を起こす粒子線は第 1 のカテゴリーでは α 線などの数 10 MeV 以上の高エネルギーの重イオン線であり、銀河宇宙線の中に見られ[2]~[6]、第 2 のカテゴリーでは、高エネルギー放射線と Si 原子との核衝突によって素子内部に発生する二次粒子によって起こされるものでバイアレン帯中の高エネルギー陽子など、殆んどの高エネルギー宇宙放射線である[7]~[10]。

実使用環境における宇宙線暴露試験により LSI メモリ等の一時的動作不良に対する耐量の評価し、その耐量向上のための設計指標を得るため、昭和 56 年 9 月に宇宙科学研究所が打ち上げたロケットにメモリを組み込んだ試験装置を搭載して動作試験を行った。今回これに引き続き[11]、[12]、三陸大気球観測所において静止衛星環境の宇宙環境を模擬できる大気球による宇宙環境実験を行った結果について述べる。

2. 試験方法

メモリと J-K フリップ・フロップ回路の動作試験を以下のように行う。始めに、被試験用メモリの全アドレスに '0' を書き込み、初期設定を行う。次に、書き込んだデータ '0' を 1 アドレスずつ読み出し正常に書き込まれているかどうかを調べ、エラーがなければ '1' を書き込み次のアドレスに進む。エラーが発生した時は、後述するエラー処理を行った後次のアドレスへ進む。すべてのアドレスに '1' を書き終えると、次に、書き込んだデータ '1' を 1 アドレスずつ読み出し、正常に書き込まれているかどうかを調べ、エラーがなければ '0' を書き込んだ後次のアドレスに進む。メモリのすべてのアドレスに '0' を書き終えると最後に J-K フリップ・フロップ回路に分周の誤動作があればエラー処理を行う。以上の 1 試験サイクルの動作手順を図 1 に示す。そして、再び最初のメモリアドレスに戻り、また、全アドレスに対して順次 '0' を 1 アドレスずつ読み出して同様の試験を繰り返す。1 試験サイクル終了後に RAM にストアしたエラー・データをテレメータ送信用バッファ・メモリ (TLM RAM) に転送する。以上の試験プログラムのフローを図 2 に示す。

本メモリ試験装置の構成を図 3 に示す。メモリの Read/Write 動作、J-K フリップ・フロップ回路の分周動作をマイクロプロセッサ (Z 80 相当) で制御する。先に述べた 1 試験サイクルの試験結果データを RAM にストアし、1 試験サイクルを終了すると同時に RAM の内容を TLMRAM へ転送し、TLMRAM からテレメータ送信機へ出力する。

製作した装置の諸元を表 1 に示し、具体的な方法について説明する。

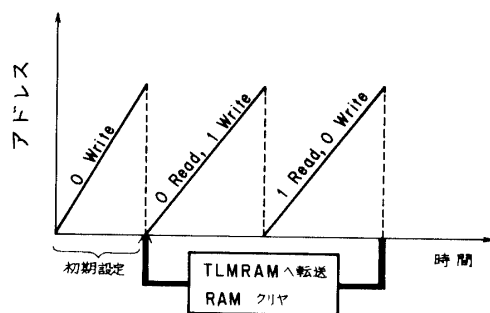


図1 1試験サイクル

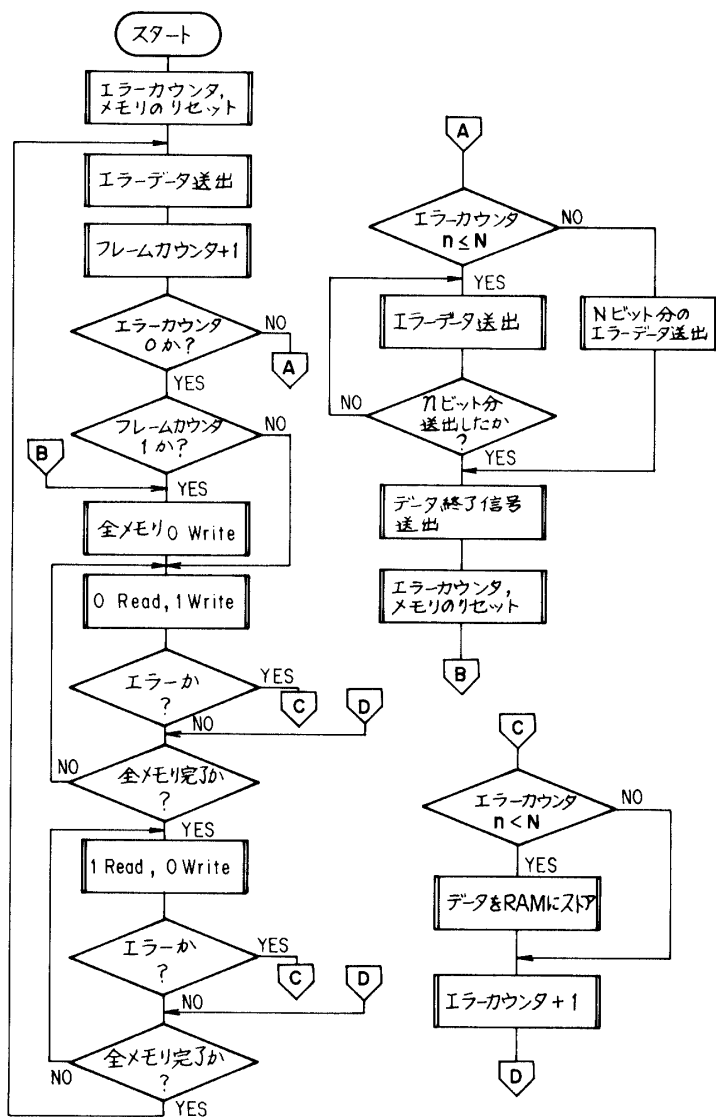


図2 試験プログラムのフロー・チャート

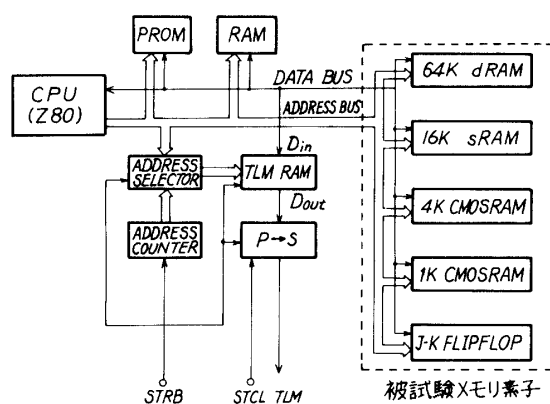


図3 メモリ試験装置の構成

表1 メモリ試験装置諸元

項目	性能諸元
被試験メモリ素子	64KダイナミックRAM 48個
	16KスタティックRAM 48個
	4K CMOS RAM 48個
	1K CMOS RAM 112個
	J-Kフリップ・フロップ 120個
CPU	Z80
電源	5V, 7A, 90h
大きさ	試験装置800×850×900mm ゴンドラ900×900×1200mm
重量	試験装置 40kg
	リチウム電池 60kg
	ゴンドラ 50kg

2.1 メモリマップ

本装置のメモリマップ構成を図4に示す。被試験用メモリのアドレス領域を8000~FFFF番地とした。CPU1で制御するメモリは、64KダイナミックRAM:48個、16KスタティックRAM:48個、1K CMOS RAM:16個であり、合計482Kバイトである。CPU2で制御するメモリは、1K CMOS RAM:96個、4K CMOS RAM:48個、J-Kフリップ・フロップ回路:120個であり、合計36KバイトのメモリエリアとJ-Kフリップ・フロップのための指定したアドレス領域である。CPU1とCPU2を制御するメモリエリアをそれぞれBLOCK0~15およびBLOCK0~3に分割し、I/Oポート出力をデマルチプレクスすることにより順次アクセスする。すなわち、図5に示すようにPIOを用いて

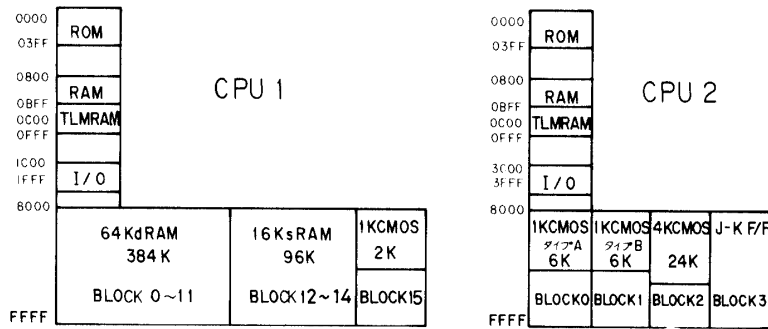


図4 各CPUのメモリ・マップ

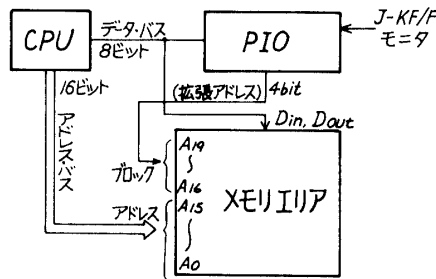


図5 メモリ・エリアの拡張

メモリエリアを拡張し、J-K フリップ・フロップ回路の分周動作確認のモニタを行う。

0000~FFFF 番地は、試験プログラムを格納するROM、エラー・データ処理に用いるRAM、およびI/Oコントロールのための領域である。

2.2 J-K フリップ・フロップの分周動作

J-K フリップ・フロップ回路のエラー検出には図6に示す分周動作確認回路を用いる。

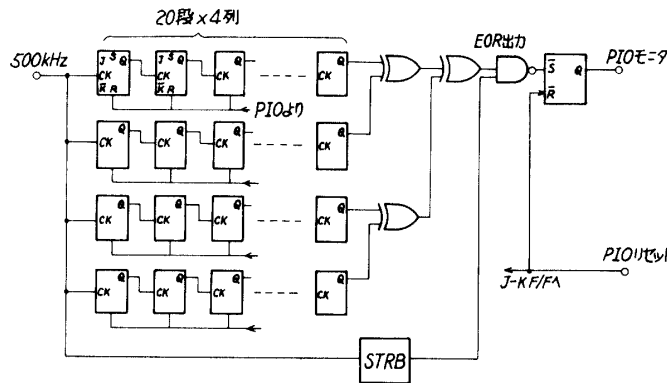


図6 J-K フリップ・フロップの分周動作確認回路

ある任意の周波数の入力信号に対して J-K フリップ・フロップ回路を有列 20 段で各列各々分周した信号を排他的 OR 回路で受け、次段の排他的 OR 回路の出力信号と 20 段分を遅延したストロブ信号の送出時のみ取り出せる NAND 回路の出力信号によってセット・リセット回路が反転すれば、エラー発生として検出できる回路である。

2.3 エラー処理

メモリの試験中にエラーを検出した場合の処理手順について説明する。以下に述べるエラーに関するデータは図 3 に示す RAM にストアし、図 1 の 1 試験サイクルが終了すると同時にテレメータ送信のためのメモリ (TLRAM) へ転送する。RAM のデータは図 7 に示すエラー・カウンタ以下のデータをクリアし、次の試験サイクルに備える。フレーム・カウンタは、試験開始後何サイクル目の結果であるかを示す。エラーカウンタは、ソフト・エラーとハード・エラーの識別のための領域であり、各々 3 バイトずつ用いている。

1) エラー発生アドレス

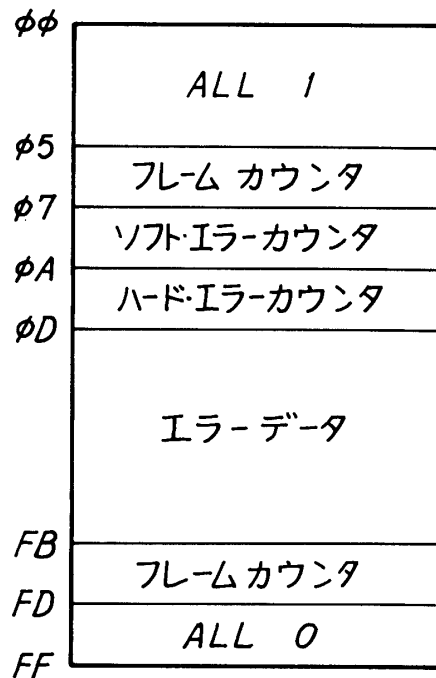


図 7 RAM のデータ内容

エラーが検出されたワードのアドレス。マルチプレクスする以前のアドレスデータ、 $A_0 \sim A_{15}$ であり、図 5 に示す。アドレスは 8000~FFFF である。フリップ・フロップのエラーは、CPU 2 の BLOCK 3 のアドレス 0000 とする。

2) ブロック構成

このブロックの指定によりエラーが検出されたメモリの種類が分る。ブロック構成は、CPU 1 では、BLOCK 0~BLOCK 15、CPU 2 では、BLOCK 0~BLOCK 3 である。

3) エラー発生ビット

エラーが発生したビットを明らかにするため、エラーが検出されたワードのデータ8ビットをストアする。

以上より、被試験メモリ領域のどのビットでエラーが発生したのかを知ることが可能となる。図7は、これらのデータをストアしたRAMの内容を示したものである。811～8FBのデータエリアは、80D～810と同じデータ・フォーマットで繰り返される。60個以上のワードにおいてエラーが発生した時は、エラー内容をRAMにストアすることはできず、エラーカウンタのみをインクリメントする。試験サイクル終了時のデータ転送にともなってクリアするRAMの内容は、807～8FAのアドレスのデータである。

3. 装置設計

図8に本試験装置の全体写真を示す。ゴンドラへの取付は、3段構成になっており、第1段目には、試験装置に5V単一電源をレギュレータを放熱を考慮して2mm厚のAl板850×370mmに取付けたAl放熱板、鉄粉を用いたバラスト(重量80kg)を収納したバラスト投下装置ならびにテレメータ送信機等が搭載されている。第2段目には、メモリ試験装置の電源用として単2相当のリチウム電池約900個からなる電池ボックスが収まっている。

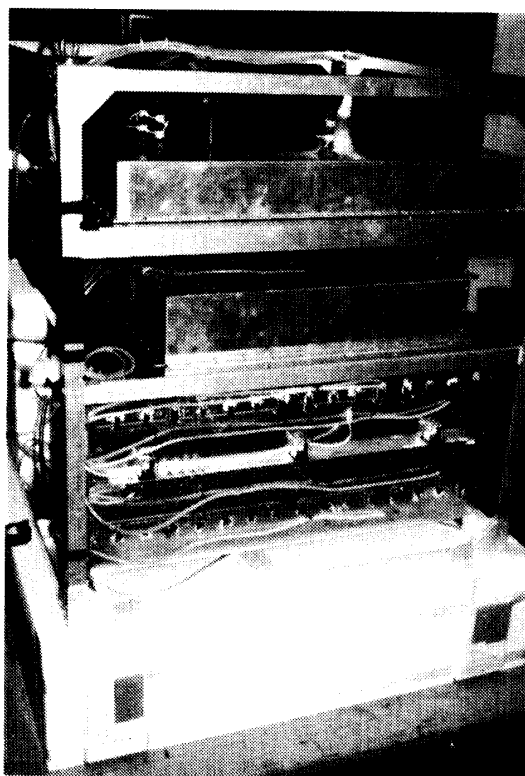


図8 本試験装置外観

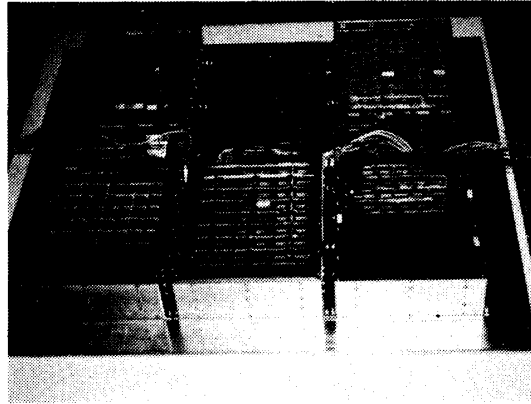


図9 メモリ試験装置外観

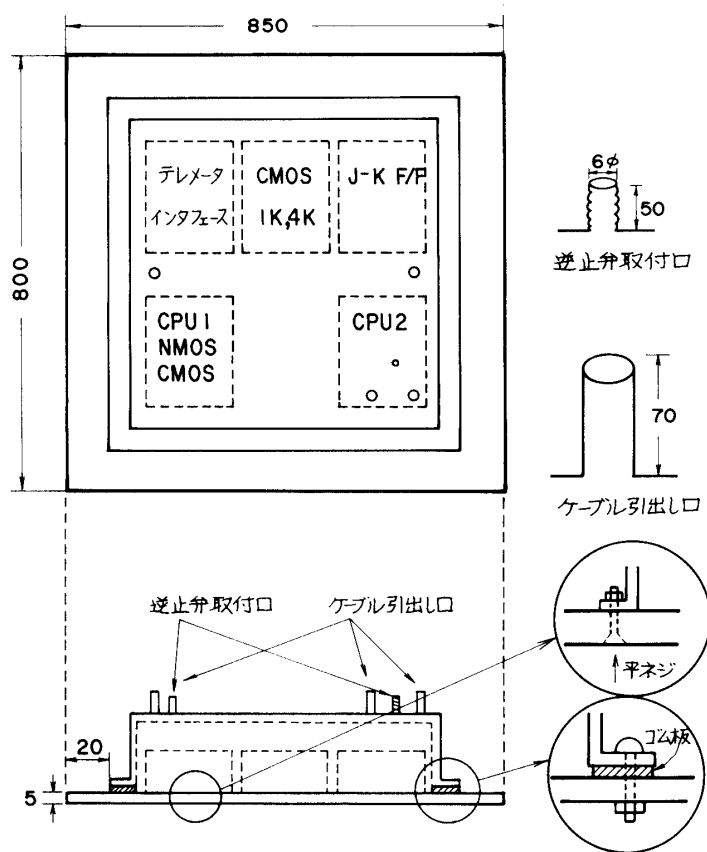


図10 メモリ試験装置の概略図

更に、最上段には、図9に示すメモリ試験装置がAl製の防水箱に收容されている。図より被試験素子の実装状態を見ることができる。メモリ試験装置用防水箱と電池ボックス用の底板は、5 mm厚のAl板850 mm×800 mmを用いた。図10に本試験装置の平面と側面

の概略図を示す。各メモリ試験装置とCPUボードならびにテレメータ送信部インターフェースボードの搭載位置を示す。Al板厚5mmの底板への取付けは、図の如くあらかじめ底板のビス穴を平ネジの頭に合った形で開け、ビス止めした後に気密性を保つためにシリコン系ゴムでネジ止め部分に充填する。また、本試験装置を気球で放球し、宇宙環境実験を行った後、最後に海へ着水させて回収するため、本メモリ試験装置全体を防水できるように箱形のAlカバー板を図の如くゴム板を間にはさんでビス止めした。この際、Alカバー板には、図のように海水の侵入を防ぐ逆止弁用ビニール・ホースならびに信号線や電源線などのケーブルを引出し口より取り出した後に気密性を保つためにシリコン系ゴムを充填した。最終的に、ゴンドラを断熱材を用いて装置温度を 0°C 以上に維持できるように保護する。

3.1 SSTDの装着

SSTDは、Solid State Track Detectorの略であり、固体飛跡検出器といわれるもので[13]、プラスチック性の原子核乾板である。これは、重イオン粒子に対する検出器として、低バック・グラウンド、処理が簡単、安価、大面積化が容易という特長をもち、現在、極めて広い分野に応用されている。プラスチックなどの誘電体内を重イオン粒子が通過すると、その経路に沿って半径約 50\AA の円筒状に放射線損傷を起こす。損傷がある程度以上になると、その部分は、NaOH溶液等での化学的エッチングにより、他の部分の数倍の速度で円錐状に侵食され拡大され、光学顕微鏡、ときには裸眼で観察できるようになる。この経路に沿って侵食速度 (track etch rate, V_T) は放射線損傷の程度、すなわちその部分に付与されたエネルギーに依存し、この V_T の値から入射粒子を弁別することができる。鉄族などの宇宙線の照合、衝突した回数、位置を確認するため、図11の如く試験ボードと一体的に取り付けた。

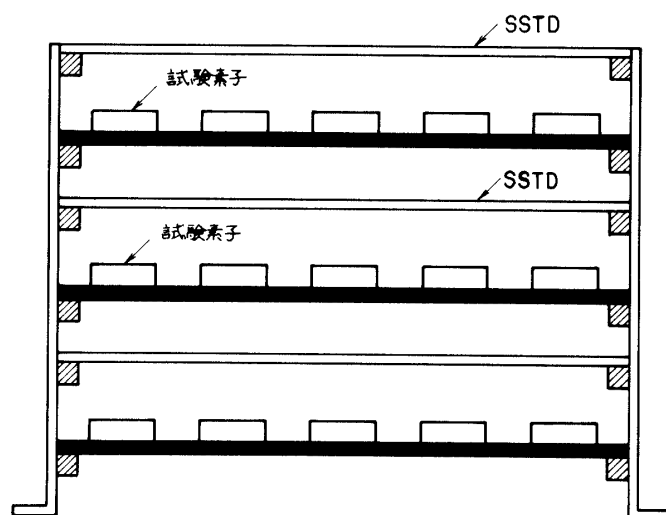


図11 SSTDの装着

3.2 テレメータ・インターフェース回路

メモリ試験装置からのデータを地上に伝送するため、テレメータ送信機とのインターフェースをとる必要がある。テレメータ伝送は、IRIG規格のFM-FM方式でサブキャリア周波数22kHzを用いる。テレメータ送信側インター・フェース回路から、メモリ試験装置へ与えられる信号は次の通りである。

(1) シフトクロック (STCL)

送信データのシフト・タイミング

(2) ストローブ (STRB)

送信データの読取りタイミング

図12にテレメータの送信側インター・フェース回路を示す。TLMRAMに蓄積された1サイクルの試験結果をマルチ・バイブレータと分周器で作ったシフトクロック(STCL)とストローブ(STRB)によりCPUのP-S変換処理した8ビットのシリアルデータの形で順次読み出す。CPU1 50秒, CPU2 70秒の切り換えをカウンタとデータセレクタで行ってシリアルデータをテレメータ送信機へ送出する。

テレメータ1チャンネル当りのサンプリング時間は4msであるから、1試験サイクル分のデータを送信するには、16.38秒要する。テレメータで地上へデータを送信する場合、電波障害等に起因した誤動作と識別するため、1試験サイクル分のデータを3回繰り返しFM送信する。したがって、約50秒の転送時間が必要である。この転送方法を図13に示す。CPU1とCPU2の各 n 回目、 m 回目の試験サイクル実施中にフレームカウンタ($n-1$), ($m-1$)回目にストアした各TLMRAMのエラー・データのP-S変換したシリアル・データを先に述べたテレメータ送信側インター・フェース回路のストローブ信号により3回繰り返しFM送信する。次に、地上のFM受信機で受けたシリアル・データをテレメータ受信側インター・フェース回路でS-P変換した後、コンピュータ(HP 9825 A)へ転送し、CMTにデータ内容を記録する。以上の条件からインター・フェース回路を設計・製作した。

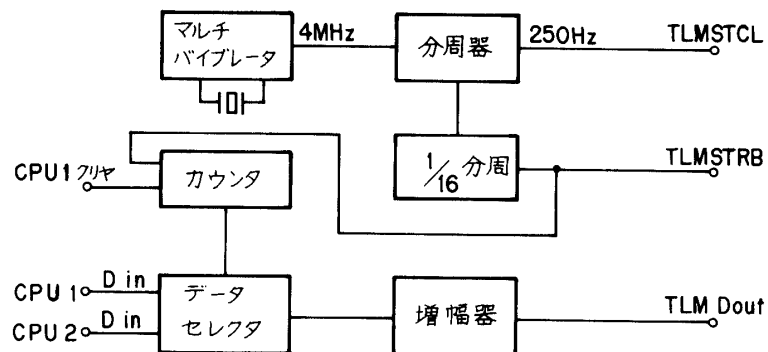


図12 テレメータ送信側インターフェース回路

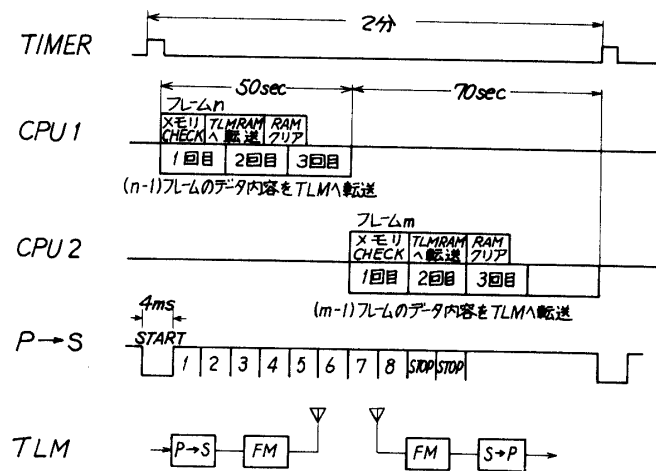


図13 データ内容の転送方法

3.3 温度モニタ回路

CPUをはじめメモリ等の素子は、高度30km以上の超高空において厳しい温度環境下におかれる。このため、試験装置内の各部の温度を監視する必要がある。 $-50^{\circ}\text{C}\sim 100^{\circ}\text{C}$ の温度範囲で測定できるように温度モニタ回路を設計した。

温度情報を送信するためテレメータ・チャンネルを2チャンネル用いた。CPU1での動作試験とCPU2での動作試験にそれぞれ1チャンネルずつ割り当て、各部の温度をマルチプレクスするため、CMOSのアナログ・スイッチにより順次切り換えて送信する方法である。すなわち、マルチプレクサの発振周波数を分周することにより約0.5秒でCMOSアナログ・スイッチを切り換える。この温度モニタ回路を図14に示す。測定点は次の10箇所である。

CPU1関係 (4MHzクロックで動作)

- 1) CPU1のケース
- 2) 64KダイナミックRAMのケース
- 3) 16KスタティックRAMのケース
- 4) 1K CMOS RAMのケース (タイプA)

CPU2関係 (1MHzクロックで動作)

- 1) CPU2のケース
- 2) 1K CMOS RAMのケース (タイプB)
- 3) 4K CMOS RAMのケース
- 4) J-Kフリップ・フロップのケース
- 5) Al板筐体
- 6) スイッチングレギュレータ放熱用Al板

温度センサーとしては、各部の測定点への取り付けが容易な貼り付け形温度ゲージを用いた。これは、熱による抵抗変化を測定するものであり、温度係数約 $3.8 \times 10^{-3} (\Delta R/R/^{\circ}\text{C})$,

抵抗 50Ω 前後のものを使用した。

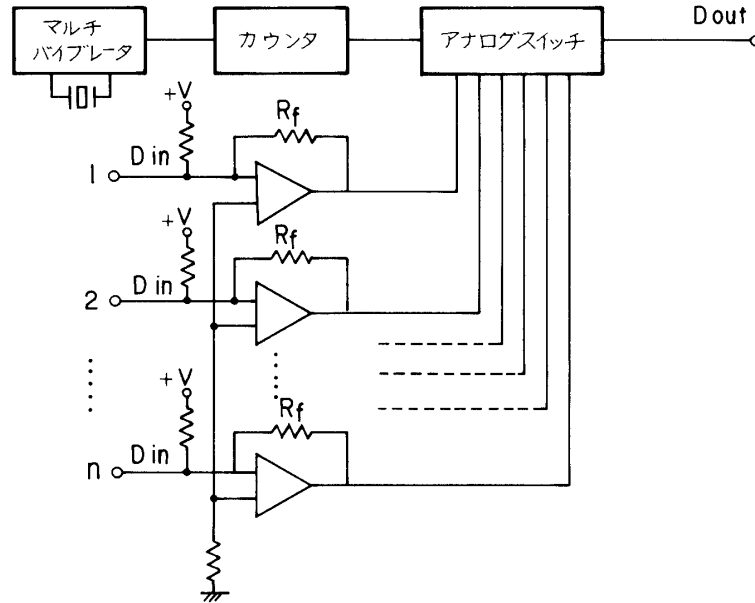


図 14 温度モニタ回路

3.4 電源装置

試験装置が、全体で 7 A の電流負荷を有し、航行時のゴンドラ内部温度が -20°C の低温下で 60 時間程度の動作試験を保証する必要がある。このため、長時間使用と低温性能の優れたリチウム電池が選ばれた。電池の放電電流は、発熱防止のため 100 mA 以下とし、電池出力にレギュレータを挿入し、安定化した 5 V を供給するため、4 段直列の 230 組並列接続合計 920 個の単 2 相当のリチウム電池を用意した。電池の総重量約 60 kg である。これにより、90 時間程度の航行が可能である。本試験装置の全消費電力は約 90 W であり、45 W 相当が電源部の安定化のために消費される。このため、熱伝導性接着剤を用いて Al 放熱板に取り付け、熱放散を良好にした。レギュレータは 1 A 級の 3 端子レギュレータを使用し、入力側に発振防止用のバイパスコンデンサ、出力側に出力電圧の過渡応答改善用のコンデンサ (固体タンタル) を挿入した。本試験装置の動作異常に対して電源を ON-OFF する必要がある。このため、コマンド信号により ON, OFF 可能なようにラッチングリレーをレギュレータと電池の間に挿入した。

3.5 テレメータ受信システム

受信されたテレメータ信号は、アナログレコーダやデータレコーダに出力される。アナログレコーダは温度測定用に、データレコーダには 6 インチ 1 秒のテアック製 R 400 MT レコーダおよび計算機処理として HP 製計算機 9 8 2 5 A を用いて、それぞれ MT とラインプリンタに記録する方法を採用した。この装置により航行中のメモリ等にエラーが発生したかどうかを知ることができる。データの詳細な検討は MT データを解析することにより行う。

4. 実験の概要

本試験装置を搭載した大気球 (B 30-45) は、1982年9月17日午後5時21分15秒に宇宙科学研究所の三陸大気球観測所から放球された。図15に気球の全体構成を示す。約5 m/秒の上昇速度で上昇し、放球後2時間経過して高度33 kmに達し、その後直ちにレベルフライトに入った。その航跡、高度を図16に示す。計画では、ブーメラン飛行によって放球地点まで戻した後に本試験装置を搭載したゴンドラを気球より切り離して回収する予定であった。しかし、図に見られるように上層の東風(もどり風)がなくなり、北東400 km海上でコマンド信号の制御限界に達したため、約17時間の飛行のすえ、不運にも9月18日午前10時10分に切り離すこととなり、実験を終了した。このため、試験装置が未回収であり、試験装置に装置されたSSTDにより宇宙線の種類、衝突した回数および位置、入射角などを確認することは不可能となったが、30 km以上の超高空において14時間以上宇

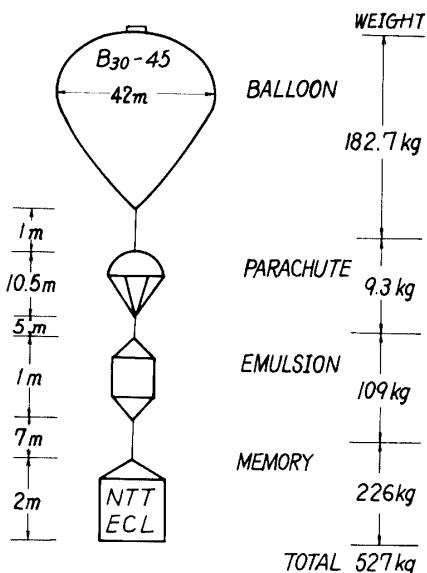


図15 B₃₀-45 気球の構成

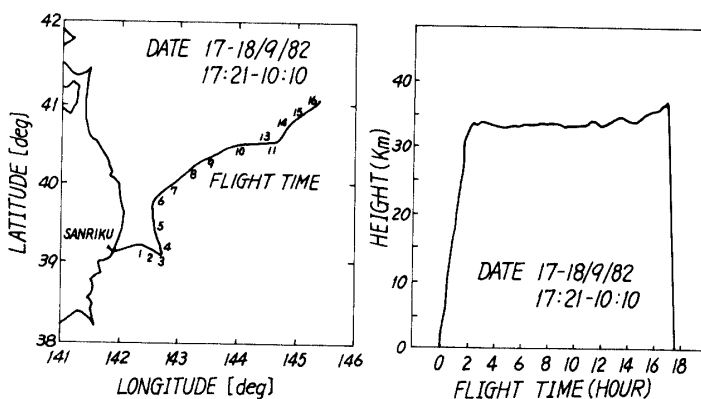


図16 気球の航跡・高度

宙線にさらされ、長時間の動作特性データを取得した。試験装置から送信された約 14 時間に亘る測定データを詳細に解析した結果、ソフト・エラーは発生せず、メモリ、J-K フリップ・フロップが正常に動作したことを確認した。以下、実験結果について述べる。

4.1 温度特性

航行中の 64 KdRAM を始めとする被試験素子および周辺部の温度を測定した。測定結果を図 17 に示す。試験装置は放球の 1 時間前後より電源 ON 状態に保ち、最終的に動作試験の確認を行った。図より CPU と CMOS メモリがクロック周波数 (1 MHz, 4 MHz) の違いによる温度差が顕著であること、放熱効率を上げるため外気に近い部分に収容したレギュレータ用 Al 放熱板が特徴的な温度変化を示しており、上空 30 km での日の出と共に他よ部分よりも早く温度の上昇が認められる。このデータより断熱材により保温状態を良くすれば、外気温 -50°C ~ -60°C の超高空下において半導体チップ自体の異常発熱がなければ、ほぼ雰囲気温度範囲として 10°C ~ 30°C の範囲にコントロールできることが分かった。

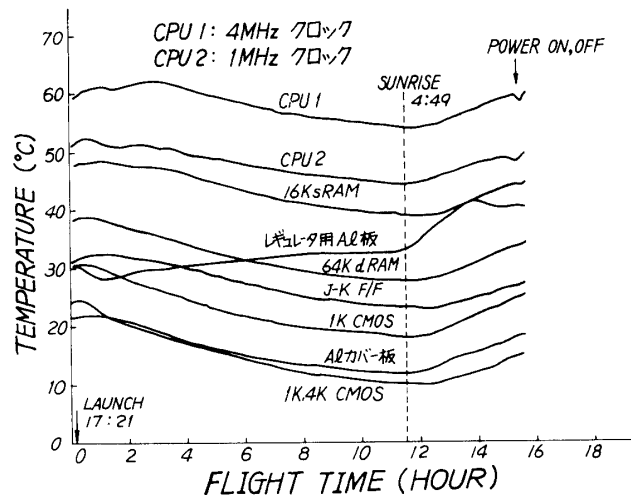


図 17 試験素子の温度変化

4.2 データ解析

気球放球から落下までの 14 時間に亘りメモリの Read/Write 試験, J-K フリップ・フロップの分周動作試験を行った。航行中エラー発生の有無を 9825 A のライブリント・データにより確認したがエラーの発生は認められなかった。また、テアック M 400 の MT 収録データを詳細に解析した結果、同様にエラーが発生しなかったことを確認した。

4.3 シングル・イベントの予測

日本上空においては 5 GeV/核子以上の運動エネルギーを持つ鉄イオンが入射する。鉄付近の原子核の 33 km における線束 1.4 個[14]を用いて各素子のソフト・エラーの発生率を予測した。まず、各素子の感応有効面積を求める。

(1) 64 K ダイナミック NMOS RAM

メモリセルは、トランジスタ1つとキャパシタ1つからなる。このキャパシタ部に形成されるポテンシャル井戸に電荷（電子）が蓄積されているか否かによって'0'あるいは'1'のデータを記録する。このキャパシタ付近を通過した宇宙線によりポテンシャル井戸の中で発生した電子と基板中で発生した電子のうち近傍に拡散してきたものがキャパシタ部に集められる。すなわち、このポテンシャル井戸が電子の空の状態'1'のときに電子が充電されるため'0'に反転し、ソフト・エラーを起こすことになる。この時、セルは sensitive となる。

したがって、感応領域の有効面積は、このポテンシャル井戸であり、近似的に平行六面体の投影面積で与えられ、次式で求められる[2]。

$$\bar{A}_p = \frac{hl + lw + wh}{2}$$

但し、 h は空乏層の幅、 w と l は、キャパシタ部の縦と横の長さである。

セルの数は、全体で 65536 個であるが、sensitive な'1'→'0'に反転するタイミングは、全体の時間の半分である。

(2) 16 K スタティック NMOS RAM

16 K スタティック NMOS RAM のセルは、2つのアドレス・トランジスタと2つのトランジスタとポリ Si 抵抗負荷によるフリップ・フロップで構成される。感応領域は、通常、OFF 状態にある MOS トランジスタの接合部分、言い換えると、電源電圧 V_{DD} にほぼ近い電圧降下を持つドレイン接合部分がそれに該当する。したがって、任意の時間にセル当り N_1 トランジスタか N_2 トランジスタのいずれかが感応領域となる。1セル当りの感応領域の有効面積は、同様に近似的に平行六面体の投影面積で与えられる。

(3) 1 K, 4 K CMOS RAM

スタティック CMOS RAM のセルは、2つのアドレス・トランジスタと4つのトランジスタによるフリップ・フロップで構成される。感応領域は、スタティック NMOS RAM と同様に電源電圧 V_{DD} にほぼ近い電圧降下を持つ OFF 状態にあるトランジスタのドレイン接合部分がそれに該当する。CMOS RAM の場合、任意の時間においてセル当り N_1 と P_2 あるいは N_2 と P_1 のいずれかが感応領域となる。つまり、4つのトランジスタ N_1, N_2, P_1, P_2 はいつも sensitive ではなく、duty 2分の1の間だけ sensitive となる。

(4) J-K フリップ・フロップ

基本的には、CMOS RAM のフリップ・フロップ回路と変わらない。OFF 状態のトランジスタが任意の時間に少なくとも2つ存在すると仮定する。厳密には、回路の各トランジスタに SEM の電子線を利用してその感応の程度を評価する必要があるが、ここでは、省略した。

感応領域は、そのトランジスタのエミッタ接合部分がそれに該当する。1素子当りの有効面積は、エミッタ面積の2個分に相当する。

以上より各試験素子の有効面積 A が求まると、日本上空 30 km において発生するエラ

一率を次式

$$E_R = A(\text{cm}^2) \cdot \phi_E \left(\frac{\text{Particles}}{\text{cm}^2 \cdot \text{day}} \right)$$

で予測することができる。

但し、 E_R は、エラー率、 ϕ_E は積分線束である。各試験素子のエラー率の予測を表2に示す。各試験素子の有効面積に対して、全体のエラー率は約3回/日程度となり、航行時間14時間に換算すると平均約1.5回エラーが発生する勘定になるが、実際にはエラーが発生しなかった。当初、予定した60時間程度の航行が実現されれば、数回のエラーが発生したものと予測される。

表2 試験素子のエラー率の予測

試験試料	感応面積 (セル当り)	試験個数	有効面積	エラー率
	cm ²	個	cm ²	回/日
64K dRAM	6.3×10^{-7}	48	1.0	1.4
16K sRAM	1.3×10^{-6}	48	0.5	0.7
1 K CMOS (タイプA)	4.8×10^{-6}	64	0.31	0.4
1 K CMOS (タイプB)	5.0×10^{-6}	48	0.24	0.3
4 K CMOS	2.3×10^{-6}	48	0.11	0.1
J-K F/F	4.5×10^{-6}	240	0.001	0.001

5. まとめ

宇宙環境におけるLSIメモリのソフト・エラー耐量の基礎データを得ることを目的として、気球搭載用メモリ試験装置について、試験方法を決定しそれに基づいて設計製作を行い、宇宙環境実験を実施した。製作した装置は次の性能を持つ。

- (1) 64 K dRAM, 16 K sRAM, 1 K CMOS RAM, (タイプ A, B) 4 K CMOS RAM, J-K フリップ・フロップの6種類からなる Read/Write 試験および分周動作確認試験が行える。
- (2) エラーが発生した場合、どのメモリのどのビットで発生したかを知ることができる。
- (3) 試験結果を送信するため、気球搭載テレメータ送信機とのインターフェース条件

を満たす送受信インターフェース回路を有する。

(4) $-50^{\circ}\text{C}\sim 100^{\circ}\text{C}$ の範囲の温度検出が可能である。

(5) 電流容量 7 A, 90 時の動作保証するリチウム電池形電源装置を有する。

また、本装置の動作チェックのために必要なテレメータ受信システムを有する。

14 時間以上の航行実験の結果、試験装置に組み込まれた LSI メモリ等は、高度 30 km 以上の超高空環境下において、正常に動作し、飛行中においてソフト・エラーは発生しなかった。これにより、LSI メモリの信頼性に関する 1 つの宇宙実績を得ると共にこれらメモリ等の宇宙環境下でのソフト・エラー耐量評価をシュミレートする基本技術を修得した。

今後は、静止軌道上に比べて宇宙線の量が少ないため、地上において高エネルギー粒子を人工的に発生させるサイクロトロン等の利用を含めて、ソフト・エラー耐量をより定量的に評価し、素子の耐量向上対策を明らかにしていく必要がある。

謝 辞

本実験にあたり、有益な御助言と気球の打ち上げその化について御協力をいただいた宇宙研西村研究室の方々に感謝の意を表します。

参 考 文 献

- [1] D. Binder, E. C. Smith, A. B. Holman "Satellite Anomalies from Galactic Cosmic Rays", IEEE Trans on NS, NS-22, No. 6, Dec. 1975 p 2675~2680
- [2] J. C. Pickel, J. T. Blandford, Jr. "Cosmic Ray Induced Errors in MOS Memory Cells", IEEE Trans on NS, NS-25, No. 6, Dec. 1978, p. 1166~1171.
- [3] L. L. Sivo, J. C. Peden, "Cosmic Ray-Induced Soft Errors in Static MOS Memory Cells", IEEE Trans on NS, NS-26, No. 6, Dec. 1979, p 5042~5047.
- [4] G. J. Brucker, W. Chater, W. A. Kolasinski, "Simulation of Cosmic Ray-Induced Soft Errors in CMOS/SOS Memories", IEEE Trans, on NS, NS-27, No. 6 Dec. 1980, p. 1490~1493.
- [5] J. C. Pickel, J. T. Blandford, Jr. "Cosmic-Ray-Induced Errors in MOS Devices", IEEE Trans. on NS, NS-27, No. 2 April 1980, p 1006~1015.
- [6] J. C. Pickel, J. T. Blandford, Jr, "CMOS RAM Cosmic-Ray-Induced-Error-Rate Analysis", IEEE Trans on NS, NS-28, No. k, Dec. 1981 p 3962~3967.
- [7] R. C. Wyatt, P. J. McNulty & P. Toumbas "Soft Errors Induced by Energetic Protons" IEEE Trans, on NS, NS-26, No. 6, Dec. 1979, p 4905~4910.
- [8] C. S. Guenzer, R. G. Allas, A. B. Campbell et al, "Single Event Event Upset in RAMS Induced by Protons at 4.2 BeV and Protons and Neutrons below 100 MeV "IEEE Trans, on NS, NS-27, Ne. 6, Dec. 1980, p 1485~1489.
- [9] J. N. Bradford, "Single Event Error Generation by 24MeV Neutron Reactions in Silicon", IEEE Trans on NS, NS-27, No. 6, Dec. 1980, p 1980~1984.
- [10] E. L. Petersen, "Nuclear Reactions in Semiconductors", IEEE Trans. on NS, NS-27, No. 6, Dec. 1980, p 1494~1499.
- [11] 上野 晋他 "ロケット搭載メモリ試験装置の検討" 56 信学全大 (半導体・材料部門)

- [12] 上野 晋他 “LSI メモリの宇宙環境実験結果” 57 信学全大
- [13] 林 考義 “固体飛跡検出器としての CR-39 プラスチック” 応用物理, 第 49 巻, 第 7 号 (1980)
p. 705~712.
- [14] 西村 純, 宇宙科学研究所, 私信