

池田 正幸*
Masayuki IKEDA

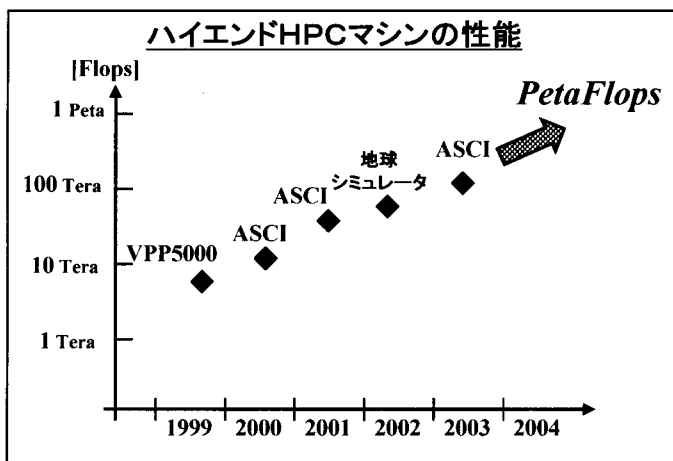
ABSTRACT

With the advance of semiconductor technology, several TeraFlops class supercomputers have already been developed and commercialized. In this paper, a very rough image of PetaFlops class supercomputer with a long time frame such as 5-10 years from now is introduced. Two kinds of basic configuration of PetaFlops machine are introduced. One is Vector-parallel-type and the other is Scalar-SMP-Cluster-type. Other than machine clock improvement and semiconductor density improvement, there are many problems to be resolved. Especially innovation on packaging and installation technology for keeping the cabinet size within reasonable foot print, reducing power consumption, and improving cooling technology are important. These are the common barriers which the PetaFlops machine must overcome.

1. はじめに

CMOS 半導体技術の著しい進歩に伴い、今や 1GHz 級の高速化、100Mトランジスタ級の高集積化を実現する L S I が手の届くところまで来ている。この高速・大量のトランジスタに支えられて大規模高速計算機の技術も大きく進歩している。1997年には当社のスーパーコンピュータ VPP700 が 1TFLOPS の壁を突破し、最新機種 VPP5000 では、4.9TFLOPS という高性能を実現している。

海外では、ASCI プロジェクトにおいて、2000年に 12.3TFLOPS (ASCI White) を達成し、今後もさらなる性能向上を計画している。国内でも、2002年に地球シミュレータで 40TFLOPS を実現する計画があり、TFLOPS という単位そのものが身近なものとなりつつある。



本稿では、5～10年程度の中長期的なレンジで、次の大きい壁である PetaFlops 級の性能実現を睨んだ計算機の構成例について非常にラフにケーススタディを行い解決すべき課題を推定したい。

2. PetaFlops マシン構成例

現状の TeraFlops クラスのマシンは、ベクトルあるいはスカラ SMP (Symmetric Multi Processor) でノードを構成し、そのノードを高速ネットワークで結合することにより、高いシステム性能を実現している。計算機の動作周波数や集積度が一挙に数桁向上するような技術上の大変革がある様なバラ色の未来像に夢を求めて研究を続けてゆくことも必要であるが、一方、中長期的に徐々に技術が進歩することを前提に、先に述べた既存の基本構成が維持されるものと想定して議論を進めることも重要であろう。

本稿では、この基本構成は維持されるという想定の下に、PetaFlops マシンの非常にラフなイメージのケーススタディを、(a)ベクトルをネットワークで結合する方式、(b)スカラ SMP をネットワークで結合する方式について行った。

2.1 ベクトルをネットワークで結合する方式

2.1.1 ベクトル並列方式の動向と現状

(1) ベクトル方式とその高速化

1980年代のスーパーコンピュータは、VP、CRAY を初めとしてすべてベクトル方式を採用して高性能を実現していた。汎用計算機とは桁違いのその計算性能により、巨大 FORTRAN ジョブに代表される航空・気象・原子力・宇宙・構造解析・分子科学・量子力学・固体物理・素粒子物理等の各分野に広く受け入れられた。ユーザからの増大する計算需要に応える為、各メーカーは以下の方法でベクトル計算機の性能向上を実現した。

ーマシンクロックの短縮：1つのベクトル演算器（パイプライン演算器）は1クロックに1つの演算結果を出力する。マシンクロックを1/2にすれば、2倍の性能向上となる。

ーパイプライン多重度増大：1本のパイプラインで同時に処理する要素数を向上させることにより1クロック当たりの演算数を増加させる。VPP200では2、VPP400では4多重のパイプラインを実現した。VPP5000の1つのベクトルユニットでは16多重のパイプラインを実現している。

パイプライン演算機能の高度化:M&A (Multiply and Add)パイプラインは、乗算結果にさらに加算を行う複合パイプラインであり、1要素当たり2演算を実行できる。Matrix演算が頻出する科学技術計算には非常に有効な方式である。VPEシリーズ、VP2000シリーズ、VPP5000のベクトルユニット等に採用されている。

この他に実効性能を向上させる為に、IF文をベクトル処理する為のマスクパイプラインの導入、パイプライン立ち上がり時間(パイプラインステージ数)の短縮、メモリバンクの強化によるメモリスループットの向上、スカラ・ベクトルの密な連携による立ち上がり/立ち下がりオーバーヘッドの削減、スカラ演算器の高速化等をはかってきた。

これらのハード機構を高効率で動作させるために、パイプラインの並列動作に基づいた高度な命令スケジューリング最適化機能、ベクトル化推進のためのループの入れ替え機能、実効ベクトル長を大きくする為の多重ループの一重化機能、ループのボディ部を大きくする事により立ち上がりオーバーヘッドを隠蔽するループ融合機能等、高度な技術を集約した自動ベクトルコンパイラが大きく貢献していることは言うまでもない。

(2) ベクトル並列方式による高速化

高性能のマシンを実現するためには、高いメモリスループットを実現する必要があるが、演算性能の向上はメモリ性能・バス性能の向上に比べてはるかに速く、1つの集中化したメモリに全ての演算器を直接接続する方式が困難となってきた。1990年代には、激増する高速計算需要に応えるため、ベクトル計算機を1つのノードとし、そのノードを高速ネットワークで結合する分散メモリ型ベクトルパラレルアーキテクチャ(ベクトル並列方式)をNWTで初めて実用化した。その後、ノード部分及びネットワーク部分に半導体テクノロジー向上の適用・改良を加えて最新のスーパーコンピュータVPP5000に至っている。

ベクトル並列方式は、

- ネットワークとして高速クロスバを採用することによる高い実効性能の実現
 - 物理的に分散されているメモリを論理的に共有するメモリとして扱えるビューを実現することによるプログラミング容易性
- などにより、ユーザから高い評価を得ている。

ベクトル並列方式の代表例としてVPP5000の諸元を表1に示す。

表1 VPP5000の諸元

ノード部	マシクロック	0.3GHz
	ベクトル演算器構成	M&A(2演算)
	パイプライン多重度	16
	ベクトル性能	9.6GFLOPS
システム	ノード数	512
	結合ネットワーク	クロスバ
	ピーク性能	4.9TFLOPS

システム性能は、

$$\begin{aligned}
 & [\text{ノード性能}] \times [\text{ノード数}] \\
 & = [\text{マシクロック}] \times [\text{演算数}] \times [\text{多重度}] \times [\text{ノード数}] \\
 & = 0.3[\text{GHz}] \times 2[\text{M\&A}] \times 16[\text{ele}] \times 512[\text{node}] = 4.9\text{TF}
 \end{aligned}$$

である。

本方式の一部変更版として、1つのノードを単体ベクトルではなくベクトルSMPで実現し、そのノードを高速結合ネットワークで結合する方式も考えられる。所望するシステム性能を一定とした時に、(1)ノード数:ノード間高速結合ネットワークの実装実現性と、(2)ノード内ベクトル数:SMPノード内の実装実現性のトレードオフにより実現形態の種々のバリエーションが考えられるが、本稿では単純化のため、総論は単一ベクトルノードでのベクトル並列方式のカテゴリに代表させて考察する事にする。

2.1.2 PetaFlopsマシンへの展開

VPP5000をベースにPetaFlopsマシン実現に向けて以下の性能向上を想定する。

- 第1項(マシクロック):年率30%~40%程度の向上を想定し、クロック周波数2GHzを想定。ベクトル計算機はスカラに比べて設計量が多い為高速化の為の設計リソースの集中が難しい、中核部のLSIを複数LSIで構成せざるをえない等の理由から、スカラプロセッサ程の高速化は期待できないであろう。それでも既に高速マイクロプロセッサにおいては1GHzクラスのCPUが市場に出始めていることを考えると、5~10年先のレンジではベクトルでも2GHz実現というのは技術的に良いターゲットではなかろうかというのが筆者の見解である。

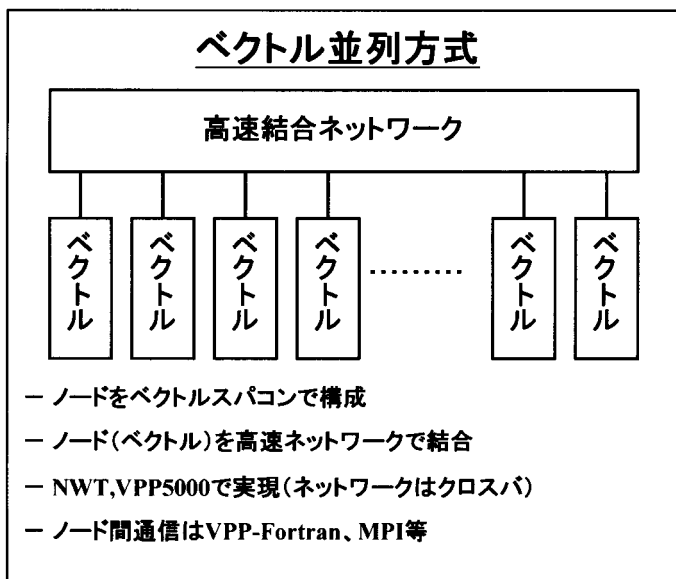
- 第2項(演算器構成):M&Aによる2演算実行については、中長期の進歩後も変わらないと想定した。

- 第3項(パイプライン多重度):集積度の向上に伴い32[element]への改良(現状の2倍)を想定した。半導体集積度の向上によりLSI内に多数の演算パイプラインを実装することは十分考えられる。同一の立ち上がりのパイプラインにおいて多重度を大きくすると立ち上がりのオーバーヘッドが相対的に増大し実効性能を低下させる要因となる為、多重度をこれ以上に増加することは想定しなかった。

第1項~第3項までの進歩により、ベクトルユニット当たりの性能は、

$$2[\text{GHz}] \times 2[\text{M\&A}] \times 32[\text{ele}] = 128\text{GF}$$

このベクトルノードを高速ネットワークで結合して



PetaFlops を実現する為には、

$$1 \text{ [PF]} \div 128 \text{ [GF]} = 8192 \text{ [node]}$$

すなわち、第4項として必要な進歩は以下の通りとなる。

－第4項（ノード数）：ネットワークの高速化・規模の拡大により8192[node]結合を想定。

ここで、本想定について実現性を考察する。クロスバスイッチの数は、ノード数の2乗に比例する為、本想定8192ノード（VPP5000（512ノード）の16倍）という多数のノードをクロスバネットワークで結合しようとする、VPP5000の16**2=256倍のスイッチが必要となる。8192ノードをVPPの単純な拡張で単段クロスバによって結合するのはほぼ不可能であろう。技術面での画期的なブレークスルー、または、8192ノードがフィジブルなハードウェアで実現できるよう多次元クロスバ、多段スイッチ等を含めたトポロジー（結合方式）の見直しが必要である。

表2 ベクトル並列方式PetaFlops マシン構成例

ノード部	マシクロック	2GHz
	ベクトル演算器構成	M&A（2演算）
	パイプライン多重度	32
	ベクトル性能	128GFLOPS
システム	ノード数	8192
	結合ネットワーク	要検討
	ピーク性能	1PFLOPS

これらの想定がすべて実現できれば、表2の通り、
 $2 \text{ [GHz]} \times 2 \text{ [M\&A]} \times 32 \text{ [ele]} \times 8192 \text{ [node]} = 1 \text{ [PF]}$
 となる。

先に述べたように、本方式の一部変更版としてノード部分を単体ベクトルではなくベクトルSMPで実現し、そのノードを高速結合ネットワークで結合する方式も考えられる。例えば、上記128GFLOPSのベクトル部を16台SMP結合してノードを実現し、そのノードを512ノード結合することにより、

$2 \text{ [GHz]} \times 2 \text{ [M\&A]} \times 32 \text{ [ele]} \times 16 \text{ [VU]} \times 512 \text{ [node]} = 1 \text{ [PF]}$
 を実現する案も考えられる。この構成の最大の課題はメモリスループットであろう。現状のVPP5000と同等の演算性能当たりのメモリスループットを実現しようとする、

$$\frac{2 \text{ [GHz]}}{0.3 \text{ [GHz]}} \times \frac{2 \text{ [M\&A]}}{2 \text{ [M\&A]}} \times \frac{32 \text{ [ele]}}{16 \text{ [ele]}} \times \frac{16 \text{ [VU]}}{1 \text{ [VU]}} = 213$$

より、ノード当たりVPP5000の213倍のメモリスループットが必要となる。これは中長期的な実装テクノロジーの進歩では実現は非常に難しいものと考えられる。

2.2 スカラSMPをネットワークで結合する方式

2.2.1 スカラSMPクラスタ方式の動向と現状

(1) スカラプロセッサの高速化

近年の高速スカラプロセッサは、浮動小数点演算まで含めて、パイプライン処理による高速化を実現しており、性能向上指標は、以下の様にベクトルと良く似ている。

－マシクロックの短縮：スカラプロセッサもベクトルと同様にパイプライン処理を行っているため、マシクロックを1/2にすれば、2倍の性能向上となる。

－パイプライン演算機能の高度化：ベクトルと同様、M&Aパイプラインの採用により、1要素当たり2演算実行される。

－パイプライン多重度：スカラプロセッサに装備される演算パイプラインの数を増加させることによって性能を向上させる。

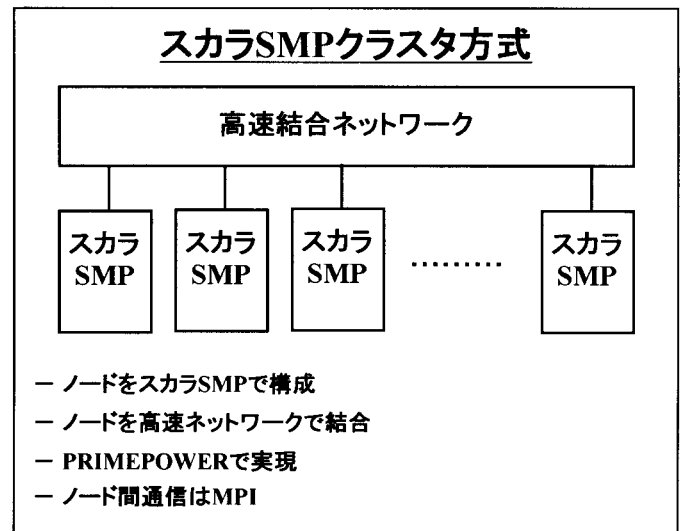
－CPUコア多重化：半導体集積度の向上に伴い1スカラチップ内に複数のCPUコアを実装する事が考えられ、将来は高速プロセッサにおいても商用化される可能性が大きい。

(2) スカラSMPによる並列処理

多数のスカラプロセッサを高速メモリで結合して並列処理を行うことにより高い性能を得ることができる。当社PRIMEPOWER、SUN社のサーバなど、既に64CPU規模のSMPを商用化している。

(3) スカラSMPクラスタ方式

スカラSMP以上の性能要求に応える為、スカラSMPをノードとして、そのノードをネットワークで結合する事により、高いシステム性能を実現している。当社PRIMEPOWERや米国ASCIプロジェクトでも本方式を採用している。



本方式の代表例として、PRIMEPOWER2000の諸元を表3に示す。

表3 PRIMEPOWER2000の諸元

スカラ	マシクロック	0.45GHz
	演算器	3演算
	コア数	1
	スカラ性能	1.35GF
SMPノード	CPU数	64
	SMP性能	86GF
システム	ノード数	16
	システム性能	1.4TF

システム性能は、
 $[\text{ノード性能}] \times [\text{ノード数}]$
 $= [\text{スカラ性能}] \times [\text{CPU数}] \times [\text{ノード数}]$
 $= [\text{マシクロック}] \times [\text{演算数}] \times [\text{コア数}] \times [\text{CPU数}] \times [\text{ノード数}]$
 $= 0.45 [\text{GHz}] \times 3 [\text{演算}] \times 1 [\text{core}] \times 64 [\text{cpu}] \times 16 [\text{node}]$
 $= 1.4 \text{ TF}$
 である。

2.2.2 PetaFlops マシンへの展開

先に述べたPRIMEPOWERをベースにPetaFlopsマシンに向けて以下の性能向上を想定する。

－第1項 (マシクロック) : 年率40%程度の向上を想定し、クロック周波数4GHzを想定。ベクトルに比べてマシクロックの向上期待が大きい、既に高速マイクロプロセッサの領域では、1GHzクラスのCPUが市場に出始めており、CPU部を集中的に開発することにより今後の周波数の大幅な改善が期待できる。5～10年のレンジで考えれば必ずしも不可能なターゲットとも言えないであろう。

－第2項 (演算器構成) : PetaFlopsマシンはM&Aを2本装備する構成 (従って1クロック当たり4浮動小数点演算実行) を想定した。これは、現状の高速プロセッサにおいてはM&A x 2の構成まで既に実用化されていることから、今後の集積度の向上に伴い、M&A x 2程度は容易に実現できると判断した為である。M&A x 4のようにそれ以上に演算器の数を増やさなかったのは、1CPU (コア) 当たりの同時命令発行数を増大させるよりも、CPUコア数やSMP内CPU数を増加させる方が、CPUのインプリメント上もソフトウェアの制御上も得策であろうと想定した為である。

－第3項 (CPUコア数) : 1つのCPU-LSI内に複数のCPUコアを実装するアイデアは、半導体集積度の向上に伴って考案される素直な性能向上方策である。LSIの集積度が高くなるといっても、LSIのコストは一般にチップの面積の増加以上に高くなる傾向がある為、単純に詰めこめるだけCPUコアをLSI内に実装するという考え方は得策ではない。LSI内で大きい面積を占めているキャッシュ等の資源をLSI内のCPUコアで共有することにより、LSIの面積増をコア数増以下に抑える工夫が必要である。ここでは、集積度の向上に伴うLSI内のCPUコア数を現状のPRIMEPOWERの2倍の2コアと想定した。

5～10年のレンジで考えればさらに多数のCPUコアを実装することも技術的には可能であり、LSIサイズ・コストとのトレードオフから最適なコア数が選択されるであろう。

－第4項 (CPU数) : 物理的な実装技術の向上に伴いSMP当たりのCPU数を現状のPRIMEPOWERの2倍の128CPUと想定した。CPU当たりの演算性能の向上とSMP当たりのCPU数、CPUコア数の相乗効果で、SMP内のメモリスループット要求が格段に高まるため、SMP内のCPU数をドラスティックに増加させることは困難である。CPU数で現状の2倍程度がターゲットとして妥当ではないかと想定した。

第1項～第4項までの進歩により、スカラSMP当たりの性能は、

$$4 [\text{GHz}] \times 4 [\text{M\&Ax2}] \times 2 [\text{core}] \times 128 [\text{cpu}] = 4 \text{ TF}$$

このスカラSMPノードを高速ネットワークで結合してPetaFlopsを実現する為には、

$$1 [\text{PF}] \div 4 [\text{TF}] = 256 [\text{node}]$$

すなわち、第5項として必要な進歩は以下の通りとなる。

－第5項 (ノード数) : ネットワークの高速化・規模の拡大により256[node]結合を想定した。すなわちPRIMEPOWERでの結合ノード数 (16ノード) をベースにするとその16倍のノードを結合する必要がある。

スカラSMPノードの性能が現状VPP5000のノードとは桁違いに大きい (400倍以上) ため、ノード間の所要転送性能も格段に大きくなるが、結合方式の基本的な考え方・技術には、512ノードを結合したVPP5000の技術を活用できる可能性がある。なお、ネットワーク部の実現が極めて困難である場合には、ベクトル並列方式の場合と同様にネットワークのトポロジを、より実現面・コスト面でフィージブルなものに見直すことも考えられる。

表4 スカラSMPクラスタ方式PetaFlopsマシン構成例

スカラ	マシクロック	4GHz
	演算器構成	M&Ax2 (4演算)
	コア数	2
	スカラ性能	32GF
SMPノード	CPU数	128
	SMP性能	4TF
システム	ノード数	256
	システム性能	1PF

上記の想定 (第1項～第5項) がすべて実現できれば、表4の通り、

$$4 [\text{GHz}] \times 4 [\text{M\&Ax2}] \times 2 [\text{core}] \times 128 [\text{cpu}] \times 256 [\text{node}] = 1 [\text{PF}]$$

となる。

3. 課題

2章では主として半導体の高速化と集積度の向上の観点から演算性能1PetaFlopsを実現する為の技術的要請・課題をベクトル並列方式、スカラSMPクラスタ方式の2方式の延長で考えた場合を例として、項目毎にブレイクダウンして指標を示した。1PetaFlopsを実現する為には、上記以外の課題も多数存在する。本章では、特に重要であると考えられる技術課題について考察する。

3.1 メモリスループット

実効演算性能を確保する為、すなわち、ピーク性能のみでなく高い実効性能を得る為には、演算性能とバランスした高いメモリ性能が必要である。現行マシンの演算性能当たりのメモリ性能を維持しようとする、所要メモリ性能の向上指標は以下の通りとなる。

－ベクトル並列方式の場合：

$$\text{ノード当たりの演算性能の向上は、} \\ 128 [\text{GF}] \div 9.6 [\text{GF}] = 13.3 \text{ 倍}$$

－スカラSMP方式の場合：

$$\text{ノード当たりの演算性能の向上は、} \\ 4 [\text{TF}] \div 86 [\text{GF}] = 47.6 \text{ 倍}$$

メモリ素子そのものの高速化は論理回路部・演算部の高速化に追従できないのが実情である為、バンク数の増加、高速インタフェース実現の為の技術的ブレイクスルー等、メモリシ

システムとしての性能向上を実現する必要がある。

3.2 設置面積

大規模計算機においては、従来から物理的な大きさすなわち設置面積も重要な課題となっている。仮に現行マシン程度の実装密度を想定した場合のレイアウトイメージを非常にラフに考察する。

—ベクトル並列方式の場合

現状のVPP5000では、約 $1\text{ m} \times 1\text{ m} \times 1.8\text{ m}$ （第3項は高さ）の1つの筐体に4個のノード（VU）を実装している。8192個のノード（VU）を仮に同様の実装密度で設置すると2048筐体が必要となる。保守スペースを本体面積と同等と想定するとノード部だけで

$$1\text{ m} \times 1\text{ m} \times 2048 \times 2 = 4096\text{ m}^2$$

すなわち、 $64\text{ m} \times 64\text{ m}$ という広大な設置スペースが必要となる。リーズナブルな設置スペースの基準を設定するのは難しいが仮に $15\text{ m} \times 15\text{ m}$ のスペースに収めようとする、18倍以上の実装密度の向上が必要となる。

—スカラSMPクラスタ方式の場合

現状のPRIMEPOWERでは、約 $1.3\text{ m} \times 2.2\text{ m} \times 1.8\text{ m}$ （第3項は高さ）の筐体内に64CPUを実装している。PetaFlopsマシンにおいて、仮にCPU当たりの実装密度をPRIMEPOWERと同様と仮定し、また、保守スペースを本体面積と同等と仮定すると、ノード部だけで

$$1.3\text{ m} \times 2.2\text{ m} \times (128 \div 64) \times 256 \times 2 = 2929\text{ m}^2$$

すなわち、 $54\text{ m} \times 54\text{ m}$ という広大なスペースが必要となる。ベクトル並列方式と同様に $15\text{ m} \times 15\text{ m}$ に収めようとする、13倍以上の実装密度向上が必要となる。

3.3 消費電力

システムの消費電力も大規模計算機を実運用して行く上で考慮すべき重要なファクタである。消費電力について定量的に扱うのは非常に難しいが、増減の要因は以下の通りである。

(1) 増加要因

—クロック周波数増：CMOSのトランジスタは、ON \leftrightarrow OFFの切り替え時に電流が流れ電力を消費するため、消費電力はクロック周波数に比例する。

—トランジスタ増・LSI数増：LSI内のトランジスタ増・LSI数増に応じて消費電力が増加する。

(2) 減少要因

—電圧低下：LSIの微細化が進むと高速化・高集積化と共に動作電圧（耐圧）も低下し、その結果消費電力が減少する。

—回路設計技術：スイッチング時の消費電力を抑える技術・スイッチングを必要最小限に抑える回路設計上の技術等の開発により消費電力が低下する。

—論理設計技術：論理的にスイッチする必要のない素子について極力元の値を保持する様に論理を構成する工夫、クロック分配を必要最小限に抑える工夫等により消費電力を削減する。

消費電力の定量的想定は不確定要因が多く極めて難しいが、
—ベクトル並列方式の場合：仮にPetaFlopsマシンのVU当たりの消費電力を現行VPP5000の2倍程度と想定するとシステムの消費電力は約40MVAとなる。一方、
—スカラSMPクラスタ方式の場合：仮にCPU当たりの消

費電力を200W程度と想定すると、メモリ系等周辺LSIを含んだシステムの消費電力は約30MVAとなる。

リーズナブルな消費電力を2MVA程度と想定すると、単純な延長で想定される上記仮定よりもさらに15~20倍改善するような技術的ブレークスルーが必要である。

3.4 冷却

PetaFlopsマシンでは、冷却もマイクロ~マクロの各階層において大きい課題がある。

マイクロの面では、LSI単体の発熱量（消費電力）がクロック周波数向上に比例して増大し、2~4GHzでLSIが動作する時期には、少なくとも100~200Wの消費電力が想定される。このような高い熱密度のLSIを冷却する為には非常に効率良く熱を取り出す冷却方式が必要となる。

またマクロの面では消費電力の節で述べた様に、システム全体で10MVAをはるかに超える膨大な発熱を如何にシステム外部に出すかという熱交換システムの開発に技術的ブレークスルーが必要となる。

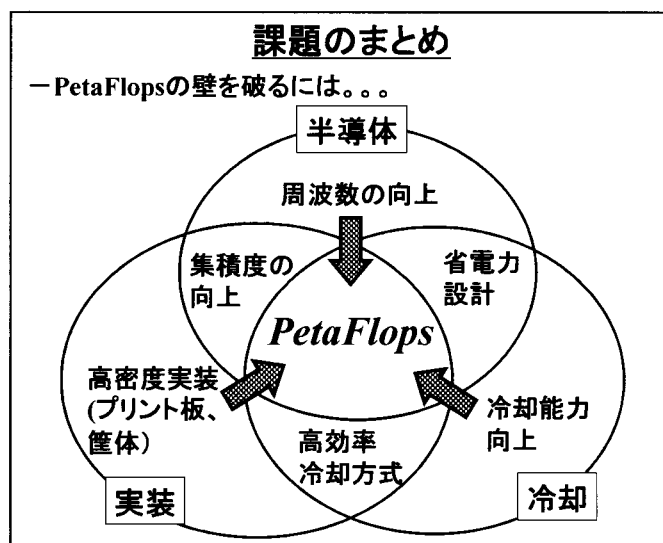
さらに、マクロ・マイクロの中間層として位置付けられるが、設置面積を小さくする為の技術的ブレークスルーにより高密度実装が実現できた際には、設置面積当たりの発熱量が現状の数倍~10倍となる可能性もある。このような筐体レベルでの発熱密度上昇に対応した冷却技術の開発も新たな課題となる。

3.5 課題のまとめ

本章で述べた様に高速計算機を実現する為には、半導体技術の進歩の他に様々な課題を解決しなければならない。すなわち、PetaFlopsマシンを実現する為には大きく3つの面からの改善・技術的ブレークスルーが必要であり、どれが不足しても実現は困難であろう。

第一に、半導体技術の進歩の面からは高速性を実現することによる動作周波数（クロックサイクル）の向上、実装密度を上げるための集積度の向上、冷却のフィージビリティを高めるための省電力回路設計・省電力論理設計が必須である。

第二に、実装の進歩の面からは限られたスペースに設置するための筐体レイアウト、筐体内プリント板配置、プリント板内LSI実装等、各階層での高密度な実装が必須である。



第三に、冷却の面からは、マイクロなレベルでのLSI単位での高発熱密度を周囲に拡散する方式とLSIの省電力設計・中間レベルでのプリント板・筐体を高密度に配置した際の高効率冷却方式の開発、マクロなレベルでのシステムが発生する熱をシステム外に効率良く放出する技術等がすべて必要である。

上記の様に、半導体・実装・冷却の3技術が連携をとって改善されて初めてPetaFlopsマシンが現実のものとなる可能性がある。

4. まとめ

本稿では、5～10年後の中長期的なレンジでPetaFlops級のマシンの構成例に関して、ベクトル並列方式・スカラSMPクラスタ方式の延長を想定した場合について、非常にラフなケーススタディを行い課題を推定した。

PetaFlops級のマシンを実現する為には、いずれの方式を選択したとしても、半導体の高速化・高集積化の改善のみでなく、高密度実装や、冷却面での大幅な改良が必須であり、解決すべき多くの課題を1つずつクリアしてゆく必要があることが明らかになった。

また、本稿では、ハードの実現性の面に重点をおいて課題を述べてきたが、実際に効率良くユーザの方に使って頂くためには、ソフト面すなわち多数ノードやプロセッサの階層構成におけるプログラミングパラダイムの見直し、チューニング・デバッグ等ツール類の拡充等も重要であることは言うまでもない。

本稿の予測は、5～10年レンジの将来に対する非常にラフなものであり、実際には上記予測とは全く違う組み合わせで高速計算機が実現されている可能性も大きい。しかし、どのようなシステム形態になるとしても、これまで課題を解決して高速計算機を開発してきたように、これからも課題を克服する事により何らかの形ではPetaFlopsマシンを実用化できるものと考えている。

GigaFlopsからTeraFlopsへ、そしてTeraFlopsからPetaFlopsへ、解ける問題の規模・質が格段に向上し、それまでは計算機で解くのが夢であった様な科学上の諸問題が解決されるであろう。その夢を実現すべく、高速計算機の開発に取り組んでゆきたい。10年後にはExaFlopsの夢を紹介できるように.....

参考文献

- [1]内田 啓一郎：「スーパーコンピュータ」、電気学会雑誌 Vol1108, No10 pp977-980, 昭和63年10月
- [2]三好 甫：「CFDの推進に必要な計算機性能」第8回航空機計算力学シンポジウム論文集 SP13, pp1-26, 1990年9月
- [3]岡田 信、高村 守幸：「CFD向け並列計算機のソフトウェア」第8回航空機計算力学シンポジウム論文集 SP13, pp109-116, 1990年9月