

UDC 621.374.3:681.325

# 航空宇宙技術研究所資料

TECHNICAL MEMORANDUM OF NATIONAL AEROSPACE LABORATORY

TM-157

機上用超小形エンコーダの研究

中 正夫・山本芳樹  
大石 晃

1969年3月

航空宇宙技術研究所  
NATIONAL AEROSPACE LABORATORY

既 刊 資 料

TM-120	円錐管レンズの設計とその応用	1967年11月	山中龍夫, 奥岨澄男
TM-121	大きなマトリクス逆行列計算および連立一次方程式の計算のためのプログラミング技術	1967年11月	戸川隼人, 戸川保子
TM-122	NAL-7-P ロケットの強度および燃焼試験結果	1967年11月	竹中幸彦, 古田敏康, 小川鉦一, 朝田洋雄, 豊原恒彦, 五代富克, 湯沢克宜, 伊藤藤
TM-123	"NAL-16.31" および "NAL-25.31" 二段ロケットの振動試験	1967年11月	中井暎一, 古関昌次, 田安藤泰勝, 高木俊甫, 安峯正勝, 森田地孝, 太田幹雄, 藤田
TM-124	吹出式超音速風洞の集合胴圧力制御について	1967年12月	外立政隆, 近藤洋史, 原亘利
TM-125	航技研 1 m × 1 m 吹出式超音速風洞におけるハーフモデル試験について	1968年 2月	石原久蔵, 原根英夫, 榊原盛三, 関根
TM-127	2024-T 3 アルミニウム合金の3-bay有孔補強平板の軸荷重による疲労特性	1968年 4月	飯田宗四郎, 猿本光明, 斉藤信一郎
TM-130	リフトエンジンの自然吸込みについて	1968年 4月	近藤博, 大城章一郎
TM-131	遷音速タービン翼列二次元試験(Ⅲ)	1968年 5月	近藤博, 蓑田光弘, 山崎紀雄, 古川昇
TM-132	行列の最小固有値の一計算法	1968年 5月	戸川隼人, 戸川保子
TM-133	フィラメント・ワインディング円筒の強度特性に関する研究	1968年 5月	竹中幸彦, 斉藤浩一郎, 古田敏康, 齊藤島矩, 三本木茂夫, 小川鉦一, 越出慎一, 熊倉郁夫, 大竹洋雄
TM-134	AGARD 標準模型HB-1, HB-2の超音速風洞試験	1968年 5月	斉藤秀夫, 石原久蔵, 原根英夫, 野田順一
TM-135	歪ゲージの自己加熱による歪ドリフト	1968年 5月	小川鉦一, 遠藤修司
TM-136	"NAL-16.31" および "NAL-25.31" 二段ロケット結合部の曲げ剛性試験	1968年 5月	中井暎一, 飯田宗四郎, 高木俊朗, 安藤泰勝, 菊地孝男
TM-137	ロケットの三次元の運動の方程式および HITAC 5020 による軌道計算のためのプログラム	1968年 5月	毛利 浩
TM-138	片持板の振動解析に関する考察	1968年 6月	塙武敏, 越出慎一, 林洋一
TM-139	薄板構造の疲れき裂伝ば実験	1968年 6月	竹内和之, 野原利雄, 飯田宗四郎
TM-140	二次元スラットおよびスロテッドフラップの実験的研究(Ⅱ)	1968年 7月	犬丸矩夫, 北村清美
TM-141	超音速二次元翼列予備実験風洞について	1968年 7月	近藤博, 坂口一晋, 八山優, 高森
TM-142	二次元スラットおよびスロテッドフラップの実験的研究(Ⅲ)	1968年 7月	犬丸矩夫, 高橋 侖
TM-143	端面一体巻きフィラメント・ワインディング容器の静圧強度および疲れ強度	1968年 8月	竹中幸彦, 朝田洋雄, 野口義男
TM-144	真ひずみ計の試作	1968年 8月	竹中幸彦, 朝田洋雄, 野口義男
TM-145	スピンを伴うロケットの運動を計算するプログラム	1968年 8月	戸川隼人, 石黒登美子, 山本浩通

# 機上用超小形エンコーダの研究\*

中 正 夫\*\*・山本芳樹\*\*・大石 晃\*\*

## Study on Microelectronic Encoder for Airborne Digital Data Acquisition System

By

Masao NAKA, Yoshiki YAMAMOTO and Akira OISHI

The design and development of a microelectronic encoder for an airborne data acquisition system is described.

The encoder accepts analog data (0 to 5 volts) and converts these data into 8-bit binary codes at the maximum conversion speed of 60  $\mu$  sec per datum.

Primary emphasis is on the packaging techniques employed to minimize weight and volume and qualify for severe environments.

Also discussed are the application methods of DTL integrated circuits and the design of the newly developed D-A conversion network.

### 1. ま え が き

最近のエレクトロニクスの進歩、特に論理回路用半導体集積回路（以下デジタルICと呼ぶ）の急速な発展は電子計算機を中心とするデジタル電子装置の小形化、軽量化、低電力化のみにとどまらず製作調整の単純化、高信頼化、価格の低廉化などに極めて大きな影響を与えつつある。

一方わが国における高性能航空機、ロケット、人工衛星などの開発研究が進むにつれこれらの飛行試験、もしくは飛しょう試験を行なって機体各部に働く力、圧力、振動、温度など多量の計測データを実時間ないし短時間で自動収集、処理、解析しその結果を直ちに

設計にフィードバックできる高速度でかつ高精度のデータ処理装置が必要になってきた。

飛行・飛しょう試験用データ処理装置は機上に搭載する機上装置と地上に設置される地上装置とに分かれる。従来のもものでは前者は搭載形の各種センサ、マルチプレクサ、磁気テープ記録装置、テレメータ送信機からなり機上でデータの収集記録、圧縮、変調などをアナログ形式で行ない（これを機上アナログ処理方式と呼ぶ）、後者はテレメータ受信機もしくは磁気テープ再生装置、A-D変換器、デジタル電子計算機などから構成され、地上でデータの受信、復調、A-D変換、解析を行っていた。しかしこのような機上アナログ処理方式ではデータの収録、処理、テレメータ伝送などの操作過程において、雑音が付加されやすく全体の処理精度は数%程度に劣化する欠点を有する。したがってこれまでの機上アナログ処理方式と異なり、計

\* 昭和43年10月26日受付

\*\* 計測部

測量を機上で直ちに A-D変換しデジタル量に直してからデータの収録, 処理, テレメータ伝送をパルス形式で行ない, これらの処理操作過程で雑音による精度劣化が生じにくいデジタルデータ処理方式をとる必要がある。(これを機上デジタルデータ処理方式という。) この機上デジタルデータ処理方式<sup>1)</sup>では, 全体のデータ精度は1%程度となることと, 機上でのデータ圧縮, 予備計算などは機上の電子計算機で行なわれるので, 各飛行, 飛しよう目的に応じてその処理方式に融通性を持たせ得ることなどの特長を有している。

本機上デジタルデータ処理方式をブロック図で示すと一般的に図1の如く表わせる。

図示のように各種センサ, マルチプレクサ, エンコーダ, デジタル電子計算機およびデジタルテレメータ送信機を機上に搭載しその飛行試験, 飛しよう試験におけるデータ収録, 処理を高速度, 高精度かつ融通性を持たせて行なう方式である。ここでは本方式の動作を簡単に説明しておく。まず機上で計測されたアナログデータはマルチプレクサで時分割多重化され, 直列でエンコーダに入る。ここでデジタル量に変換されたデータはインタフェースを経て機上電子計算機に入力される。計算機内では入力データの一次記憶, データの圧縮, 簡単な予備計算, 地上伝送のためテレメータフォーマット変換などの処理を行ない, 真に必要なデータはテレメータにより地上へ伝送されたり, または適当なバッファメモリ, たとえば磁気テープに記録される。

本機上デジタルデータ処理方式の構成要素の中では特にエンコーダと電子計算機は小形化, 軽量化, 低電力化, 環境特性の向上, 信頼性の向上など技術的に多くの解決すべき問題点を有しており, 現在アメリカにおいてもこれら要素の研究, 開発が盛んに進められている。

本論文は図1で斜線を施した搭載形エンコーダのIC化による超小形化, 軽量化, 高速化ならびに環境特性の向上に関して行なった研究報告である。

エンコーダとはアナログデータをデジタルデータに変換するAD変換器を主体とし, さらに誤り検査用ビットと多重化データ識別用のビットを付加する回路から構成されている電子装置である。エンコーダのIC化を取り上げたのは次の二つの理由による。第一の理由は搭載形エンコーダは機上デジタルデータ処理方式を構成する装置の中で電子計算機について重要な要素であるにも拘らず当時国内では搭載形エンコーダは全く存在せず, またようやくデジタルICの国産化が開始された頃で通信機メーカーは(地上)電子計算機のIC化研究にその主力を注ぎ, 開発による経済効果の少ないエンコーダのIC化研究にはほとんど着手していなかったからである。第二の理由は本機上デジタルデータ処理方式の必要性が急速に高まったことのみならず, 地上における各種風洞実験, エンジン燃焼実験などの実時間データ処理装置への応用面からも高性能エンコーダの開発が要請されたことによる。

次に諸外国特にアメリカの現状をみるとデジタルICはすでに実用化の段階に入り, さらに今後はLSIの開発, 応用へと向かって進んでいる。またNASAや航空宇宙産業界の要請により数年前からB. H. Singletary, J. G. Minerなどは搭載形全IC化エンコーダ(あるいはAD変換器)の開発研究を進めている<sup>2), 3), 4), 5)</sup>。しかしながら搭載用に適するデジタルICの回路形式, DA変換回路部の小形化方式, 過酷な環境条件に耐える実装方式などの諸問題はいまだに解決されていないようである。

本論文においては, 第2章において国産デジタルICの応用に関する資料を得るためにICの特性試験, 論理設計に関して得られた結果について述べ, 第3章において超小形エンコーダに適するよう新しく設計し, 実用化したDA変換回路について述べ, 最後に第4章でこれらの研究結果にもとづき試作した機上用超小形エンコーダの概要, 高密度実装, 環境特性などについて論じている。かくして国産ICを用い, 超小形化, 高速化ならびに低廉化を計る方式を見だし, 機上用

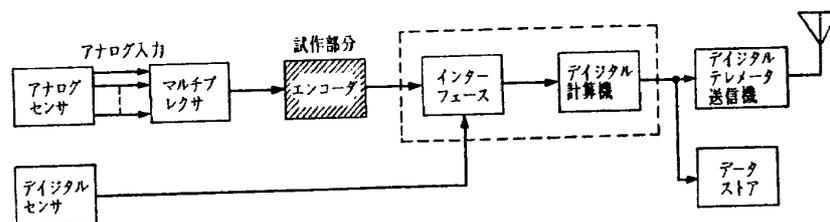


図1 機上デジタルデータ処理方式

超小形エンコーダの試作研究を行なった。

## 2. IC化超小形論理回路について

わが国において昭和39年頃から主としてデジタルICの試作が大手の半導体メーカーで進められてきた。本エンコーダの研究試作を計画した昭和40年初めにはすでに商品化されたデジタルICの種類はRTL, DCTL, DTL, TTL, CTLなどの多くにわたっていたがメーカー側ではこれらICの将来性と需要動向を適確につかめず、商品化したもののそれぞれのICを少量ずつ試作するのみであり、試作されたICの電気的特性試験データも十分に整備せず、もちろんこれらの応用に関する資料は皆無といってよく、特定の電子装置への応用方法が全く確立されていない状態にあった。

そこで上述のデジタルICのうちどの回路形式が機上用として最適であるかについて、最初に回路設計と構成上によりその理論上期待される特性を比較検討し、ついで各IC単体の電気特性の測定およびこれを組み合わせた応用回路に関する動作実験を行なった。その際得られた資料を検討した結果、DTL(ダイオードトランジスタロジック)ICが搭載形に必要な動作温度範囲、雑音余裕度、動作速度、消費電力などの点で他より優れており、機上用エンコーダのデジタル電子回路部に最適であるとの結論を得たので、後述のごとく全面的にDTLICを採用し機上用超小形エンコーダを研究試作した。

本章ではDTLIC化NANDゲート単体の電気特性およびこれを組み合わせた応用回路の論理構成に関する実験結果につき詳述する。なお図2は上述実験に使用したNEC社製DTLICの基本回路を示す。DTLICは本図に示すごとき回路構成を有し、シリコンエピタキシャルプレナ技術と選択拡散技術を用いて製作されたモノリシックの多入力NANDゲートである。このICはまず3個のゲートダイオード部で3入力パルスのAND論理演算を行ない、ついでトランジスタで位相反転と増幅作用を行なわせ全体としてAND+NOT=NAND論理演算機能を有する。さらに回路路上では電荷蓄積効果の大きいレベルシフトダイオードを用いてスイッチング(以下SWと略す)速度の向上を計ると同時に外部雑音を完全に阻止している。このため雑音に強く、動作速度が速く負荷も多く取れかつ消費電力が小さく、最も実用性に富む回路形式であると云える。NANDゲートだけですべての論理演算回路、即ちAND, OR, NOT回路を構成し得ることも有用性を大いに増している。図3は本実験に使用したNEC社製DTLICの種類(μPBシリーズ)を示している。

### 2.1 DTL IC の特性

DTL ICの単体特性として直流特性およびSW特性を実験的に求めた。

まず直流特性測定の結果を図4(a)~(e)に示す。図4のうち(a)~(c)は入出力特性、(d)は出力特性、(e)は入力

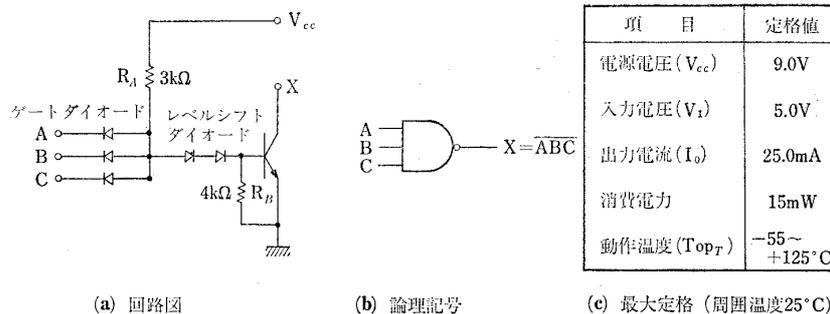


図2 DTL IC化 NAND ゲート

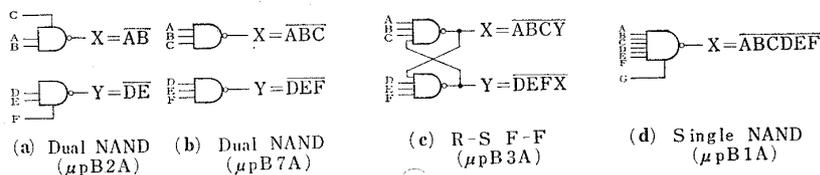


図3 DTL IC の種類

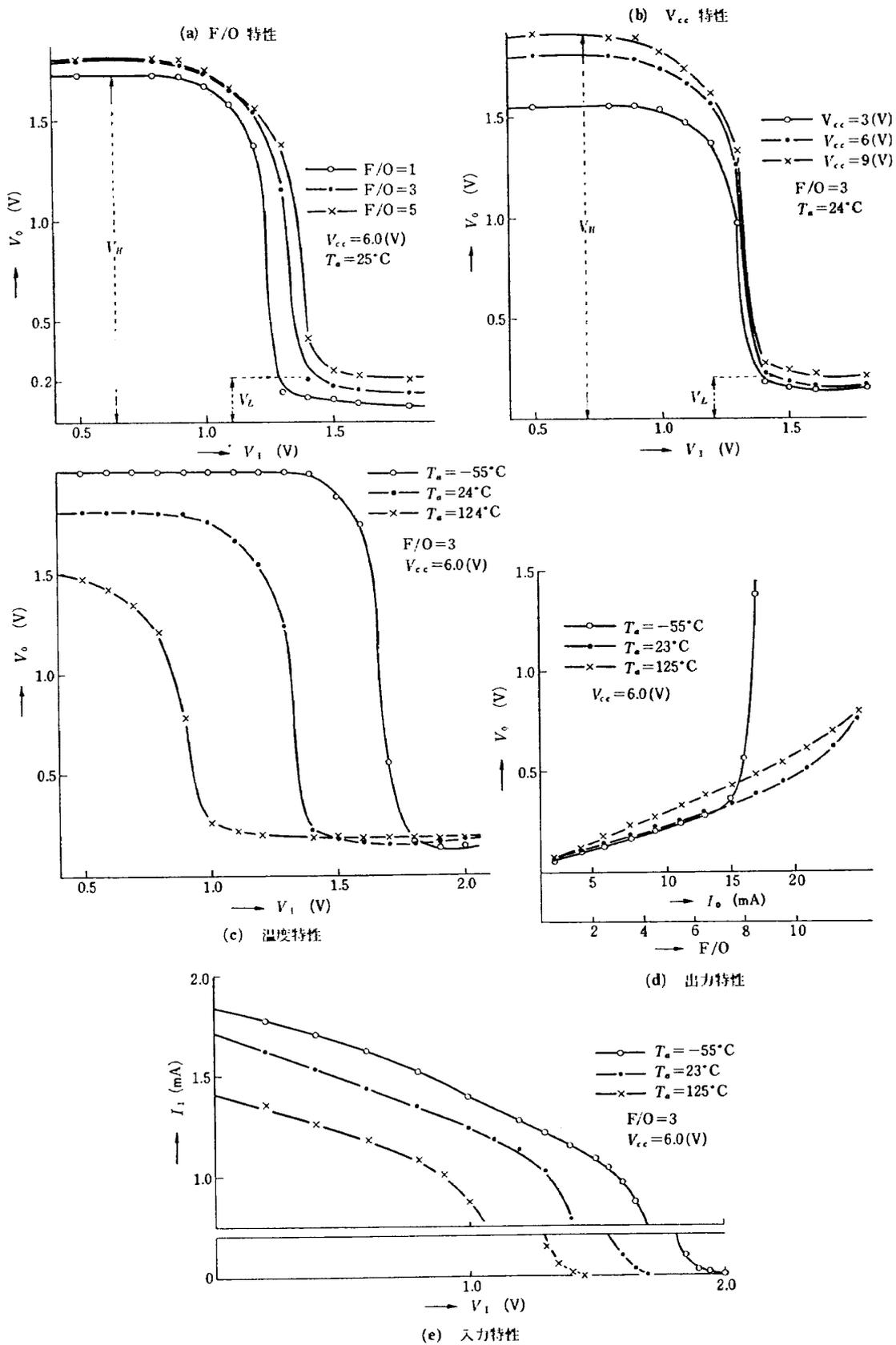


図 4 DTL IC 化 NAND ゲートの直流特性

特性をそれぞれ示している。これらの諸特性の測定においては、実際の動作特性と全く同じ条件にするため被測定 IC にこれと全く同じ IC を負荷として接続し、実験を行なった。図 4 (a) では負荷数 (出力端子に接続しうるゲートの個数, 以下  $F/0$  数と略す。) が多くなると出力電圧  $V_o$  は一般に大きくなる。しかし “1” 出力電圧  $V_H$  の増加率は徐々に減少するのに対し, “0” 出力電圧  $V_L$  の増加率は一定である。さらに  $F/0$  数が 5 個のとき  $V_{Lmax}$  は 0.2V,  $V_{Hmin}$  は 1.8V であることがわかる。図 4 (b) よりコレクタ供給電圧  $V_{cc}$  が増加すると “1” 出力電圧  $V_H$  は大きくなるが, その増加率はだんだん減少してくる。一方 “0” 出力電圧  $V_L$  はわずかに大きくなるかあるいは逆に小さくなることわかる。前者はレベルシフトダイオードおよびトランジスタの飽和電圧特性の非直線性のためであり, 後者は電源電圧  $V_{cc}$  が低いときにトランジスタは十分飽和せず活性領域にあり,  $V_{cc}$  が高電圧になれば十分飽和し飽和領域に入るためであろう。図 4 (c) より周囲温度  $T_a$  が高くなれば “1” 出力電圧  $V_H$  および遷移電圧  $V_T$  はいくらでも減少し, “0” 出力電圧  $V_L$  は逆にごくわずかではあるが大きくなることわかる。この現象は図 2 に示す IC のゲートダイオードおよびレベルシフトダイオードの順方向降下電圧ならびトランジスタのベース, エミッタ間飽和電圧などが大きな負の温度係数を有するのに対して, トランジスタのコレクタ, エミッタ間飽和電圧が小さい正の温度係数を有することを意味している。測定結果より上記  $V_H$ ,  $V_T$ ,  $V_L$  の平均温度係数を算出するとそれぞれ  $-2.8 \text{ mV}/^\circ\text{C}$ ,  $-4.0 \text{ mV}/^\circ\text{C}$ ,  $+0.28 \text{ mV}/^\circ\text{C}$  であった。したがって “0” レベル時の静的雑音余裕度は高温になるにつれて減少しその最小値は約 0.7V となる。“1” レベル時のそれは逆に低温になるにつれて減少し最小値 0.4V をとることがわかる。図 4 (d) は出力特性を示すものであり, 出力電流  $I_o$  が  $F/0$  数 6 個に相当する 12 mA に達するまで, 出力電圧  $V_o$  は周囲温度に比例し漸次大きくなる。しかし  $I_o$  が 14 mA を越えると様子は一変し, 特に周囲温度  $T_a$  が  $-55^\circ\text{C}$  のとき  $V_o$  は急激に大きくなるので, 実際に応用回路に組込んだとき  $F/0$  数が 6 個以上になると動作不良を起すことが予想される。これはトランジスタの直流電流増幅率が低温では小さくなるためであろう。最後の図 4 (e) に示す入力特性では周囲温度  $T_a$  が一定の場合に, 入力電圧  $V_I$  が零から漸次増加すると入力電流  $I_I$  は図 2 に示すゲート抵抗  $R_A$  より決まる勾配で直線的に減少している。しかし入力電圧が遷移

電圧  $V_T$  を越えればレベルシフトダイオードおよびトランジスタはともに導通し始めるが, 一方ゲートダイオードは遮断状態に近づくため入力電流  $I_I$  は激減しついには零になってしまう。次に温度依存性については高温になるにつれ入力電流および遷移電圧が一様に小さくなっていくことがわかる。入力電流減少の原因はゲート抵抗  $R_A$  がゲートダイオードの順方向降下電圧の有する負の温度係数より相当大きな正の温度係数 (実測値は約  $1500 \text{ ppm}/^\circ\text{C}$ ) を有しているためと考えられる。この図より入力電流の最大値は 2.0 mA 以下となることがわかる。

次に本 DTL IC 7 個をリング状に接続しリングオシレータ法により求めた SW 特性を図 5 (a)~(b) に示す。図 5 (a) より平均信号伝達時間  $T_{pd}$  は電源電圧  $V_{cc}$  が 4.5~9.0V の範囲では高温になるにつれわずかに大きくなる傾向を示しているが,  $V_{cc}$  が 3.0V ではこれと逆に低温になるにしたがい増大して行き, 温度が  $-30^\circ\text{C}$  以下では発振が止まってしまふ。さらにこの図で注目すべきことは電源電圧が約 4.5V のとき, 平均信号伝達時間は周囲温度に関係なくほぼ一定値を取ることである。これはダイオードやトランジスタのベース, エミッタ間端子電圧が負の温度係数を有するのに対しゲート抵抗が正の温度係数を有することおよびトランジスタの電流増幅率の温度依存性の影響が相殺された結果と考えられる。この事実は温度特性の良好なデジタル電子装置の電源電圧値の決定に役立てうる。図 5 (b) では電源電圧が 3V より大きくなると SW 速度は急に速くなり始めるが 7~9V ではわずかしか速度が改善されないことがわかる。なお  $F/0$  数と SW 速度との関係についても測定し, 電源電圧が 4.5V 以上の場合には  $F/0$  数を 6 個まで増しても SW 時間はほとんど影響を受けないことが明らかとなった。

以上直流特性, SW 特性について詳述したが結論できることは次の二点である。

- (1) 電源電圧  $V_{cc}$  の値を大きくすれば直流特性, 特性 SW はともに特性の向上が期待できるので,  $V_{cc}$  は少なくとも 4.5V 以上にするのがよい。しかし 7.0V 以上にするのは特性を改善せず消費電力を増大させるので好ましくない。
- (2) 周囲温度  $-50 \sim +125^\circ\text{C}$  の範囲では電源電圧が 4.5~7.0V である限り, (a) IC 化 NAND ゲート 1 個につき負荷  $F/0$  は最大 6 個まで取れる, (b) “0” 出力電圧の最大値は 0.4V, “1” 出力電圧の最小値は 1.5V である, (c) 静的雑音余裕度は “0” レベルに対して 0.7V 以上, “1” レベルに対しては 0.4V 以上であ

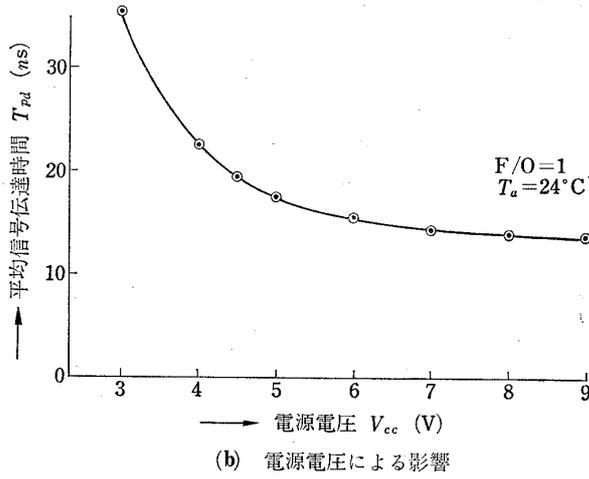
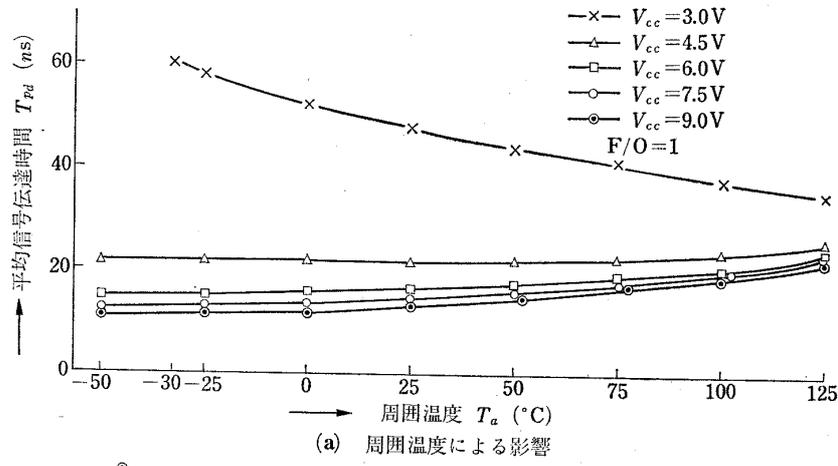


図 5 DTL IC 化 NAND ゲートの SW 特性

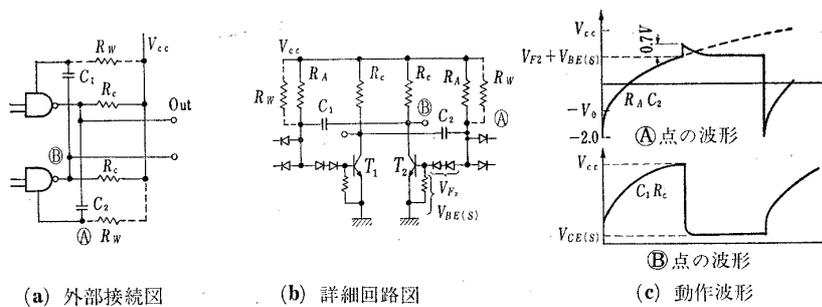


図 6 AMV

る、(d)SW速度はゲートあたり 25 nsである。

2.2 基本デジタル回路の構成法とその特性

当時国産されかつ使用可能である DTL IC は前節図 3 に示す 4 種類に過ぎなかった。しかしこれらの組合せにより、また外部に抵抗、コンデンサを付加することにより、3 種類のマルチバイブレータすなわち非安定マルチ(以下 AMV と略す。), 単安定マルチ(以下 MMV と略す。), 双安定マルチ(以下 BMV と略す)ならびに BMV を組合せてカウンタ、シフトレジスタなどの基本シーケンス回路を論理構成できる。本節では図 3 に示す 4 種類の DTL IC を用いて 3 種類のマルチバイブレータおよびシフトレジスタなどの基本デジタル回路の構成法と動作特性について述べる。

エクスパンダ付 DUAL NAND ゲート(図 3(a)参照)にコンデンサ C1, C2, 抵抗 R<sub>c</sub>, R<sub>w</sub> を図 6(a) に示すごとく接続すると AMV を構成できる。これはパルス発生源として用いられる。回路の動作原理は図 6(b), (c) からわかるように、従来のトランジスタ AMV の動作と同一である。したがってこの AMV の発振周波数は次式(1)で表わされる。

$$F_{osc} = \left\{ 2 C R_A \ln \left( 2 + \frac{V_{BE(s)} + V_{F2} - V_{CE(s)}}{V_{cc} - V_{BE(s)} - V_{F2}} \right) \right\}^{-1} \quad (1)$$

- ここに F<sub>osc</sub> : 発振周波数(Hz)
- R<sub>A</sub> : DTL IC ゲートのゲート抵抗(Ω)
- C : 付加容量(F)
- V<sub>cc</sub> : 供給電源電圧(V)
- V<sub>BE(s)</sub> : トランジスタのベース, エミッタ間飽和電圧(V)
- V<sub>CE(s)</sub> : トランジスタのコレクタ, エミッタ間飽和電圧(V)
- V<sub>F2</sub> : レベルシフトダイオードの順方向降下電圧(V)

なお V<sub>cc</sub>=6.0V, V<sub>BE(s)</sub>+V<sub>F2</sub>=2.1V, V<sub>CE(s)</sub>=0.5V を代入すれば F<sub>osc</sub>≒1/1.76 C R<sub>A</sub> と近似し

得る。抵抗 R<sub>A</sub> を一定とした場合の付加容量と発振周波数の関係を図 7 に示す。付加容量が 40 PF のとき、最高 4.4MHz で発振する。(ただし R<sub>A</sub>=3 kΩ

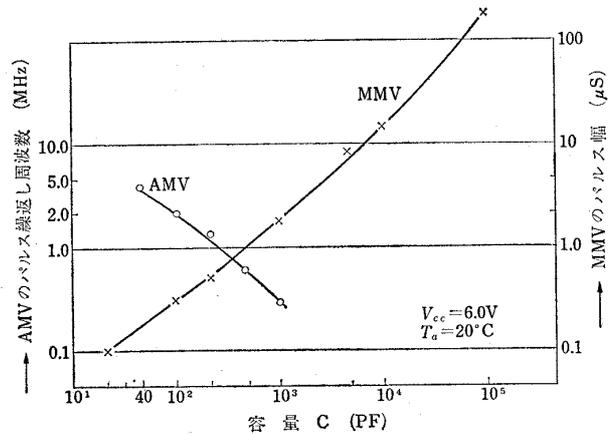


図 7 AMV, MMV, 外部付加容量特性

である。)この実測値は(1)式で得られる理論値より約 5 %低くなっているが、これは IC の製造過程で除去できない浮遊容量によるものである。パルスの立上り時間は 40 ns, 立下り時間は 35 ns であった。理論式(1)からも明らかなことであるが電源電圧 V<sub>cc</sub> の安定度がほとんどそのまま発振周波数の安定度に効いてくることに注意すべきである。最後に発振周波数を微調整するには外部抵抗 R<sub>w</sub> を付加すれば実効的に抵抗 R<sub>A</sub> の値を増減することになり可能となる(図 6(a)参照)。なおコレクタ抵抗 R<sub>c</sub> の値はコレクタ電流, コレクタ損失が定格値を越えない範囲で出来るだけ小さな値を選び SW 速度を速くすべきである。本実験では最適値 600 Ω を使用した。

つぎに一安定状態を有する MMV は図 8(a) に示すようにエクスパンダ付 NAND ゲート 3 個と抵抗, コンデンサをそれぞれ 1 個ずつ用いて構成し得る。なお駆動源としては正のトリガパルスを用いると仮定した場合であるが、負のトリガパルスを利用できる場合は位相反転用 NAND ゲートを 1 個節約できる。これはパ

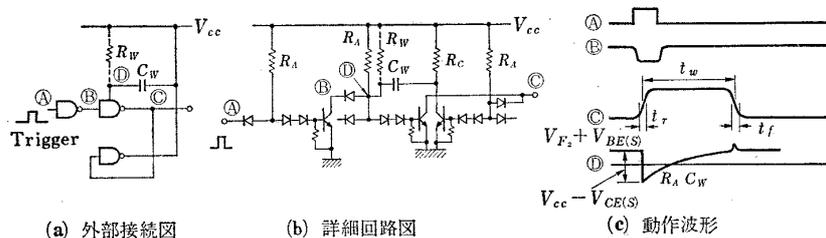


図 8 MMV

ルスの遅延およびパルス幅拡張に使われる。このMMVの動作原理は図8(b)(c)からわかる。そしてこの回路から得られる出力パルス幅はトランジスタ  $T_2$  が off になっている時間に等しく次式(2)で表わされる。

$$T_w = R_A C_w \ln \left( 1 + \frac{2V_{F_2} + 2V_{BE(s)}}{V_{CC} - V_{F_2} - V_{BE(s)}} \right) \quad (2)$$

ここに  $T_w$  : 出力パルス幅

$C_w$  : 付加容量

その他の記号 AMV と同じ

式(2)に  $V_{CC} = 6.0V$ ,  $V_{BE(s)} + V_{F_2} = 2.1V$  を代入し単純化すると  $T_w = 0.73 R_A C_w$  を得る。抵抗  $R_A$  が一定値 (3kΩ) のとき付加容量とパルス幅との関係を図7に示す。容量が小さいとき実測値は理論値より大きい、これはIC内の浮遊容量の影響によるものと思われる。パルス繰り返し速度 5.0 MHz 以下、パルス幅 0.1~180 μs, パルス立上り時間 30 ns, 立下り時間 40 ns の特性を有する高性能MMVを得た。なおパルス幅の微調整は図8(a)に示す可変抵抗  $R_w$  を用いるとよい。電源電圧の変動はそのまま出力パルス幅の変動に効いてくる。

2安定状態を有するBMVはフリップフロップ (以下F-Fと略す。)と呼ばれている。このF-Fはその機能とトリガ方法により R-S, J-K, D, T, R-S-T の5種類に分けられる。各種のシーケンス回路の構成にはT F-Fまたは J-K F-Fが多く使われている。国産の DTL IC では NAND ゲートの他R-S F-Fはすでに製作されている(図3参照)ので、ここでは構成が簡単でかつ実用性に富むT F-Fの構成とその動作特性について述べる。T F-Fの真理値表は図9(a)に示す通りで入力トリガパルス線が1本しかなくトリガパルスが印加されるたびにF-Fの状態  $Q$  が反転する。このような真理値表に示す機能を果すF-Fを NAND ゲートのみで論理構成すると図9(b), (c)が得られる。図9(b)に示す回路はシステマティックな論理設計より得られた<sup>6)</sup>もので NAND ゲート6個から構成されているが図9(c)に示す回路はR-S F-Fを組み合せることにより直感的に得られたもので NANDゲート9個から構成されている。

まず図9(b)の NAND ゲート6個を用いて構成されたT F-Fにつき解析する。図10はこのF-Fを構成する各ゲートの動作波形とその順序ならびに状態表などを示す。ただしゲート番号は図9(b)と対応している。

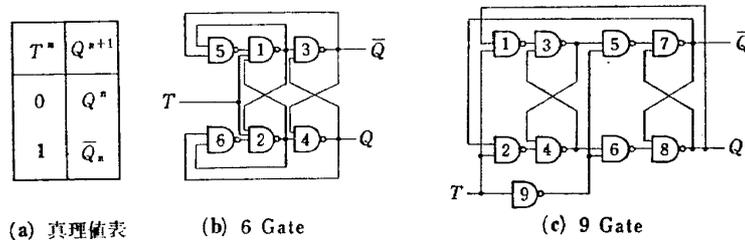


図9 T F-F の直理値表と回路構成

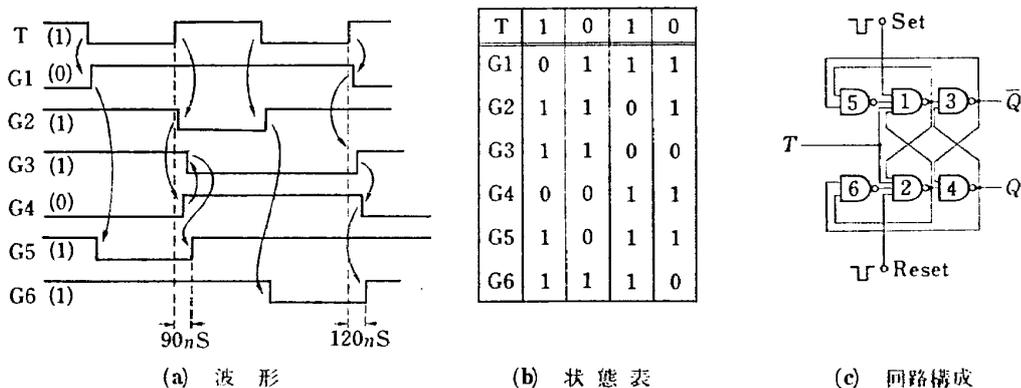


図10 6 Gate F-F

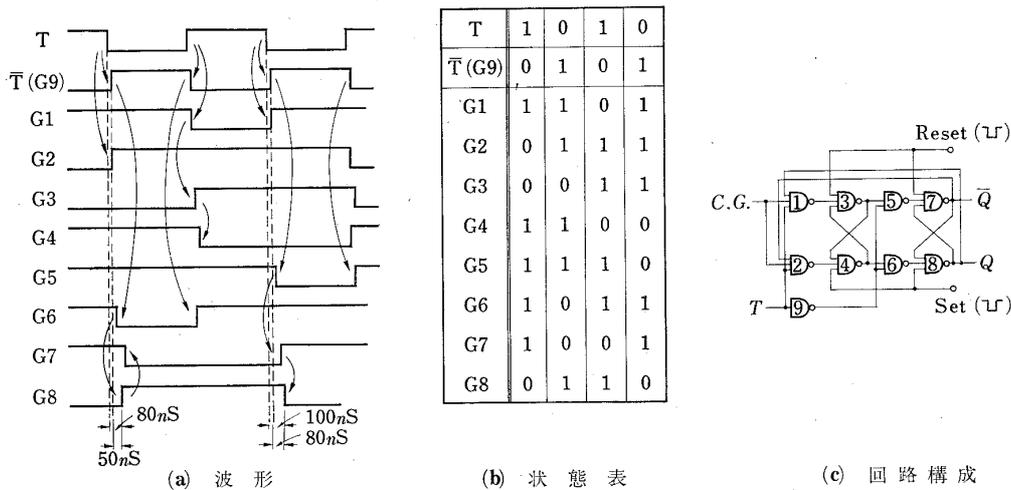


図 11 9 Gate F-F

表 1 T F-F の動作特性 ( $V_{cc}=6.0V$ ,  $T_a=20^\circ C$ )

項	目	6ゲートF-F	9ゲートF-F
出力パルス	最高繰り返し周波数 (MHz)	12.4	9.1
	立上り時間 (ns)	20	20
	立下り時間 (ns)	30	30
	F/0 (個)	5	5
トリガパルス	最小パルス幅 (ns) (ただし振幅 2.0V)	40	30

トリガパルスが高レベル“1”のときには、各ゲートの状態をその番号順に書くと(0, 1, 1, 0, 1, 1)または(1, 0, 0, 1, 1, 1)のいずれかになっている。もし前者の状態にあるときトリガパルスが印加されると図10の如く変化する。いずれの状態にある場合にも正のトリガパルスの前縁でF-Fの状態(すなわちG3, G4の値)が反転される。この図からF-Fの出力であるゲートG3, G4のSW動作は印加トリガパルスに対して最悪の場合 NAND ゲート4段に相当する遅れがあり約120 ns 遅延していることがわかる。このためこのF-Fを従属接続すれば接続段数に比例して位相遅れが増加し、いわゆる非同期式動作をすることになる。このF-Fをセットまたはリセットするのに図10(c)に示すごとくゲートG1, G2に低レベル“0”を入れてやればよい。

次に図9(c)に示す NAND ゲート9個を用いて構成した場合について解析する。このF-FはR-S F-F 2段と NAND ゲートを組み合わせて作られており動作は2段階になり、出力側からみるとクロック同期式回

路動作をしている。トリガパルスが高レベル“1”のとき、各ゲートの状態を番号順に示すと(1, 0, 0, 1, 1, 1, 1, 0)または(0, 1, 1, 0, 1, 1, 0, 1)となっている。例えば前者の状態にあるときトリガパルスが入ってくると図11に示すごとく変化する。この図からわかるように正のトリガパルス前縁によってゲートG3, G4がそれぞれ“0”および“1”にセットされトリガパルス後縁によってゲートG7, G8にそのまま伝達されG7=“0”, G8=“1”にセットされるのでF-Fの出力は(元の状態はG7=1, G8=0である)反転されたことになる。このようにF-Fは2段階動作を行なうので前述の NAND ゲート6個を用いたT F-Fに比べて1段あたりの動作速度は遅くなるが、同期式回路動作をするので従属接続してもその動作遅延時間は接続段数に関係なく一定であり、接続段数によっては逆に速くなることもある。このF-Fの初期状態の設定は図11(c)に示すごとくゲートG4, G8またはG3, G7に低レベル“0”を与えればよい。以上2種類のT F-Fの動作特性を表1に示す。とくに

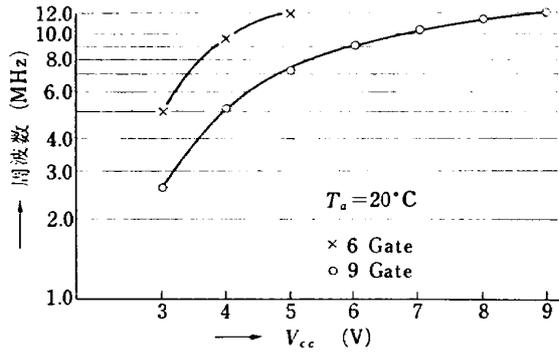


図 12 T F-F 電源電圧特性

電源電圧と応答クロック周波数との関係を図12に示す。両F-Fとも電源電圧 6.0V以上で9 MHz以上のクロックパルスに应答出来、非常に高性能化していることがわかる。

最後にシフトレジスタの構成について検討する。シフトレジスタは2進情報の保持と転送の機能を持ち、その基本構成は図13に示すように2種類が考えられる。これらは2種類のT F-Fに対応しそのフィードバックループを切離すことにより構成できる。したがって各ゲートの動作もほとんど同一なので省略する。

2.3 応用回路の構成法とその特性

前節では4種類の基本デジタル回路すなわち非安定マルチ、単安定マルチ、Tフリップフロップ、シフトレジスタはいずれもIC化 NAND ゲートのみで構成できることを示した。本節ではさらにこれらの回路および NAND ゲートを適当に組み合わせることによって任意の組み合わせ回路やシーケンス回路例えば各種のカウンタ、タイミングパルス発生器、シフトレジスタなどが構成できることを示し、その動作特性、環境特性について述べる。

応用回路としては後述の機上用エンコーダのデジタル回路部の設計資料を得ることを考慮して、次に示す7回路について実験した。

- (1)タイミングパルス発生器
- (2)同期式二進カウンタ
- (3)同期式十進カウンタ

- (4)ジョンソンカウンタ
- (5)桁上げ式二進カウンタ
- (6)桁上げ式十進カウンタ
- (7)並列読み込み直列読み出しシフトレジスタ

これらは同期式回路(1), (2), (3), (4), (7)と非同期式回路(5), (6)に大別できる。前者は主として9ゲート T F-F を中心に構成し、後者は6ゲート T F-F を中心に構成した。実際の論理回路図およびタイミング波形を図14~図20に示す。表2には諸回路の動作特性として最高応答クロック周波数, ゲート数, 消費電力などの関係を示している。同期式カウンタ回路の計数速度は 8.2~10.8 MHz であるが非同期式カウンタ回路では約 1/2 の計数速度しか有しないことおよび1ゲートにつき平均消費電力は 10 mW と非常に少ないことがわかる。電源電圧特性および温度特性として桁上げ式二進カウンタと十進カウンタの例を図21, 図22に示す。いずれも本章第1節に述べた単体特性と一致している。計数速度は電源電圧を 7.0V以上にしてもほとんど改善されず、電源電圧を 5.0Vにすると周囲温度にほとんど影響されないことがわかる。以上二、二の特性のみしか示さなかったけれども、このように DTL IC は広い周囲温度で高速に動作し、その消費

表 2 応用回路の動作特性 ( $V_{cc}=6.0V, T_a=20^\circ C$ )

種類	応用回路		最高応答周波数 (MHz)	消費電力 (mV)
	NAND ゲートの使用個数			
(1)	48		5.1	471
(2)	38		8.2	366
(3)	41		10.8	408
(4)	30		9.2	300
(5)	24		2.7	233
(6)	24		5.7	232
(7)	52		11.8	506

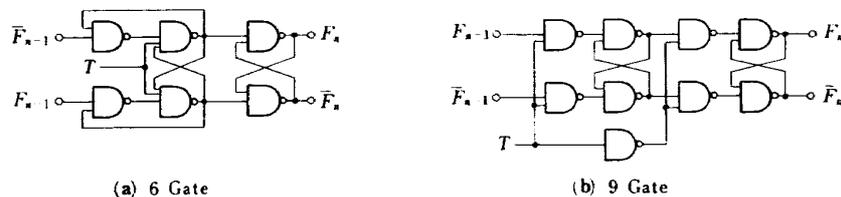


図 13 シフトレジスタ

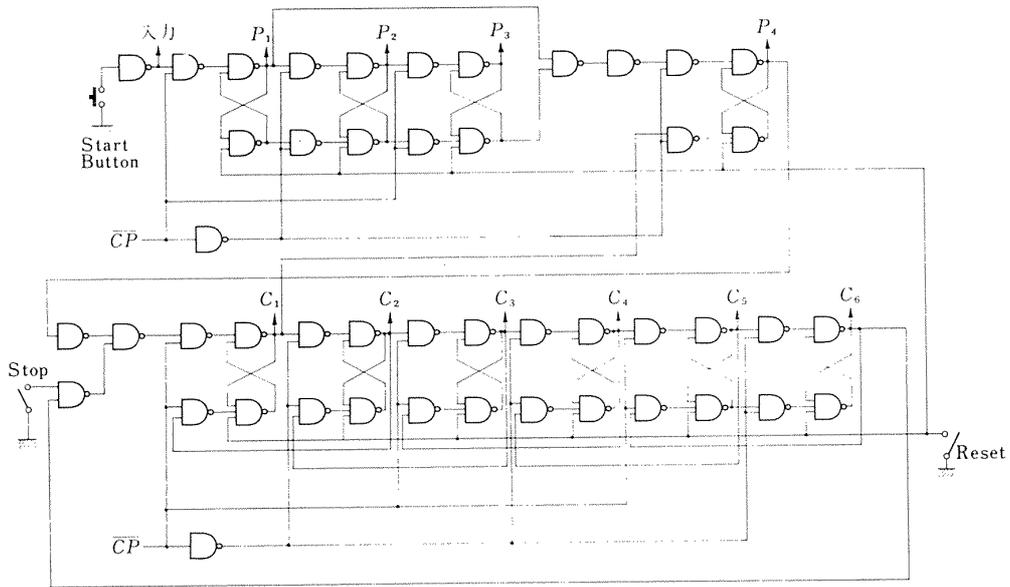


図 14(a) タイミングパルス発生器回路図

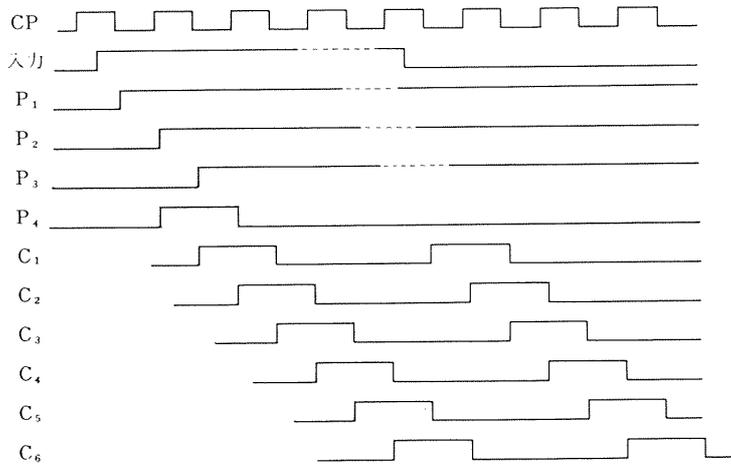


図 14(b) タイミングパルス発生器タイミング波形

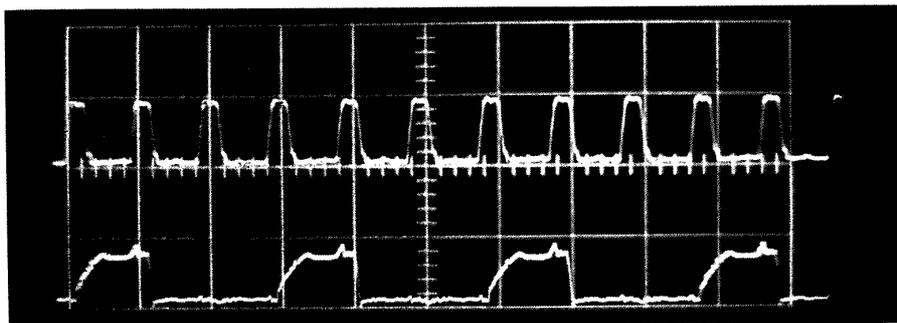


図 14(c) タイミングパルス発生器動作波形

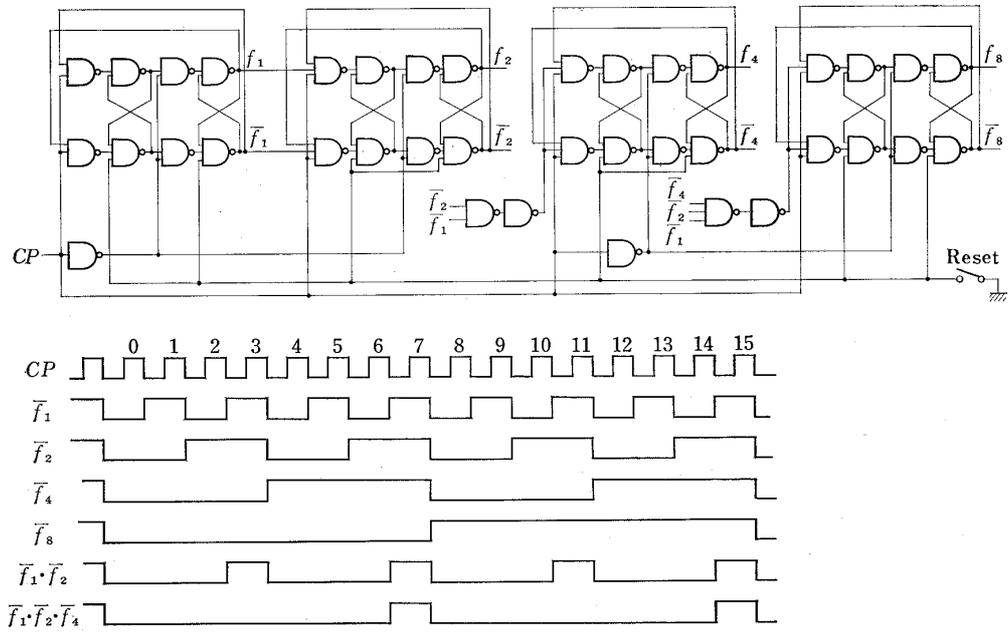


図 15 同期式二進カウンタ

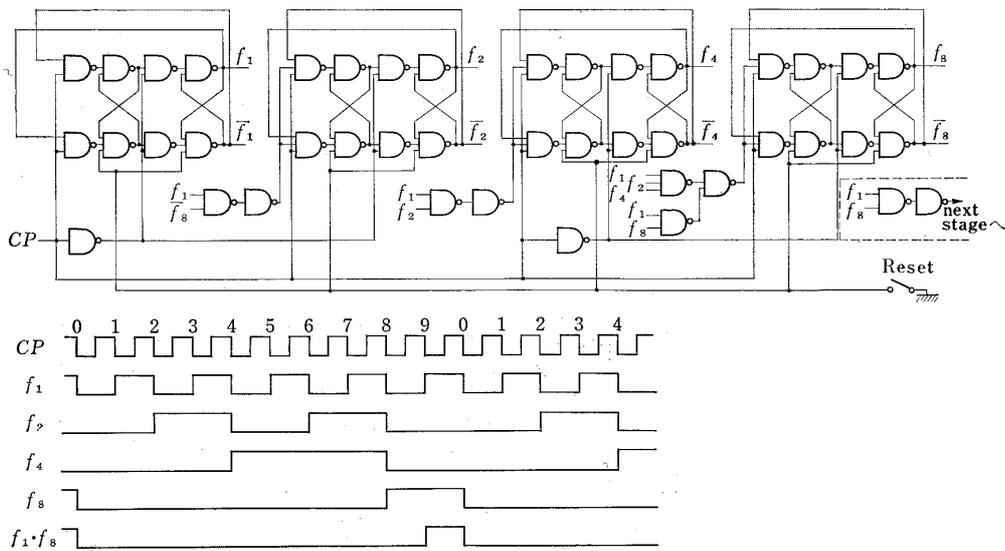


図 16 同期式十進カウンタ

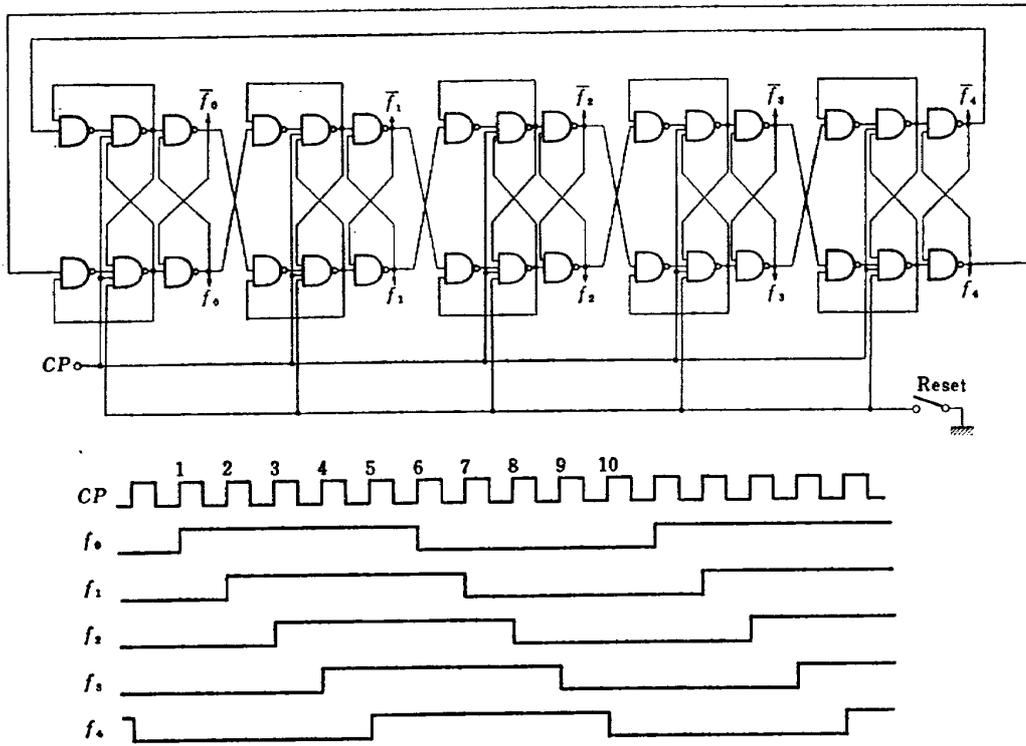


図 17 ジョンソン カウンタ

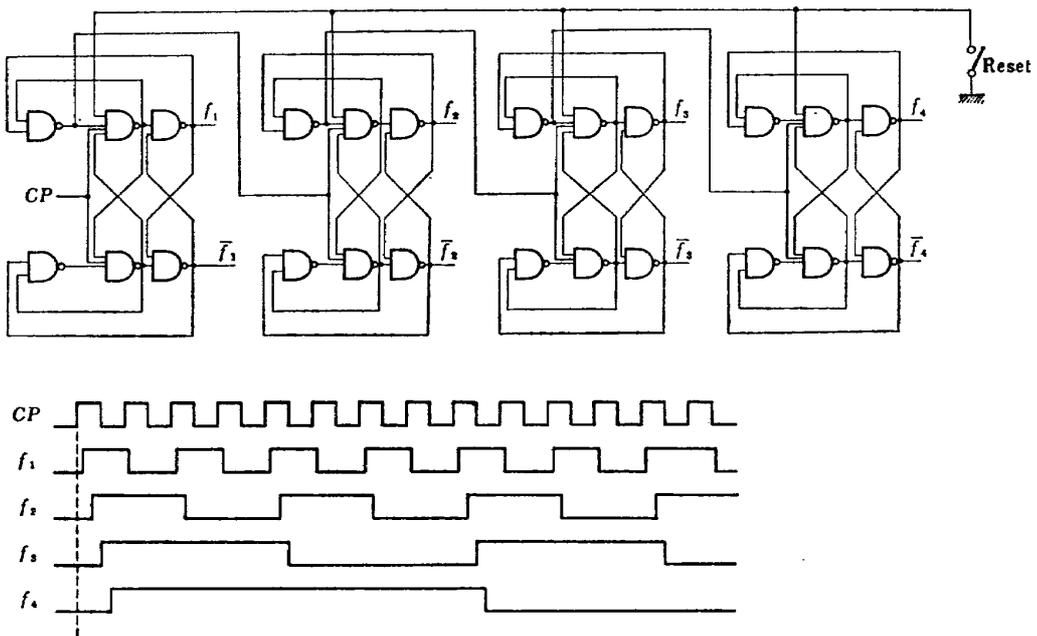


図 18 桁上げ式二進カウンタ

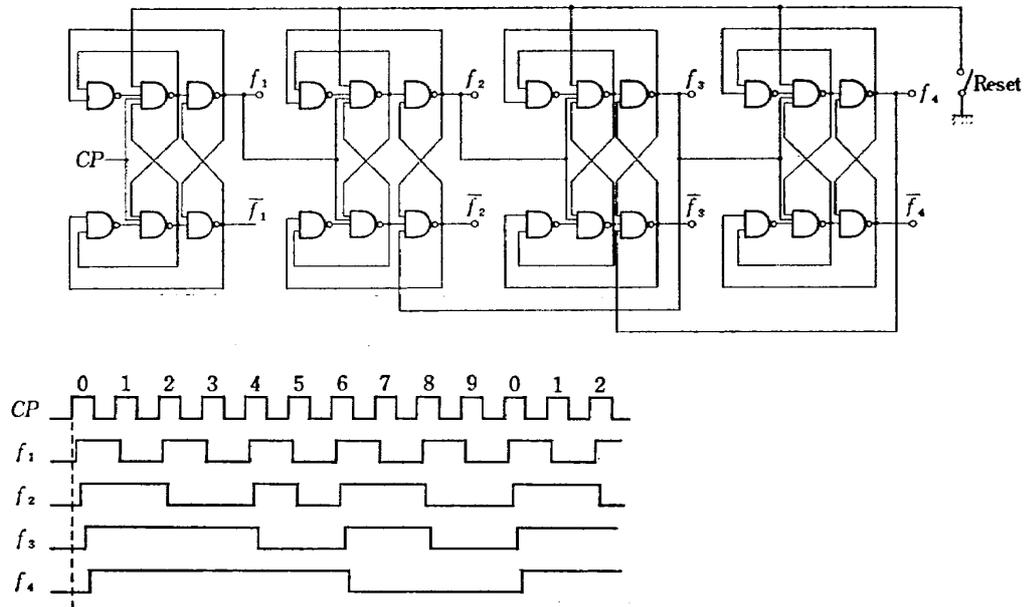


図 19 桁上げ式十進カウンタ

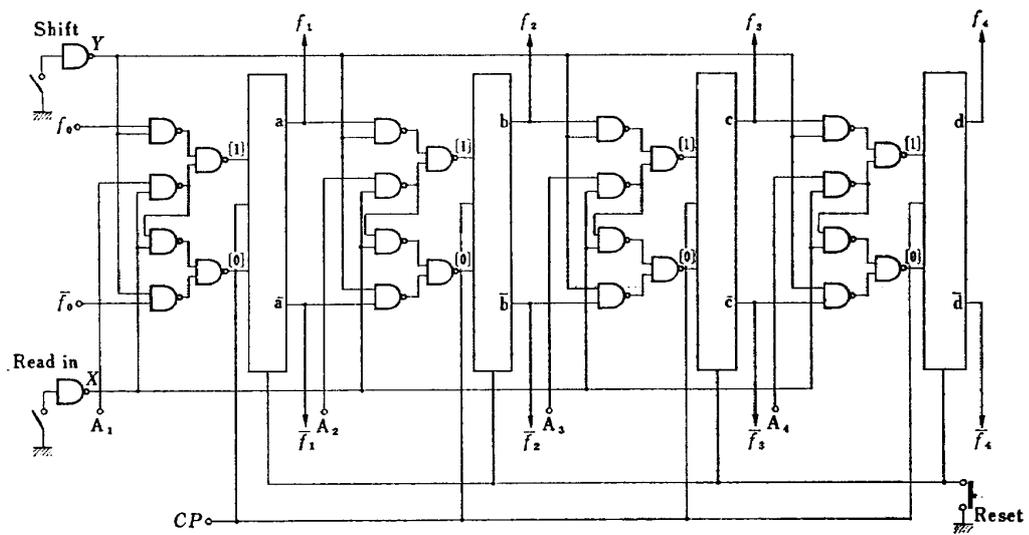


図 20 並列読み込み直列読み出しシフトレジスタ

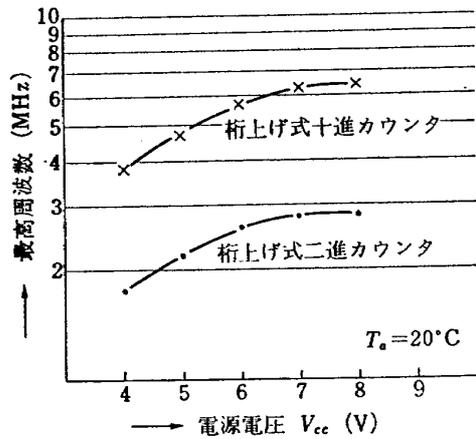


図 21 桁上げ式カウンタ電源電圧特性

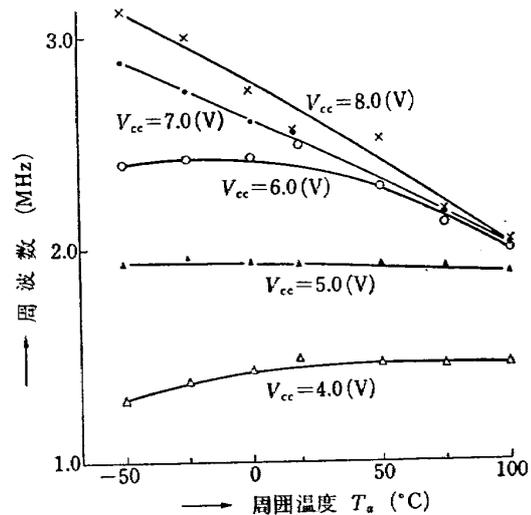


図 22 桁上げ式二進カウンタの温度特性

電力が少ないなどの特性を有しており機上用デジタルICとして最適であることが明らかになった。

なおICの進歩は非常に早く、現在の地上の電子計算機を始めとしてデジタル電子装置には1967年頃よりDTL ICとともにTTL ICも多く使われる傾向にある。これはTTL ICの高速性(クロック速度5~15MHz)と雑音余裕度の向上(約750mV)のためであるが、他方消費電力が大きく(10~50mW)、DTL ICに比し2~5倍にもなることが最大の欠点である。このことは地上の電子装置では供給電力にあまり制限がないので大きな障害とはならないが、機上装置にとっては致命的な欠点である。もちろん、将来LSI化(50ゲート以上/チップ)が進めば、TTL ICの消費電力は非常に小さくなるのがアメリカで予想されている<sup>7)</sup>が、少なくともここ二、三年はDTL ICが優れていると思われる。

### 3. D-A変換回路網の解析とアナログSWの設計

次章で詳述する機上用超小形エンコーダは比較方式のA-D変換を行なっているので、その内部にD-A変換回路すなわちコーダレジスタに設定されたデジタル数値をそれに対応するアナログ電圧に変換する回路を有する。このD-A変換回路は通常、高精度、高安定度抵抗網と単極双倒アナログSWから構成されている。この回路を如何に小形化すべきかを考えてみよう。まず抵抗回路網については、半導体IC化抵抗または薄膜IC化抵抗の利用が考えられるがいずれも精度がそれぞれ15%、8%と非常に悪く、通常0.1%程度の

高精度を要求される抵抗素子としては使用できない。このため個別部品である小型金属皮膜抵抗を使用した。しかしこれを用いても寸法はかなり小さいので小形化に対する大きな障害とはならない。次にアナログSWについてもIC化することが望ましいのであるが、IC化トランジスタではコレクタ飽和抵抗が通常のトランジスタに比して大きいので、オフセット抵抗値が大きくなりSWとしての静的特性が悪くなりIC化はできないことが明らかとなった。そこで本D-A変換回路においては従来の単極双倒形アナログSWの代りに、構成部品数が約1/2になる単極単倒形アナログSWを利用した新しいD-A変換抵抗回路網を構成することにより、アナログSWの回路構成の単純化を計りかつこれを個別部品で組み立て各SWごとにシリコン樹脂でモールドした結果、IC化した場合と殆ど同じぐらい小形化する(約1cm<sup>3</sup>/SW)ことに成功した。以下に新しいD-A変換回路網の解析とアナログSWの設計について述べる。

#### 3.1 新しいD-A変換抵抗回路網の解析

従来のD-A変換抵抗回路網については文献<sup>8),9)</sup>にくわしいが、それらにおいては定電圧源を用いる場合は二種類の抵抗 $R$ 、 $2R$ を梯子型に構成する( $R$ 、 $2R$  Resistor Ladder Network)か、または各桁に重みをつけた抵抗回路網を構成する(Weighted Resistor Network)かの二方式に大別され、いずれの方式においても単極双倒形のアナログSWを必要とする。

そこで本D-A変換回路においては後者のWeighted Resistor Networkを一部変更した新しいD-A変換抵抗回路網を用いることにより、単極双倒形アナログ

SWの代わりに、構成部品数が約1/2になる単極単倒形アナログSWを利用できるようにした。

本抵抗回路網、すなわち抵抗、アナログSW、標準電圧を組み合わせてデジタル数値に対応したアナログ電圧が発生される、そしてこのアナログ電圧の発生精度がA-D変換器全体の精度を支配する重要なパラメータとなる。従ってここで使う新しい抵抗回路網の構成法、各抵抗値の組み合わせ方法、およびその精度ならびにアナログSWの性能、標準電圧の精度などが内部アナログ電圧発生精度といかなる関係を有するかについて解析し、これらの性能をどのように選ぶべきかを検討する。

単極単倒形アナログSWを使ったNビットD-A変換抵抗回路網を図23に示す。

まず最初に記号につき説明しておこう。

抵抗素子  $R_{11}+R_{12}, R_{21}+R_{22}, \dots, R_{j1}+R_{j2}, \dots, R_{n1}+R_{n2}$  はそれぞれ2進数の最高桁から順次下位の桁に対応する電流加算用抵抗であり、次式(3)に示すように2進荷重をかけられている。

$$\left. \begin{aligned} R_{11}+R_{12} &= R_0 \\ R_{21}+R_{22} &= R_0 \cdot 2^1 \\ R_{j1}+R_{j2} &= R_0 \cdot 2^{j-1} \end{aligned} \right\} \quad (3)$$

さらに

$$R_{12} = R_{22} = \dots = R_{j2} = \dots = R_{n2} = \alpha R_0$$

ただし  $\alpha$  は抵抗の分割比を表わす定数で、その大きさは  $0 \leq \alpha \leq 1$  である。次にN個のアナログSWのオフセット抵抗、オフセット電圧、およびオフセット電流をそれぞれ下記のごとく表わす。

$$\left. \begin{aligned} r_1, r_2, \dots, r_n \\ v_1, v_2, \dots, v_n \\ i_1, i_2, \dots, i_n \end{aligned} \right\} \quad (4)$$

標準電源の電圧値を  $V_0$  とする。

図23はN個のアナログSWのうち第J番目がOFF、第K番目がONの状態、入力電圧と平衡に達しA点(すなわち比較器の入力点)が0Vになった時の状態を示している。ここで第J番目の抵抗に流れる電流  $I_J$  と、第K番目の抵抗に流れる電流  $I_K$  とを考えると次式で与えられることがわかる。

$$I_J = \frac{V_0 - i_J \cdot R_{J2}}{R_{J1} + R_{J2}}$$

$$I_K = \frac{R_{K2} v_K + r_K V_0}{R_{K2} r_K + R_{K1} (R_{K2} + r_K)}$$

従ってこのときA点に流れ込む全電流  $I$  は次式(5)で与えられることになる。

$$I = \sum_J \frac{V_0 - i_J R_{J2}}{R_{J1} + R_{J2}} + \sum_K \frac{R_{K2} v_K + r_K V_0}{R_{K2} r_K + R_{K1} (R_{K2} + r_K)} \quad (5)$$

ここに

$\sum_J$ ; アナログSW OFFのもの総和。

$\sum_K$ ; アナログSW ONのもの総和。

(5)式において抵抗値、アナログSWの特性、標準電圧などにバラツキがあったときの電流変化分  $\Delta I$  を求める。ただしここでは簡単のため抵抗値の精度と電源電圧の精度は等しく次式(6)のごとく  $\beta_1$  としておく。

$$\left| \frac{\Delta R_0}{R_0} \right| = \left| \frac{\Delta V_0}{V_0} \right| = \beta_1 \quad (6)$$

またアナログSWのオフセット抵抗、オフセット電

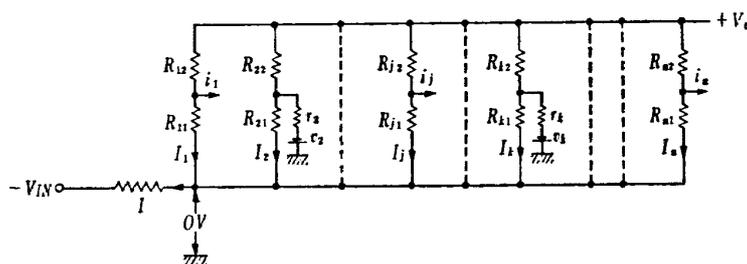


図 23 D/A 変換抵抗回路網

圧のバラツキの最大値を  $\Delta r$ ,  $\Delta v$  とし、オフセット電流は小さいで無視する。以上の仮定のもとで抵抗値  $R_0$ ,  $r$ , 電圧  $v$  の微小変動による電流変動量の最大値  $\Delta I_{max}$  を求めると次式(7)のごとくなる。(誘導については付録参照のこと。)

$$\Delta I_{max} = 2\beta_1 \frac{V_0}{R_0} \sum_{j=1}^N \frac{1}{2^{j-1}} + \left( \Delta v + \frac{V_0}{\alpha R_0} \Delta r \right) \sum_{k=1}^N \frac{1}{(2^{k-1} - \alpha) R_0} \quad (7)$$

一方A点に流入する電流の最大値  $I_{max}$  はすべてのアナログSWが OFF の時生ずるから、それは次式(8)で表わされる。

$$I_{max} = \frac{V_0}{R_0} \sum_{j=1}^N \frac{1}{2^{j-1}} = \frac{2^N - 1}{2^{N-1}} \cdot \frac{V_0}{R_0} \quad (8)$$

ゆえに電流の相対誤差  $\varepsilon$  は式(7)を式(8)で割ることにより次式のごとく求まる。

$$\varepsilon = 2\beta_1 + \frac{2^{N-1}}{2^N - 1} \left( \frac{\Delta v}{V_0} + \frac{\Delta r}{\alpha R_0} \right) \sum_{k=1}^N \frac{1}{2^{k-1} - \alpha} \quad (9)$$

なお  $\frac{\Delta v}{V_0} < \frac{\Delta r}{\alpha R_0}$  が成立するので、さらに簡単化すると次式(10)となる。

$$\varepsilon = 2\beta_1 + \frac{2^{N-1}}{2^N - 1} \cdot \frac{\Delta r}{\alpha R_0} \sum_{k=1}^N \frac{1}{2^{k-1} - \alpha} \quad (10)$$

ここで電流の相対誤差  $\varepsilon$  を最小にするときの標準抵抗分割比  $\alpha$  を求めなければならない。式(10)の第1項は式(6)で与えられる定数なので第2項を最小にする  $\alpha$  を求めればよい。 $\alpha$  の値を種々変えて第2項のみの値を計算した結果を図24に示す。この図より  $\alpha=0.6$  のとき、すなわち  $R_2=0.6R_0$  のとき、第2項は最小値  $6.27 \cdot \Delta r / R_0$  とすることがわかる。

よって2進8ビットのA-D変換器の場合、その相対誤差  $\varepsilon'$  は式(10)で、 $N=8$ ,  $\alpha=0.6$  を代入することにより次式(11)のごとく求まる。

$$\varepsilon' = 2\beta_1 + 3.14 \frac{\Delta r}{R_0} = 2 \frac{\Delta V_0}{V_0} + 3.14 \frac{\Delta r}{R_0} \quad (11)$$

式(11)を用いて、2進8ビットの所要変換精度 0.4%を

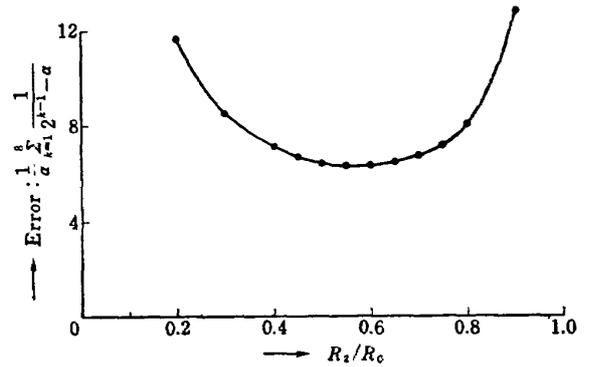


図 24 8 bit D/A<sub>2</sub>変換回路の抵抗比と誤差の関係

満足させるための抵抗値  $R_0$  とその精度、アナログSWのオフセット抵抗  $\Delta r$ , 標準電圧の値  $V_0$  とその精度などを次のようにして決定することができる。式(11)の第1項と第2項を等しくするのが最も望ましいので、第1項目より標準電圧、標準抵抗の安定度は 0.1% となる一方第2項目より標準抵抗値  $R_0$  は、アナログSWのオフセット抵抗のバラツキを後述のごとく  $4.0 \Omega$  と仮定すれば、 $6.26 \text{ k}\Omega$  以上となる。実際には2進の重みをつけるのに便利のように  $10.0 \text{ k}\Omega$  とした。なお標準電圧  $V_0$  はバッファ・アンプの電源と共用するため  $+12.0 \text{ V}$  にした。以上の結果、逆に  $R_0=10.0 \text{ k}\Omega$ ,  $\Delta r=4.0 \Omega$ ,  $\beta_1=0.001$  を式(11)に代入して計算すると誤差  $\varepsilon'$  は、0.32% となり所期の精度を達成できることがわかる。すなわち抵抗値は、 $R_0=10.0 \text{ k}\Omega$ , 標準電圧は  $12.0 \text{ V}$ , かつ両者の精度はともに 0.1% 以内のものを用い、アナログSWのオフセット抵抗のバラツキは  $\Delta r=4.0 \Omega$  以下に選ぶことにより2進8ビットのA-D変換器を構成し得ることが明らかとなった。

### 3.2 アナログSWの設計

D-A変換抵抗回路網で各枝につながれた2組の抵抗の接続点を接地するか、しないかのSW機能を果す単極単倒型アナログSWをシリコントランジスタ 2SC 135 を使用して設計、製作したので以下簡単に述べる。

アナログSW用トランジスタとしてはコレクタ飽和電圧値が小さく、その温度変化も少ないシリコンプレナ型トランジスタ 2SC 135 が最も適していることを素子の特性試験により明らかにした。2SC 135 の飽和特性を図25に示す。本図よりコレクタ電流  $1 \text{ mA}$  を流すためには、ベース電流が  $2.2 \text{ mA}$  程度のときアナログSWとしての特性が最も良くなり、オフセット抵抗は  $4.0 \sim 5.0 \Omega$ , オフセット電圧は  $13 \sim 14 \text{ mV}$  程度であることが明らかとなった。また飽和電圧の温度係数は約  $0.06 \text{ mV}/^\circ\text{C}$  であることも明らかになった。

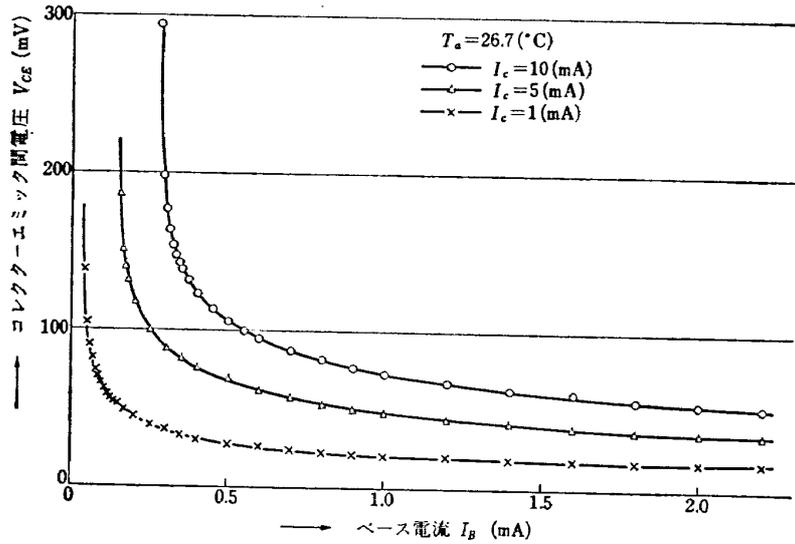


図 25 トランジスタ飽和特性 [2SC-135] (富士通)

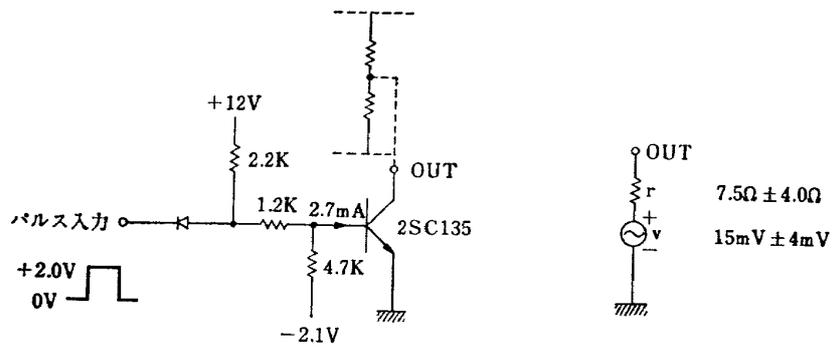


図 26 トランジスタ化アナログSW

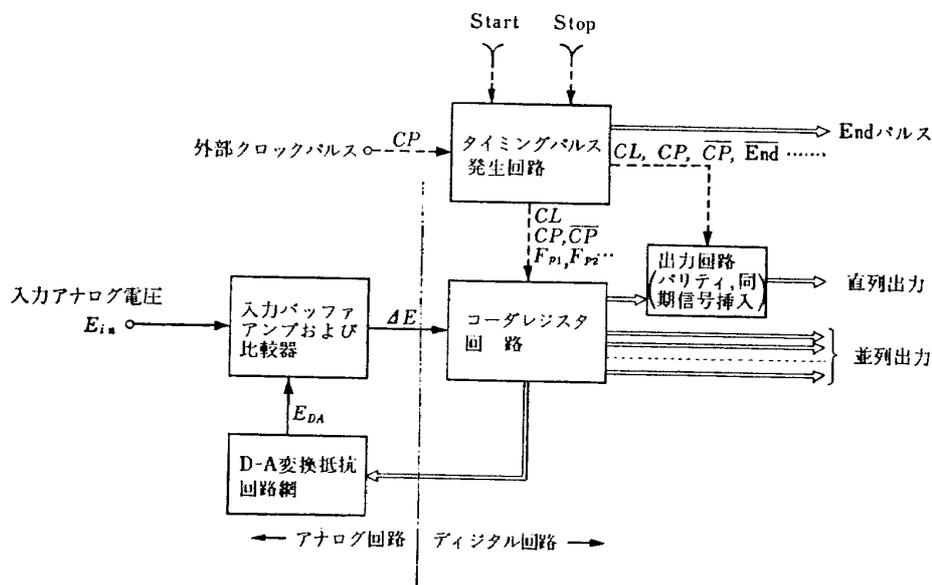
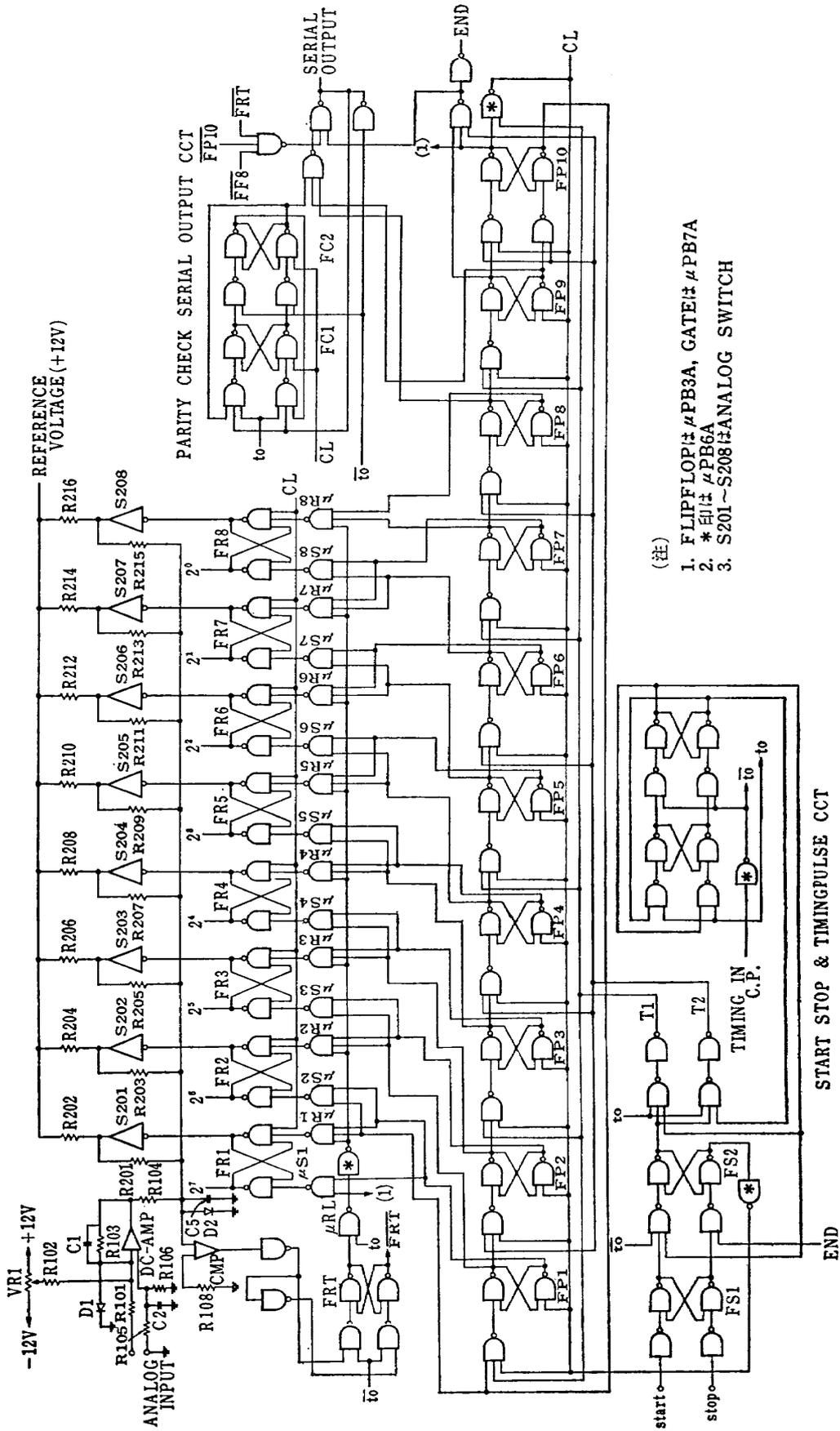


図 27 エンコーダ系統図



- (注)
1. FLIPFLOPはμPB3A, GATEはμPB7A
  2. \*印はμPB6A
  3. S201~S208はANALOG SWITCH

図 28 エンコーダ回路図

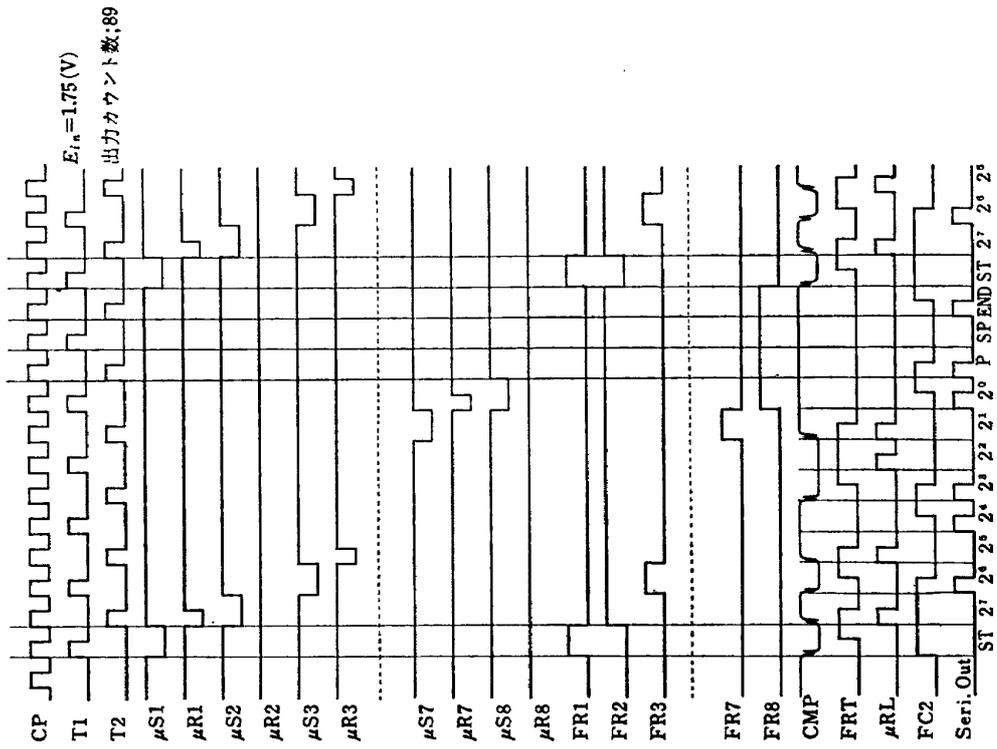


図 29(b) 符号化過程のタイムチャート

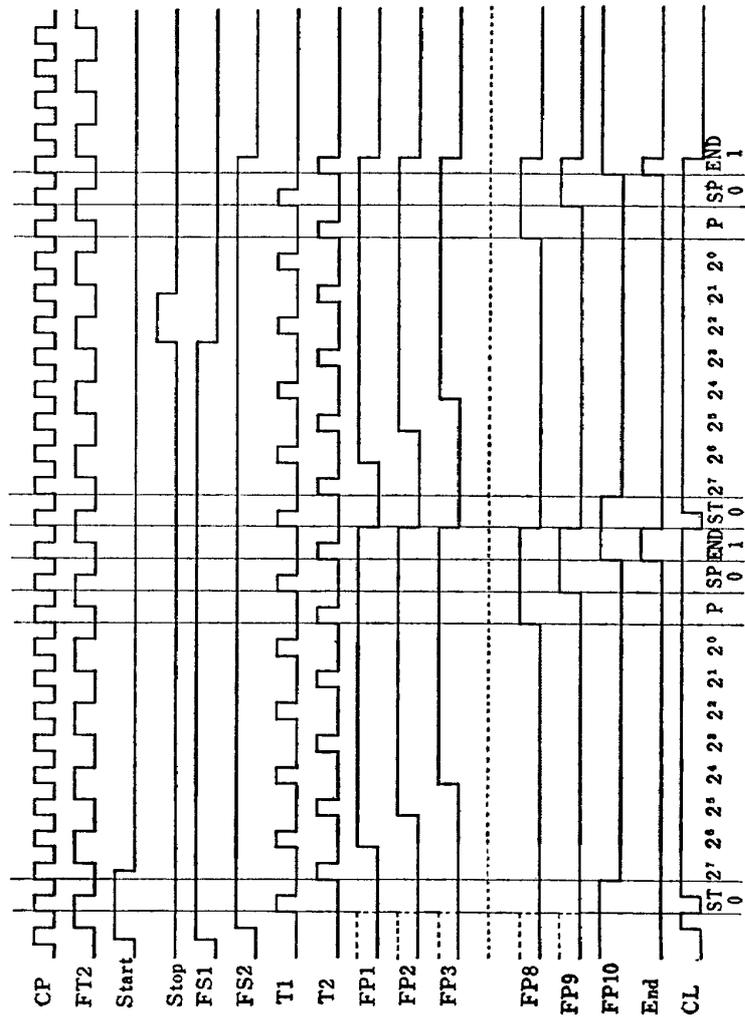


図 29(a) タイミングパルス発生回路のタイムチャート

実際には図26に示す回路構成、回路定数を用いた。そしてSWの ON, OFF 用コントロール信号電圧をトランジスタのベースに印加し、コレクタ、エミッタ間をSWとして使い、ON時のトランジスタベース電流は2.7 mAになるように電圧と抵抗を選び、最大コレクタ電流1.2 mA ( $V_0/(R_{11}+R_{12})=12V/10k\Omega$ ) が流れても十分飽和し得るようにした。同じようなSWを8個製作した結果、SW ON時の等価回路図に示すオフセット電圧とオフセット抵抗の平均値はそれぞれ15 mV, 7.5  $\Omega$  でそのバラツキは  $\pm 4.0$  mV,  $\pm 4.0$   $\Omega$  であった。なお入力パルスとして“0”信号印加時にはトランジスタは遮断状態になりコレクタ、エミッタ間はトランジスタのコレクタ抵抗数M $\Omega$ の直列接続となりSWが OFF の状態に対応する。

#### 4. 試作超小形エンコーダ

##### 4.1 概要

アナログ電圧を数値化する方式には、比較方式、計数方式、符号板方式などが考えられるが、高速化、高精度化および汎用性などの観点より比較方式を採用した。本エンコーダはアナログ入力電圧0.0~+5.0Vを高速度で二進8桁にA-D変換し、それにパリティチェック符号と同期符号を付加する機能を有するものである。回路構成は系統図27に示すごとくアナログ回路部とデジタル回路部に大別される。さらに前者は比較回路とD-A変換回路に分けられ、後者はタイミングパルス発生回路、コーダレジスタ回路および出力回路に分けられる。全体の回路図を図28に、タイミングチャートを図29に示してある。比較回路は入力バッファアンプを用いて入力電圧の極性反転とインピーダンス変換を行なわせ比較器の感度を向上させた。D-A変換回路については第3章に詳述している。デジタル回路は原理的には第2章で論じた基本回路を用いかつICの使用個数が最小になるように回路構成した。

主要回路はIC化しているので全体の大きさは450 cm<sup>3</sup>、重量は400 gr. と超小形、軽量化している。すなわちデジタル回路部はすべてNEC社のTO-5型容器入りのDTL IC ( $\mu$ pB 3A, 6A, 7A)を用いて構成し、アナログ回路も入力バッファアンプと比較器とともにFairchild社のTO-5型容器入りのIC化差動アンプ( $\mu$ A 709)を用いている。なおアナログSWとD-A変換用精密抵抗は従来の個別部品を使用しているが前者は通常の個別部品で作りこれをシリコン樹脂でモールドし小形化した、後者は温度係数の小さい金属皮膜抵抗(50 ppm/ $^{\circ}$ C)を用いて精度と安定

性に留意している。

これらのICおよび回路部品は大きさ8 cm  $\times$  9 cm  $\times$  1.6 mmのエポキシ樹脂両面プリント基板3枚上に実装されている。さらにエンコーダ全体を外形10 cm  $\times$  10 cm  $\times$  4.5 cmのアルミ製きょう体に納めており、直流電源と主クロックパルス源ならびに入力アナログ電圧および出力信号はこのきょう体に取り付けた25ピンのキャノンコネクタを経て入出力するようにしている。

エンコーダ全体の概観写真を図30に示す。本エンコーダの主要性能は表3に掲げた通りである。この表におけるアナログデータのA-D変換桁数は、航空機やロケットの飛しょう試験データのA-D変換精度が1%を保証すれば十分なので二進8桁を選んだ<sup>3),5)</sup>。(この場合、分解能は $1/255=0.4\%$ である。)

A-D変換速度は最高60  $\mu$ s/データを得ているので、本エンコーダにマルチプレクサを付加すれば周波数成分が100 Hz以下のアナログデータを1周期あたり10回サンプルしても、15チャンネル程度多重化したアナログデータをA-D変換できるので小形ロケットの飛しょう試験などには有用と思われる。

##### 4.2 高密度実装

本エンコーダの実装につき以下に述べる。エンコーダ全体は外形10 cm  $\times$  10 cm  $\times$  4.5 cmのアルミ製きょう体に納めているが、この内部はエポキシ樹脂両面プリント板(その大きさは8 cm  $\times$  9 cm  $\times$  0.16 cm)3枚を、図31および図32に示すように枠に固定している。専用きょう体の前面に装着した25ピンのキャノンコネクタを通して、被測定入力電圧、各種電源、クロックパルスの入力やA-D変換されたデータの出力などを導いている。3枚のプリント基板は約12 mmの間隔で積み重ね固定されているが、これらの基板取り付け

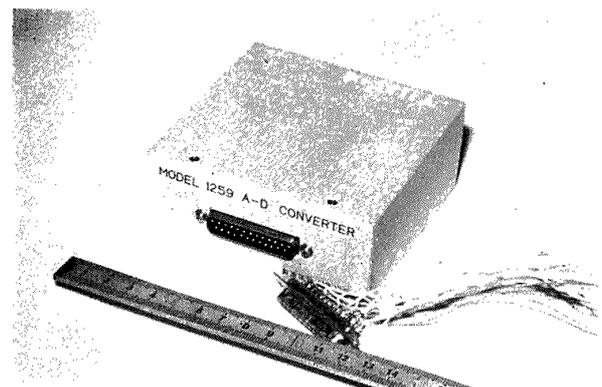


図 30

表3 超小形エンコーダ性能

項 目	性 能
変換方式	逐次平衡比較方式
アナログ入力	入力電圧 0.0~+5.0V 入力インピーダンス 10.0 k $\Omega$
デジタル出力	1語 12ビット 内訳 { データ 8ビット { パリティ 1 " " { 同期 3 " " 直列および並列出力, R-Z 方式
変換精度	0.4% $\pm \frac{1}{2}$ LSB 以内/フルスケール
変換時間	60 $\mu$ S/1語 以内
容積, 重量	10 cm $\times$ 10 cm $\times$ 4.5 cm = 450 cm <sup>3</sup> 400 gram
使用 I-C の種類と個数	NEC 社 ; $\mu$ PB 3A, 6A, 7A, (TO-5) 合計 54個 FAIRCHILD 社 ; $\mu$ A 709 (TO-5) 合計 2個
環境条件	温度 0°C ~ +70°C 湿度 95% 以下 加速度 2g 以下 (三方向とも)
外部供給電源の種類	+ 5.0V $\pm$ 20% +12.0V $\pm$ 0.1% -12.0V $\pm$ 0.5%

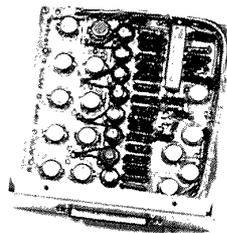


図 31(a) 表側

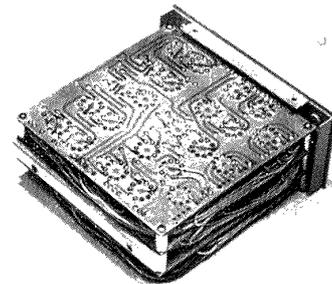


図 31(b) 裏側

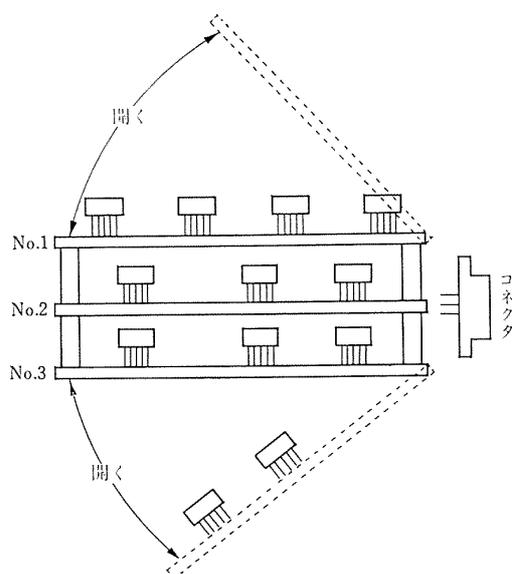


図 32 プリント板取付図

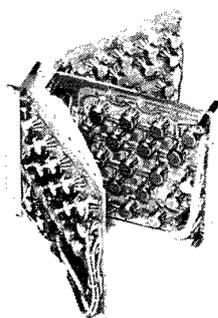


図 33

ビスをはずせば、図32のように上下に大きく開くことができるので、組立配線や故障部品の交換がきわめて容易である。3枚のプリント基板上への電子部品の実装割り当ての決定に際しては、回路素子、特にICの発熱が心配されたが、それらの消費電力はICゲートが最大30mW/個、ICアンプが最大200mW/個とわりあい小さく、ICの全個数も56個なので合計の消費電力は約2.0Wにしか達せず、これによる発熱はほとんど問題にならないことが予備温度上昇試験で確認できたので、配線を短縮し誘導雑音を防ぎ、かつできるだけ機能回路別にまとめて半田で取り付けすることにした。その結果図32に示すプリント基板番号に対応し

て次のように実装した。No.1プリント板には、入力バッファ・アンプ、比較回路、D-A変換抵抗、アナログSW、零点調整用ボリュームなどのアナログ回路関係の電子部品全部と若干の周辺デジタルICを取り付けた。なおアナログSWは各SWごとにシリコン樹脂(エピホーム)でモールドして小形化した結果、非常にスペースを節約できた。この基板にはICを15個取り付けている。次にNo.2プリント板にはタイミングパルス発生回路全部を取り付けた。これはIC21個からなり、これを5行5列のマトリックス状に配置している。No.3プリント板はコーダレジスタ回路全部を取り付けた。ここでも部品はICが20個だけでこれを4行4列のマトリックス状に配置した。かくしてIC56個、抵抗46個、ダイオード10個、トランジスタ8個、コンデンサ2個その他若干個の電子部品を3枚のプリント基板上に実装したのである。なおICには足の強度を増すためスペーサを用いている。

DTL IC 1個の中には個別部品16個が集積化されているので、全体の部品実装密度は本エンコーダの場合、約 $2.1 \times 10^3$ 個/dm<sup>3</sup>に相当する。個別部品の実装密度は $1.5 \times 10^2$ 個/dm<sup>3</sup>ぐらいである<sup>5),9)</sup>ので、従来のものに比し約14倍も高密度実装したことになる。また重量は約400grmであるがIC化の結果約1/5に減少しているものと考えられる。この高密度実装の状況は図33の写真に示す通りである。この結果、体積450cm<sup>3</sup>、重量400grmの超小形エンコーダを完成した。

#### 4.3 環境特性

機上用エンコーダとしては小形化、軽量化とともに耐環境特性に重点をおいて設計、製作しなければならない。そこで筆者らの試作装置に対しても電源電圧変動試験、温度試験、振動試験を行ない、所期の性能を確認した。以下にその試験方法と結果につき述べる。

##### 4.3.1 電源電圧変動試験および変換速度試験

本エンコーダではキャノンコネクタを用いて外部から三種類の直流電源+12V、-12V、+5Vおよびクロックパルスを供給している。このうち+12Vが基準電源および入力バッファ・アンプ、比較器の正の電源に使用されているので、この電圧変動は直接A-D変換出力値の変化として現われるが、-12V、+5V電源はそれぞれアンプの負電源、デジタル回路用電源なので、これらの電圧変化はA-D変換精度には直接影響を与えない。

まず被測定アナログ電圧をある一定値に固定して、標準電源+12Vを±1.0%まで変化させたときのA-

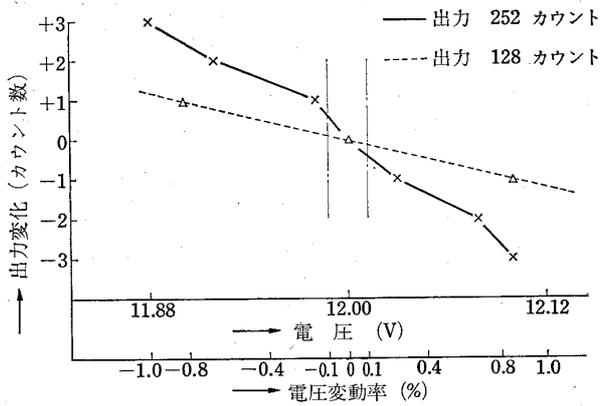


図 34 標準電源 (+12.0V) 変動による出力値の変化

D変換出力値の偏差を図34に示す。この図では入力電圧がフルスケールに近い値と、その半分に近い値の二通りの場合につき示しているが、どちらの場合にも性能表に示す  $\pm 0.1\%$  以内の電源電圧変動に対しては、出力値はまったく変わらないことがわかる。次に他の二

電源に対しては +5 Vを $\pm 1.0V$ 、すなわち $\pm 20\%$ まで変動しても出力値は変わらず、-12Vに対しては-11 Vまで上昇させても比較用アンプの利得低下、すなわち比較感度の劣化による出力値の変動がないことを確かめた。

次に変換速度試験としては、入力クロックパルスの周波数を高くして、エンコーダの動作が不安定になる限界の最高周波数を測定した。パルスのデューティ・レシオを50%とした場合、クロックパルス 200 KHz (すなわち変換速度にして  $60\mu s/\text{データ}$ )、したがって  $5\mu s/\text{ビット}$  まで安定に動作した。既述の16進カウンタの場合に比して応答クロック周波数が約 1/10 に低下していることになるが、この理由として、一つは回路構成が複雑化していること、もう一つはアナログ SWや比較回路の応答遅れにも影響されるものと考えられる。

4.3.2 温度試験

温度試験としては、エンコーダ全体を恒温そう(槽)

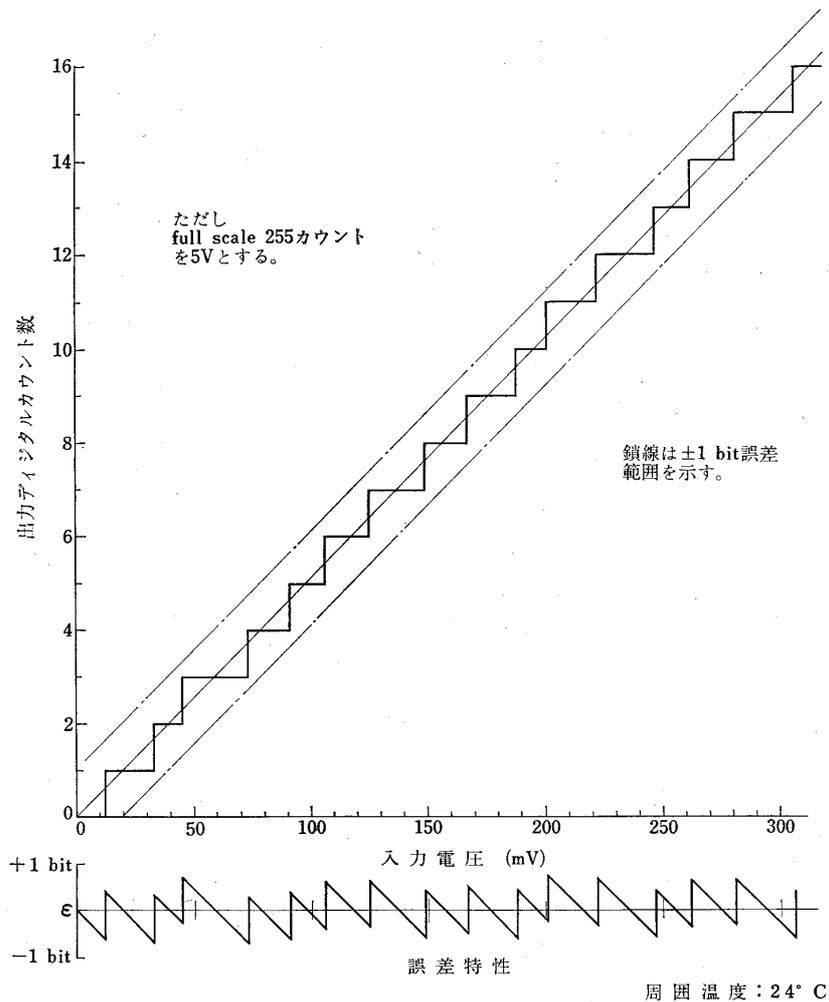


図 35 低レベルにおける入出力特性

に入れて、その内の温度がIC化アンプの動作温度範囲(0~+70°C)で正常に動作するかどうか、またその際使用しているICや抵抗などの発熱によるエンコーダ内部の温度変化、の二項目に関し測定した。前者に対しては入力アナログ電圧を0~+5Vの全入力範囲にわたって0.25V刻みに変えていって、そのときの直列出力波形をシンクロスコープで観測しそれに対応するデジタル数値を読みとった。後者についてはデジタルICの方は発熱が小さいことを、すでに-50~+125°Cの温度範囲で連続運転試験を行なって確認してあるので、より高温になると予想される入力バッファ・アンプ用ICの容器上に1か所、シリコン樹脂でモールドしたトランジスタ・アナログSW上に1か所、さらにエポキシ樹脂プリント基板上に1か所、合計で3か所を指定し、そこで非常に小さい感温素子としてシリコン半導体ゲージをはりつけ、そのリード線を外部に取り出し、エンコーダは専用のきょう体に入れて、実際に動作させて所定の周囲温度における上記3か所の温度を測定した。なお半導体ゲージ片からきょう体の外部に取り出したリード線はホイートストンブリッジの一辺に組み込み、ブリッジの出力電圧を測定することにより、あらかじめ作製してある感温素子の較正曲線から温度を間接的に読みとる方法を用いた。

この測定の結果として、まず常温における低域入力レベルでの入出力特性を図35に示す。直線性、誤差特性とも良好で、誤差は±1カウント、すなわち±0.4%以内に入っていることがわかった。次に周囲温度を

0~+80°Cまで変化したときの入出力特性を表4に掲げる。温度範囲-0.2~+80°Cで、A-D変換、パリティ検査、同期信号の挿入などエンコーダとしてのすべての機能が正常に動作することを確認した。変換精度はこの表に示す通りで、周囲温度による出力値の変動はたかだか2カウントであり、その場合も基準値に対しては±1.5カウント、すなわち±0.6%以内に入っていることがわかる。温度試験の第2項目については表5および図36に結果を示す。測定は、まず恒温その内の温度が所定の周囲温度に達してから原則として15分間放置した後、前記3か所の温度を測定したが、数点の温度についてはさらに数分間放置して測定した。この試験は真空中のものでないため、空気の対流および伝導のために、実際にある素子で発生した熱によるその部分の温度上昇を測定したことにはなっていないこと、また実際に計測した温度が上記のいずれにどの程度依存しているかの分析が不可能であることなど問題があろう。放置時間によって変動が生ずるのもこれらを考えれば当然である。ただこれらの測定により、結論できることは、IC化アンプ・アナログSW、プリント基板の順で温度上昇が観察できること、および低温になる程、素子の発熱による温度上昇が顕著に現われるが高温では小さくなることである。後者は電子機器の構成上では都合の良いことであろう。

#### 4.3.3 振動試験

本試作エンコーダは、ICを取りつけるときスペーサを用いた以外は特に耐震動対策を考慮していないが、

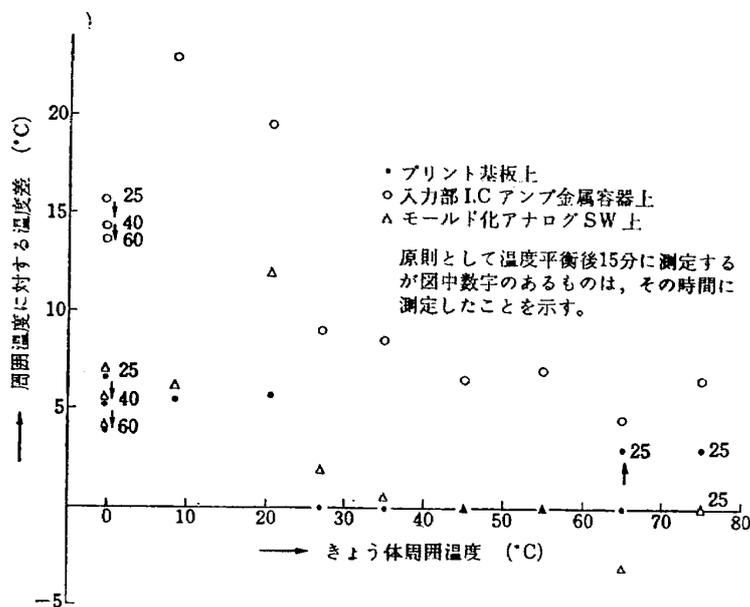


図 36 きょう体内の数点における温度分布

表4 入出力温度特性

入力 (V)	変換出力 (デジタル表示をカウントする)					基準値	最大誤差	
	(mV)	(%)						
0.00	0	0	0	0	0	0	0	
0.25	14	14	13	12	12	12.75	25	0.5
0.50	25	25	25	25	25	25.5	-10	-0.2
0.75	39	39	39	39	39	38.25	15	0.3
1.00	51	51	51	51	51	51	0	0
1.25	64	64	64	64	64	63.75	5	0.1
1.50	78	78	78	76	76	76.5	30	0.6
1.75	89	89	89	89	89	89.25	-5	-0.1
2.00	103	103	103	103	103	102	20	0.4
2.25	115	115	115	115	115	114.75	5	0.1
2.50	128	128	128	128	128	127.5	10	0.2
2.75	140	140	140	140	140	140.25	-5	-0.1
3.00	152	152	152	152	152	153	-20	-0.4
3.25	166	166	166	166	166	165.75	5	0.1
3.50	179	179	177	179	178	178.5	10	0.2
3.75	192	192	192	192	192	191.25	15	0.3
4.00	204	204	204	204	204	204	0	0
4.25	216	216	216	216	216	216.75	-15	-0.3
4.50	230	230	230	230	230	229.5	10	0.2
4.75	243	241	241	243	242	242.25	-25	-0.5
5.00	255	255	255	255	255	255	0	0
	-0.2	8.5	20.5	64.0	80.0	周囲温度 (°C)		

注) ここに基準値とは、アナログ入力に相当する仮想的なデジタルカウント値で、5.0 (V) を Full scale 255 カウントとして算出したもの。

表5 きょう体内の温度分布

$T_a$	A 点		B 点		C 点		経過時間 (分)
	$t_A$	$\Delta t_A$	$t_B$	$\Delta t_B$	$t_C$	$\Delta t_C$	
- 0.2	7.3	7.5	15.5	15.7	6.8	7.0	25
- 0.2	5.0	5.2	14.1	14.3	5.4	5.6	40
- 0.2	3.6	3.8	13.5	13.7	3.9	4.1	60
8.5	13.9	5.4	31.4	22.9	14.7	6.2	15
20.5	26.2	5.7	40.0	19.5	32.6	12.1	15
27.0	27.0	0	36.0	9.0	29.0	2.0	15
35.0	35.0	0	43.5	8.5	35.5	0.5	15
45.0	45.0	0	51.5	6.5	45.0	0	15
55.0	55.0	0	62.5	7.5	55.0	0	15
65.0	65.0	0	69.5	4.5	61.0	- 4.0	15
65.0	68.0	3.0	69.5	4.5	61.0	- 4.0	25
75.0	78.0	3.0	81.5	6.5	75.0	0	25

注) A点……プリント基板上

B点……入力部 IC アンプ金属容器上

C点……モールド化アナログ SW 上

$T_a$  ; 周囲温度

$t$  ; 測定部温度

$\Delta t$  ; 周囲温度に対する測定部の差

今後の参考として一軸方向だけについて、振動試験を試みた。エンコーダ本体を、その構造上もっとも弱いと思われる方向に振動するように、振動試験機の可動部に固定し、エンコーダを動作状態に保持したまま振動の振幅と周期を変化させ、正常に動作しているかどうかをシンクロスコープで出力波形を観測して確かめた。その際、入力アナログ電圧は0.25V刻みで5.0Vまで変え、それに対する出力値を観察した。

その結果を表6に示している。最大加速度は1gから10gまで変化させている。変換精度もぜんぜん影響を受けず悪化していないことがわかる。なお、この表で加速度4g、振動数500c/sの場合のみ、振動試験終了後入出力特性の測定をしている。表7は耐振動特性を示している。この表より加速度2g以下では振動数に関係なく安定に動作するが、4gでは70~500c/s、ならびに10gで500~1700c/sの振動数範囲では不安

定になり誤動作を起している。すなわち振動試験からは、同じ最大加速度でも振動数がある限度以上になると振幅が小さくなるため安定に動作し、また振幅がそうとう大きくてもその振動数が一定限度以下になれば同じく安定に動作することがわかる。この試験だけでは、安定に動作する範囲を振動数、振幅などの関数として定量的に求めることはできなかったが、ただ特定の振動数範囲ではピーク値10g程度の加速度にも耐えられることが明白となった。なお直線加速度試験については、エンコーダを動作態のまま試験することが試験機のスリップリングなどの関係で実施できなかったが、正弦波振動加速のピーク値10gにも耐えられたことからその実効値である7g程度の直線加速度にも耐えられるものと推定できる。この試験結果は宇宙船のプロトタイプの機械的環境試験レベルを示す表8<sup>11)</sup>に近い性能を満足していることがわかった。

表 6 加振時の入出力特性

入 力 (V)	変換出力 (デジタル表示をカウントする)						基 準 値	最 大 誤 差	
								mV	%
0.00	0	0	0	0	0	0	0	0	0
0.25	13	13	13	13	13	13	12.75	5	0.1
0.50	26	26	26	26	25	26	25.5	±5	±0.1
0.75	38	38	38	38	38	38	38.25	-5	-0.1
1.00	51	51	51	51	51	51	51	0	0
1.25	64	64	64	64	64	64	63.75	5	0.1
1.50	77	77	77	77	77	77	76.5	5	0.1
1.75	90	90	90	90	90	90	89.25	15	0.3
2.00	103	103	103	103	103	103	102	20	0.4
2.25	115	115	115	115	115	115	114.75	5	0.1
2.50	128	128	128	128	128	123	127.5	10	0.2
2.75	140	140	140	140	140	140	140.25	-5	-0.1
3.00	153	153	153	153	153	153	153	0	0
3.25	166	166	166	166	166	166	165.75	5	0.1
3.50	178	179	179	178	178	178	178.5	±10	±0.2
3.75	192	192	192	192	192	192	191.25	15	0.3
4.00	204	204	204	204	204	204	204	0	0
4.25	216	216	216	216	216	216	216.75	-15	-0.3
4.50	230	230	230	230	230	230	229.5	10	0.2
4.75	243	243	243	243	243	243	242.25	15	0.3
5.00	255	255	255	255	255	255	255	0	0
	5	50	50	50	500	2000	振 動 数 (c/s)		
	1	0.5	1	4	4	10	最 大 加 速 度 (g)		

注) 加速度の欄で  $g$  は重力加速度

表 7 耐振動特性

振動数 $f$ (c/s)	加速度 $ \alpha _{max}$ (cm/s <sup>2</sup> )	振幅 $A$ (cm)	振動持続時間 (分)	備考
5	0.5g	0.50	10	
5	1.0g	0.99	10	
50	0.5g	0.005	15	
50	1.0g	0.01	15	
5~50	1.0g		10	scan 3.5 往復
50~500	1.0g		8	scan 4 往復
500~2000	1.0g		5	scan 2.5 往復
5~50~ ~500	2.0g		10	scan 2.5 往復 50 c/s 以下振幅一定, 50 c/s 以上加速度一定
50	4.0g	0.04	10	
500	4.0g	0.0004	15	振動中は全ビットに亙り動作不安定, 停止後は正常に動作
50~2000	4.0g		10	scan 2 往復, 500 c/s 以下不安定
2000	10g	0.000063	10	
500~2000	10g		10	scan 3 往復 1700 c/s 以下で動作不安定

注) 振動  $x = A \sin(\omega t + \delta_0)$  に対して

加速度  $\alpha = -A\omega^2 \sin(\omega t + \delta_0) = -\omega^2 \cdot x$  だから

最大加速度  $|\alpha|_{max}$  は

$$|\alpha|_{max} = A\omega^2 = 4\pi^2 A f^2$$

$f = 5 \text{ c/sec.}$   $A = 1 \text{ cm}$  の場合

$$|\alpha_{f=5}|_{max} \doteq 986 \doteq 1g = 980 \text{ (cm/sec}^2\text{)} \text{ より概算できる。}$$

表 8 宇宙船のプロトタイプの機械的環境試験レベル

試験項目	振動数範囲 (c/s)	大きさ	時間
正弦波振動	5 - 9	2.5 cm, p-p	2分/オクターブ
	10 - 14	1.0 cm, p-p	2分/オクターブ
	15 - 199	5g	2分/オクターブ
	200 - 2,000	10g	2分/オクターブ
	2,000 - 3,000	5g	2分/オクターブ
ランダム振動	5 - 3,000	10g (rms)	10分
加速度		15g	5分

## 5. む す び

機上用デジタル処理方式の主要要素の一つであるエンコーダの超小形化に関する試験研究として、国産デジタルICの応用方式、D-A変換回路の小形化方式、および電子部品の実装方式などの検討を進めハイブリッド構成、機上用超小形エンコーダの研究試作に我が国で初めて成功した。その結果次のように結論できる。

(1)搭載用電子機器に要求される動作温度範囲、雑音余裕度、動作速度、消費電力などの点から考えると、現時点においてはDTL(ダイオード・トランジスタロジック)ICが機上用デジタル電子回路に最適であることを実験により明らかにした。さらにDTL ICを用いた場合の具体的なデジタル回路の構成法とそれに得られる動作特性について論じ、DTL ICの応用方式を確立した。

(2)D-A変換回路として従来の単極双倒型アナログSWの代りに、構成部品数が約1/2になる単極単倒型アナログSWを利用した新しいD-A変換抵抗回路網を考案し、実用化した。これはエンコーダの超小形化に大いに役立った。

(3)上記(1)、(2)の結果を用いて機上用超小形エンコーダを研究試作した。その性能はA-D変換速度 60  $\mu$ s、変換精度 0.6%、体積 450 cm<sup>3</sup>、重量 400gr. である。本エンコーダではデジタル回路全部とアナログ回路の一部はIC化し、その他は個別電子部品を用いており、いわゆるハイブリッド構成を採用している。これを個別電子部品のみで製作された従来のエンコーダと比較すると変換速度、変換精度は若干劣るが、体積は約1/14、重量は約1/5になり超小形化、軽量化されている。さらに各種の環境試験を行ない、周囲温度 0 ~ +70°C、加速度 10g に耐えることを実証した。

最後に、本研究を行なうにあたって、適切なお助言をいただいた当所樋口一雄計測部長、興石肇データ処理研究室長、ならびに製作を担当された中央電子(株)高橋啓氏に心から感謝の意を表わします。

### 付録 3 章、式 (7) の誘導

3章の(5)式を計算の便宜上二つの式に分け、第一項を  $I_1$ 、第二項を  $I_2$  とし、これに(3)式の関係式を代入して書き直すと次式で表わせる。

$$I_1 = \sum_j (V_0 - i_j \cdot \alpha \cdot R_0) / R_0 \cdot 2^{j-1} \quad (\text{A-1})$$

$$I_2 = \sum_K (\alpha \cdot v_K + r_K \cdot \frac{V_0}{R_0}) / (\alpha(2^{K-1} - \alpha) \cdot R_0 + 2^{K-1} \cdot r_K) \quad (\text{A-2})$$

上式において抵抗  $R_0$ 、 $r_K$ 、電圧  $V_0$ 、 $v_K$  の微小変動  $\Delta R_0$ 、 $\Delta r_K$ 、 $\Delta V_0$ 、 $\Delta v_K$  による電流変動分  $\Delta I_1$ 、 $\Delta I_2$  の全微分を求めると次式で表わせる。

$$\begin{aligned} \Delta I_1 &= \frac{\partial I_1}{\partial V_0} \cdot \Delta V_0 + \frac{\partial I_1}{\partial R_0} \cdot \Delta R_0 \\ &= \sum_j 2\beta_1 \cdot V_0 / R_0 \cdot 2^{j-1} \end{aligned} \quad (\text{A-3})$$

なお、電流  $i_i$  はシリコントランジスタのコレクタ遮断電流に相当し、非常に小さな値なので無視している。また一般に、 $\alpha(2^{K-1} - \alpha) R_0 \gg 2^{K-1} r_K$  であるので、(A-2)式の分母の第二項は省略できる。

$$\begin{aligned} \Delta I_2 &= \frac{\partial I_2}{\partial R_0} \cdot \Delta R_0 + \frac{\partial I_2}{\partial r_K} \cdot \Delta r_K + \frac{\partial I_2}{\partial V_0} \cdot \Delta V_0 \\ &\quad + \frac{\partial I_2}{\partial v_K} \cdot \Delta v_K \\ &= \sum_K \left\{ \Delta v_K + \frac{V_0}{\alpha \cdot R_0} \cdot \Delta r_K + \left( v_K + \frac{3r_K \cdot V_0}{\alpha \cdot R_0} \right) \beta_1 \right\} / (2^{K-1} - \alpha) R_0 \end{aligned}$$

$\beta_1$  は (A-5) 式で与えられているように、標準抵抗、標準電圧の相対誤差で通常 0.1 ~ 1.0% の値であり、アナログSWのオフセット抵抗、オフセット電圧のバラツキは約30%程度なので、上式の中( )の第三項を第一項、第二項に比し無視すると、次式のように簡単化できる。

$$\Delta I_2 \approx \sum_K (\Delta v_K + \frac{V_0}{\alpha \cdot R_0} \cdot \Delta r_K) / (2^{K-1} - \alpha) R_0 \quad (\text{A-4})$$

$$\text{ただし } \Delta R_0 / R_0 = \Delta V_0 / V_0 = \beta_1 \quad (\text{A-5})$$

全電流変動分  $\Delta I$  は (A-3)、(A-4) 式の和で与えられて

$$\Delta I = 2\beta_1 \sum_J V_0/2^{J-1} \cdot R_0 + \sum_K (\Delta v_K + \frac{V_0}{\alpha \cdot R_0} \cdot \Delta r_K) / (2^{K-1} - \alpha) R_0$$

となる。

電流変動分  $\Delta I$  の最大値は上式の各々第一項、第二項の最大値、すなわち  $J=1$  から  $J=N$ ,  $K=1$  から  $K=N$  までの総和に等しくなることがわかる。また、 $\Delta v_K$ ,  $\Delta r_K$  の最大値を  $\Delta v$ ,  $\Delta r$  とおいて、

$$\Delta I_{max} = 2\beta_1 \sum_{J=1}^N V_0/2^{J-1} \cdot R_0 + (\Delta v + \frac{V_0}{\alpha \cdot R_0} \cdot \Delta r) \sum_{K=1}^N 1/(2^{K-1} - \alpha) R_0 \quad (A-6)$$

となる。

#### 参 考 文 献

- 1) R. A. Cliff; Application of the Stored Program Computer to Small Scientific Spacecraft, NASA TN-D 3988, June 1967.
- 2) Office of Naval Research Department of Navy; Development of an Integrated Ten-Bit Analog-to-digital Converter, June 1964.

- 3) B. H. Singletary; A Spacecraft Microelectronic PCM Multiplexer-Encoder, IEEE Trans. on COM. Vol. COM-14, No. 5, Oct. 1966, pp. 631-636.
- 4) J. G. Miner; Integrated Electronic Analog-to-Digital Converter, Proc. of IEEE, Dec. 1964.
- 5) Arthur D. Little, Inc.; An Examination of the Applicability of Microelectronic Circuits to the Telemetry and Command Subsystems of Several Applications Spacecraft, NASA CR-223, May 1965.
- 6) G. A. Maley, J. Earle; The Logic Design of Transistor Computers, Prentice Hall, 1963.
- 7) Harold E. Maurer; Horizons in Guidance Computer Component Technology, IEEE Trans. on COMP. Vol. EC-17, No. 7, July 1968.
- 8) David F. Hoechele; Analog-to-Digital/Digital-to-Analog Conversion Techniques, pp. 108-143, John Wiley & Sons, Inc. 1968.
- 9) Alfred K. Susskind; Notes on Analog-Digital Conversion Techniques, pp. 5-29, 5-54, MIT, 1960.
- 10) 柳井久義; 超小型回路の動向, 電気通信学会誌, Vol. 49, No. 4, Apr. 1966, pp. 10-16.
- 11) George N. Krassner; Introduction to Space Communication Systems, McGraw-Hill, 1964, pp. 295 Table 10-4.

TM-146 双発 STOL 機の飛行試験 (実用運用包囲線および離着陸特性)	1968年8月	幸尾治朗, 岡遠一 塚野雄吉, 鎌田幸男 小野孝次
TM-147 浮動振子型加速度計の試作	1968年9月	大月正男, 鈴木孝雄 円居繁治
TM-148 吹出しフラップ翼の高揚力特性	1968年9月	小橋安次郎, 宮沢政文 西武徳
TM-149 NAL-16-TR ロケットの研究試作	1968年10月	ロケット性能研究室
TM-150 リフトジェット VTOL 機の着陸にお ける水平方向の減速について	1968年11月	西村博史
TM-151 フラッタ解析法の再検討 (フラッタ解析法の研究 その1)	1968年12月	市川輝雄
TM-152 ノズル内の突起物によるロケットエン ジンの側分力	1969年1月	檜崎哲二, 中野富雄
TM-153 FA-200 改機の風洞試験 (I) プロペラ付き	1969年2月	広末健一, 坂井紀穂 高橋宏, 綿貫忠晴
TM-154 FA-200 改機の風洞試験 (II) 高揚力装置付き	1969年2月	広末健一, 木村友昭 高橋宏, 綿貫忠晴
TM-155 極超音速風洞 M7 ノズル較正試験	1969年2月	橋本登, 吉沢昭 穂積弘一
TM-156 自動制御系の動特性を計数型電子計算 機により模擬するための汎用プログ ラム	1969年3月	戸川隼人, 丸山治雄

注：欠番は配布先を限定したもの

---

## 航空宇宙技術研究所資料157号

昭和44年3月発行

発行所	航空宇宙技術研究所 東京都調布市深大寺町1880 電話武蔵野三鷹(0422)44-9171 (代表) ☎182
印刷所	一誠社総合印刷株式会社 東京都武蔵野市御殿山1-6-10

---

