

航空宇宙技術研究所報告

TECHNICAL REPORT OF NATIONAL AEROSPACE LABORATORY

TR-1094

ベクトル計算機のベクトル処理に対するソフトウェア
シミュレータVTAP

三好 甫 ・ 畠間 晴夫 ・ 軽部 行洋

1991年2月

航空宇宙技術研究所
NATIONAL AEROSPACE LABORATORY

ベクトル計算機のベクトル処理に対するソフトウェアシミュレータVTAP*

三好 甫*¹ 島間 晴夫*² 軽部 行洋*²

Vector Processing Time Chart Analysis Program (VTAP) Simulation of Vector Processing Computers*

Hajime MIYOSHI*¹, Haruo HATAMA*² and Yukihiro KARUBE*²

ABSTRACT

The Vector processing Time chart Analysis Program (VTAP) is a software simulator used to simulate the Vector Processing (VP) of the Fujitsu VP series and other similar computers.

This simulator enables the development of enhanced compiler technology and user programming skills, while also advancing data acquisition for the development of new vector computers.

Both the VP series' hardware and operations are discussed, with the corresponding VTAP functions and simulation contents being explained.

VTAP simulation accuracy was investigated by comparing the VTAP estimated program processing time with the measured time in the VP400 and VP200 models. The obtained VTAP simulation accuracy was 94.5% for the VP400 and 98.8% for the VP200 simulations.

Keywords: VP series vector processor, Vector processing, Software simulator, Performance estimation

概 要

VTAPはVPシリーズおよびVPシリーズと類似なベクトル計算機のベクトル処理をシミュレートするソフトウェアシミュレータである。この様なシミュレータは、コンパイラ技術とプログラム技術の向上および新しいベクトル計算機の開発の為の資料の獲得の為に必要である。

報告はVPシリーズのハードウェアとその動作の解説を行い、それと対応させてVTAPの機能とシミュレーション内容について解説する。VTAPのシミュレーション精度はVP400およびVP200のプログラム処理時間の実測値とシミュレーションにより算出された推定処理時間の比較により検証されている。VTAPのシミュレーション精度はそれよりVP400に対して94.5%およびVP200に対して98.8%であった。

* 平成2年11月28日受付(received 28 November 1990)

*1 数理解析部(Computational Sciences Division)

*2 富士通(Scientific Systems Engineering Dept.)

1. 緒 言

計算機の高速化の為にベクトル処理機構をハードウェアの中核に据えたベクトル計算機が計算機利用現場に導入されて以来、米国においては20年近い年月が、日本においては15年近い年月が経過した。

この間、ベクトル計算機は科学技術の幅広い分野で使用され、科学技術計算におけるベクトル処理機構の有効性は確立したと考えて良い。

今後、計算機の高速化技術は計算機の並列化、即ち並列計算機を廻って展開されることになるであろうが、計算空気力学を主たる対象とする並列計算機の要素計算機にベクトル処理機構が取り込まれるのは、ベクトル処理機構の計算空気力学に対する有効性から考えれば、いわば必然であるといっても良い。

本報告はFACOM VPシリーズおよびそれと類似のベクトル計算機のプログラム処理、特にベクトル処理の状況を精密にシミュレートするソフトウェアシミュレータ Vector processing Time chart Analysis Program (以下VTAPと略記する)に関するものである。

この様なシミュレータの作成の必要性は以下の点にある。

- (1) 今後の高速計算機において重要な役割を果たすと考えられているベクトル処理機構の効率的なシミュレーション技術を獲得する。
- (2) コンパイラおよび利用者プログラムのハードウェア資源の使用状況をモニタし、データを収集することによりコンパイラ技術の向上と利用者のプログラム技術向上を図る。
- (3) 新しい計算機の設計において方式の変更、タイミングパラメータ等の変更の性能に及ぼす効果の予測が可能となる。

VTAPはコンパイラにより作成されたオブジェクトプログラムを入力データとして、そのオブジェクトプログラムのVPシリーズ等による処理状況をシミュレートするシミュレータである。

昭和60年、本報告の著者の一人である三好はVP400のCFD(計算空気力学)プログラム処理

能力を検討した結果、VP400コンパイラの性能に改良すべき点があり、この問題点を抽出する為VP400のソフトウェアシミュレータを作成する必要があるとの結論に達した。そこで作成すべきシミュレータの概念検討を行い、シミュレーションの経済性とシミュレーション精度の観点から、VP400のプログラム処理のハードウェア手続きのうち、精密にシミュレートすべき部分と簡略化してシミュレートする部分とを切り分け、簡略化してシミュレートする手続きに対する簡略化モデルを定めた。また、シミュレーション結果により出力すべきデータと出力形式を定めた。畠間はこれを受けて精密にシミュレートすべき部分に関してVP400のプログラム処理に関するハードウェア処理手続きを詳細に調査し、原型VTAPともいうべきシミュレータを作成した。原型VTAPを用いて収集されたデータはVP400だけでなくVPシリーズコンパイラの改良に大いに役立った。

本報告に述べるVTAPは原型VTAPをVPシリーズより広い範囲のベクトル計算機をもシミュレートできる様拡張し、ベクトル計算機の性能評価を行い、新しいベクトル計算機の設計に役立せることを目的として作成したものである。

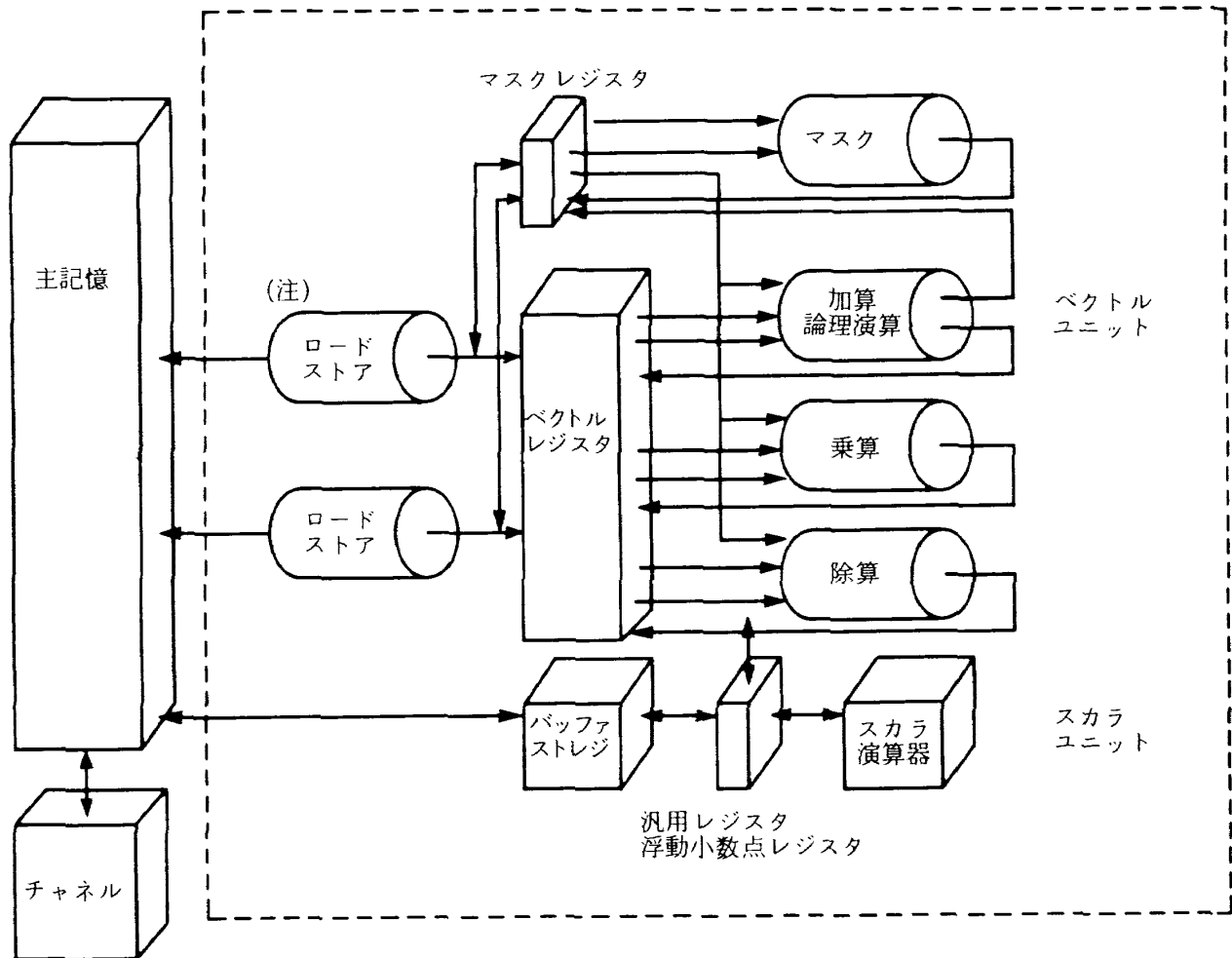
本報告の第2章ではVPシリーズのプログラム処理実行論理とタイミングの説明を行い、第3章ではVTAPの説明を行う。第4章ではVP200およびVP400の実際プログラム走行における計測結果とVTAPのシミュレーション結果の比較検討を行い、VTAPのシミュレーション精度を検討する。

2. VPハードウェアの構成と動作のしくみ

本章では、FUJITSU-VP400(以降VP400と記す)およびFUJITSU-VP200(以降VP200と記す)のハードウェアの構成とシミュレートすべきハードウェアのベクトル処理の詳細動作について述べる。

2.1 VPハードウェア構成・機能の概要

VPハードウェアの構成は図1に示すとおりであり、以下にその概要を説明する。VPハードウ



注) VP400ではロード/ストアパイプラインは一本である。

図1 VPハードウェアの構成

ウェアの要となるベクトル処理装置は、スカラユニットとベクトルユニットから成る。スカラユニットは、スカラ命令を実行するとともにシステム全体を制御する。一方ベクトルユニットは、ベクトル命令を高速に実行する。スカラユニットは、64 Kバイトのバッファストレージ、汎用/浮動小数点レジスタおよび浮動小数点/固定小数点のスカラ演算器などから構成され、FUJITSU-M380相当のスカラ処理能力を持つ。命令はこのスカラユニットにより読みだされた後解読され、その命令がスカラ命令であればそのままスカラユニットで実行されるが、ベクトル命令の場合にはベクトルユニットに引き渡される。このベクトル命令はベクトルユニットでその内容が更に解読され、解読された内容によってベクトルユニット内のパイプライン演算器で高速に実行されることになる。パイプライン演算器はVP400では5本、VP200では

6本有しており、その内訳は、加算/論理演算、乗算、除算、マスク演算の各パイプライン1本ずつと、ロード/ストア用のパイプラインがVP400には1本、VP200は2本となっている。これらのパイプラインは以下に述べるような組み合わせで並列実行が可能である。加算パイプライン、乗算パイプライン、除算パイプラインの3本のうち2本迄が並列実行可能であり、またロード/ストアパイプラインとマスクパイプラインは他のどのパイプライン演算器とも並列実行可能である。従ってVP400の場合は最大4本のパイプラインが、VP200の場合は最大5本のパイプラインが並列実行可能である。

つぎに航技研に導入されているVP200およびVP400の主なハードウェア諸元を表1に示す。

表1 VPハードウェアの諸元

機種		VP200	VP400
項目			
命令数		83ベクトル命令 195スカラ命令	
汎用レジスタ		16(32ビット)	
浮動小数点レジスタ		8(64ビット)	
制御レジスタ		16(32ビット)	
ベクトルレジスタ		64Kバイト	128Kバイト
マスクレジスタ		1024バイト	2048バイト
データ形式	ベクトル命令 論理 固定小数点 浮動小数点	1, 64ビット 32ビット 32, 64ビット	
	スカラ命令 論理 固定小数点 浮動小数点 10進	8, 32, 64ビット 16, 32ビット 32, 64, 128ビット 8ビット	
	ベクトル浮動小数点	64ビット	
	マシンロック時間(τ)	14ns*	13.5ns
	パイプラインピッチ時間($P\tau$)	7ns	6.75ns
	パイプライン本数 加算/論理 乗算 除算 マスク ロード/ストア	1 1 1 1 1 2	1 1 1 1 1
	並列動作可能 パイプライン数	5	4
	PEAK性能	571MFLOPS**	1185MFLOPS
	主記憶ベクトル処理装置間転送速度	4.5GB*** /S	4.7GB/S

*) ns: 10^{-9} 秒

**) MFLOPS: 1秒間に百万回浮動小数点演算を実行する能力

***) GB: 10^9 バイト

2.2 VPハードウェア詳細動作

ここでは以下に、命令の読みだしから実行迄、順をおってVPハードウェアの詳細動作について説明する。

2.2.1 スカラユニット

スカラユニットは、ハードウェア全体の制御お

よびスカラ命令実行を行う。

スカラユニットは図2に示した各部から構成され、各々は以下の機能を持っている。

(1) スカラアクセス制御部(Sユニット)

Sユニットは命令の読みだし、オペランドアクセスの制御、仮想記憶方式における4Kバイト単

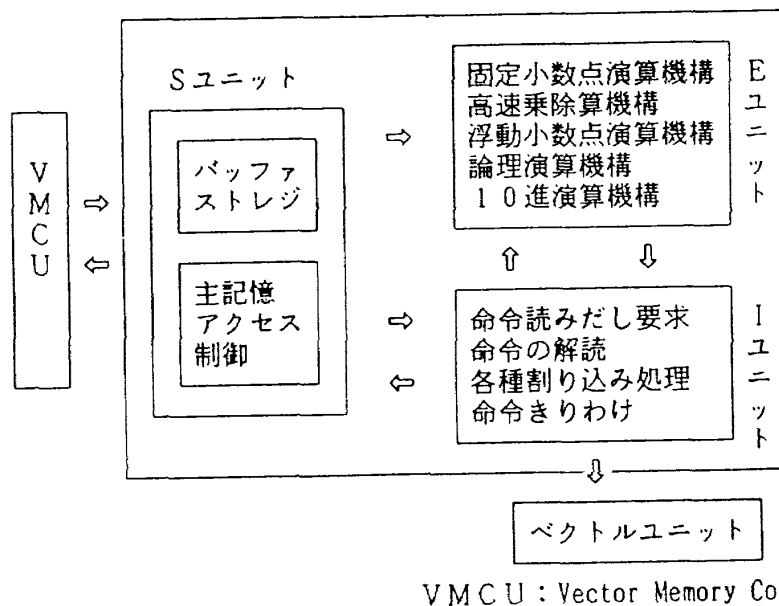


図2 スカラユニットの構成

位のアドレス変換を行う。また、主記憶アクセスの高速化のためのバッファストレージを持っており、主記憶アクセス時にその命令またはデータがバッファに有るか否かによって性能は影響される。即ち、命令またはデータがバッファに無い場合には30マシクロック時間（以降、1マシクロック時間を τ で表す）の遅延時間が発生する。

(2) 命令制御部（Iユニット）

Iユニットは全ての命令の読みだし要求、命令の解読、各種割り込みの処理および命令のきりわけなどシステムの制御を行う。命令のきりわけ処理において、その命令がスカラ命令であればスカラユニット内で実行されるが、ベクトル命令であることが分かると、その命令はそれ以上の解読、即ちベクトル命令の内容の解読は行わずにベクトルユニットに渡される。

(3) スカラ演算部（Eユニット）

Eユニットはスカラ命令の実行を行うユニットであり、固定小数点演算機構、高速乗除算演算機構、浮動小数点演算機構などから構成される。スカラ命令の実行時間は、各命令種により異なっている。

2.2.2 ベクトルユニット

ベクトルユニットはベクトル命令の実行を行う並列パイプライン処理装置である。ベクトルユニットは図3に示す各部から構成され、 1τ の時間内

に多くのベクトルデータを処理できるように並列化およびパイプライン化が行われている。

(1) ベクトル命令制御部（VIユニット）

VIユニットはスカラ命令制御部から渡されたベクトル命令の詳細な解読、バッファリングを行い、各パイプラインを起動するなどベクトル命令の制御を行う処理装置である。また、ベクトルユニットで発生する割り込みをスカラ命令制御部に伝える。

① バッファリング制御

ベクトル命令バッファは図4に示した構成となっており、以下にその制御方法を説明する。

ここで、命令（以降、特に断らない限り命令と言えはベクトル命令を指す。他の命令の場合は明記する）は以下の規則に従ってバッファ中を移動する。

- VFS (Vector Fetch Stage の略号) から VPS (Vector Predecode Stage の略号) までは全ての命令が共通的に移動する。
- VPSに命令が詰まっている時にはVFB (Vector Fetch Bufferの略号) にバッファリングされる。
- インダイレクトロードを除くロード命令は無条件に AQS (Access Queue Stageの略号) 又は EQS (Excute Queue Stageの略号) に移動する (AQS 優先)。

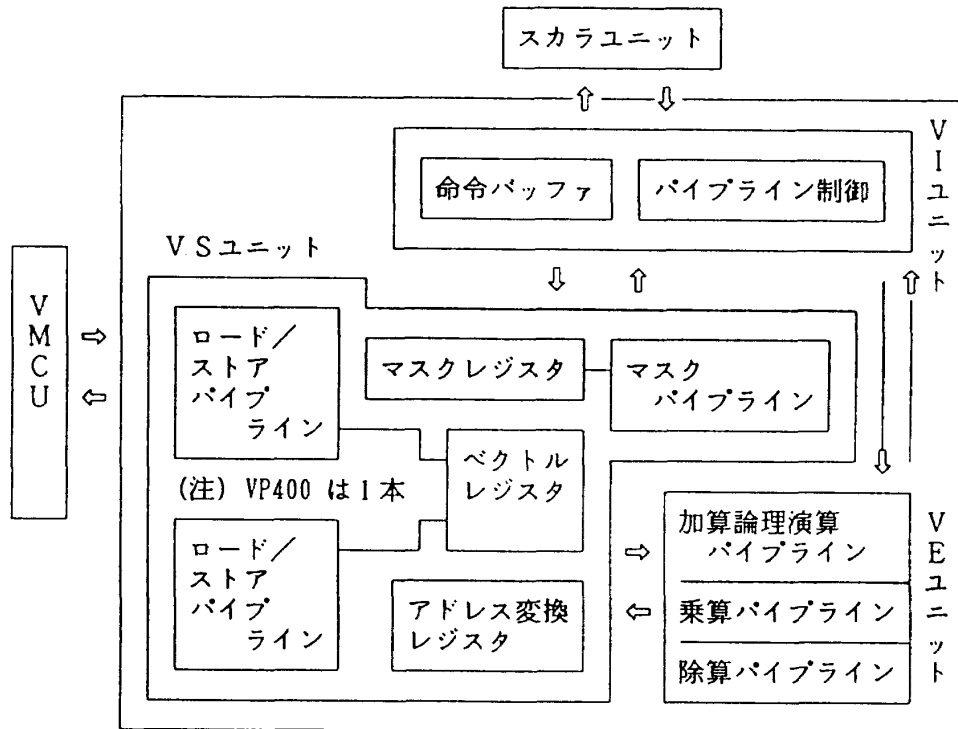
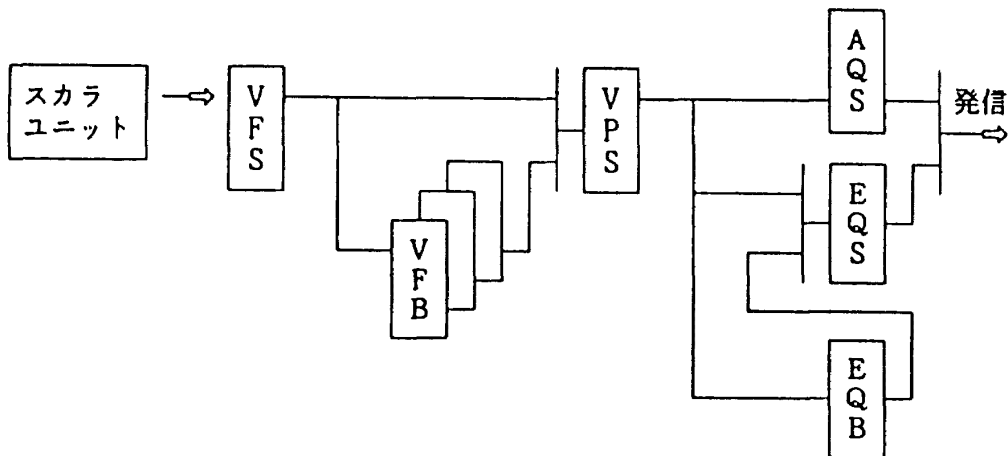


図3 ベクトルユニットの構成



VFS : Vector Fetch Stage
 VFB : Vector Fetch Buffer
 VPS : Vector Predecode Stage
 AQS : Access Queue Stage
 EQS : Execute Queue Stage
 EQB : Execute Queue Buffer

図4 ベクトル命令バッファの構成

- 演算系の命令は、インダイレクトロードを除くロード命令が先行していない限り、EQS 又は EQB (Excute Queue Baffer の略号) に移動する (EQS 優先)。インダイレクトロードを除くロード命令が先行している場合は移動しない。
- ストア又はインダイレクトアクセスはインダ

イレクトロードを除くロード又は演算系の命令が先行していない限り AQS に移動する。先行している場合は移動しない。

以上のことから、命令発信のプライオリティはインダイレクトロードを除くロード、演算、ストア又はインダイレクトアクセスの順となり、次のような命令追い越しの可能性が生じる。

- インダイレクトロードを除くロード命令は最大2つの演算命令を追い越せる。
- インダイレクトロードを除くロード命令は最大1つのストア命令を追い越せる。
- 演算系命令は最大1つのストア命令を追い越せる。

なお、命令を AQS, EQS, EQB へ移動させる前に以下のようなレジスタ（以降、特に断らない限りレジスタと言えバベクトルレジスタを指す。他のレジスタの場合は明記する）のコンフリクトチェックが行われ、コンフリクトがある場合、命令は移動せず、命令の追い越しは抑止される。

② レジスタ間のコンフリクト

説明の前にパイプライン処理のタイムチャートの意味を図5で説明しておく。図5で横軸は時間軸で時間は左から右へと進行する。図中1), 2), 3), 4) はそれぞれベクトル演算の最初の演算要素がパイプラインに投入されるタイミング、ベクトル演算の最初の演算結果が書き込みレジスタに書き込まれるタイミング、ベクトル演算の最後の演算要素がパイプラインに投入されるタイミング、ベクトル演算の最後の演算結果が書き込みレジスタに書き込まれるタイミングである。

(a) 先行命令の読み込み（図中にはRと記す）レジスタと後続命令の書き込み（図中にはWと記す）レジスタが一致する場合

- 先行命令の発信まで後続命令のバッファ移動を抑止する（命令追い越しを抑止）。
- 先行命令発信後、後続命令のバッファ移動および発信が行われる（例を図6に示す）。
- インダイレクトアクセス命令、除算命令、コンプレスおよびイクスバンド命令（各命令の意味については、富士通マニュアル

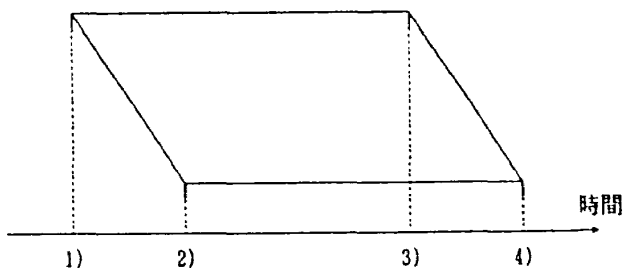
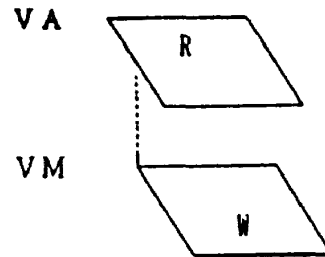


図5 タイムチャートの説明

「VPシリーズハードウェア機能説明書」を参照)は先行命令の実行完了を待って発信される（例を図7に示す）。

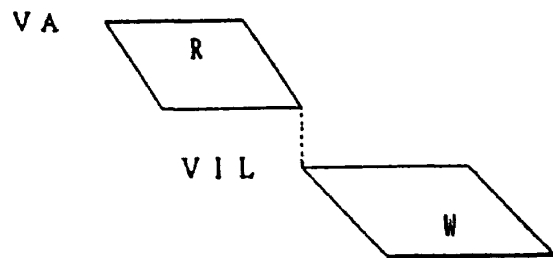
(b) 先行命令の書き込みレジスタと後続命令の読み込みレジスタが一致する場合

- 先行命令の発信まで後続命令のバッファ移動を抑止する（命令追い越しを抑止）。
- 先行命令発信後、後続命令のバッファ移動が行われ、後続命令は先行命令の書き込み開始を待って発信される（例を図8に示す）。
- インダイレクトアクセス命令、除算命令、コンプレスおよびイクスバンド命令は先行命令の実行完了を待って発信される。



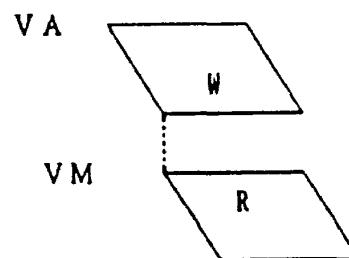
VA : Vector Add
VM : Vector Multi

図6 タイムチャート1



VA : Vector Add
VIL : Vector Indirect Load

図7 タイムチャート2



VA : Vector Add
VM : Vector Multi

図8 タイムチャート3

(c) 先行命令の書き込みレジスタと後続命令の書き込みレジスタが一致する場合

- 先行命令の発信まで後続命令のバッファ移動を抑止する（命令追い越しを抑止）。
- 先行命令発信後，後続命令のバッファ移動が行われ，後続命令は先行命令の書き込み開始を待って発信される。
- インダイレクトアクセス命令，除算命令，コンプレスおよびイクスバンド命令は先行命令の実行完了を待って発信される。

③ 汎用または浮動小数点レジスタ間のコンフリクト

(a) 先行命令の書き込みレジスタと後続命令の読み込みレジスタが一致する場合

- 先行命令の発信まで後続命令のバッファ移動を抑止する（命令追い越しを抑止）。
- 先行命令が終了した後，後続命令のバッファ移動が行われ，発信される。

なお，汎用または浮動小数点レジスタへの書き込みのあるベクトル命令（例えば総和命令等）に続くスカラ命令の実行は，全てそのベクトル命令が終了するまで待たされる。

④ バンクスロット制御

バッファリング制御を行った後，実際にベクトルアクセス制御部やベクトル演算部などベクトル演算器を動作させるタイミングは，ベクトルレジスタの読みだしおよび書き込みを行えるタイミングにより制御される。このタイミングをバンクスロットと呼ぶ。ベクトルレジスタは 1τ ごとにひとつのベクトルレジスタの読みだしあるいは書き込みを開始することができる。バンクスロットは 8τ をひとつの単位として，その中で各演算器がベクトルレジスタの使用を開始できるタイミングを定めている。図9にその各タイミングを示す。

図9の記号の説明は以下のとおりである。

K, L : ロード/ストアパイプラインが使うタイミング。インダイレクトアクセスの命令はKとLの両方のタイミングを使用する。

E3, F3 : 加算パイプライン，乗算パイプラインおよび除算パイプラインが読みだすべき1つのレジスタの読みだしに使うタイミング。

E2, F2 : 加算パイプライン，乗算パイプラインおよび除算パイプラインが読みだすべきもう一方のレジスタの読みだしに使うタイミング。

E1, F1 : 加算パイプライン，乗算パイプラインおよび除算パイプラインが書き込むべきレジスタの書き込みに使うタイミング。

加算パイプライン，乗算パイプラインおよび除算パイプラインは，E3, E2およびE1の組か，F3, F2およびF1の組のどちらかの組を使って演算を行う。このため，各演算器では 4τ ごとに命令の実行を開始できる（この時のパイプライン演算器の空き時間の最大は 4τ ）。但し，一方の組をある演算パイプラインが使用中のときには，もう一方を使用せざるを得ず，そのときには 8τ ごとの命令実行開始タイミングとなる（この時のパイプライン演算器の空き時間の最大は 8τ ）。アクセス系の命令については，インダイレクトアクセスの命令を除いて， 4τ ごとの命令実行開始タイミングとなる（この時のパイプライン演算器の空き時間の最大は 4τ ）。但し，インダイレクトアクセスの命令はKとLを使用するので， 8τ ごとのタイミングとなる（この時のパイプライン演算器の空き時間の最大は 8τ ）。

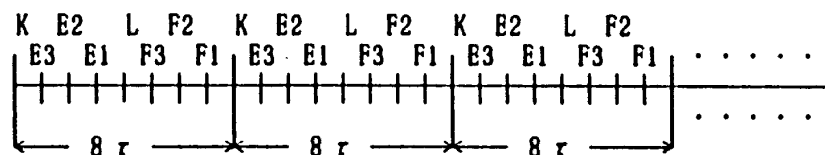


図9 バンクスロットのタイミング

以上のように、各演算器では 4τ 及至は 8τ 未満の空き時間で命令の連続実行が可能である。そして空き時間は処理すべきベクトル長に依存している。以下の表 2、表 3 に、 4τ ごとに命令実行開始タイミングがあるときの、ベクトル長と空き時間の関係を示す。

また、VP400を例にしてバンクスロット制御に

よる命令発信タイミング例を以下の図10a), b), c) に示す。

(2) ベクトルアクセス制御部 (VS ユニット)

ベクトルアクセス制御部は、ベクトルデータを演算用に保持しておくベクトルレジスタ、マスクデータ用のマスクレジスタ、主記憶アクセス用のロード/ストアパイプラインおよびマスク演算用の

表 2 ベクトル長と待ち時間 (VP400)

ベクトル長*	待ち時間
$[32n-7:32n]$	0
$[32n-15:32n-8]$	1
$[32n-23:32n-16]$	2
$[32n-31:32n-24]$	3

表 3 ベクトル長と待ち時間 (VP200)

ベクトル長	待ち時間
$[16n-3:16n]$	0
$[16n-7:16n-4]$	1
$[16n-11:16n-8]$	2
$[16n-15:16n-12]$	3

*) ベクトル長にある n は自然数であり、括弧は範囲を示す

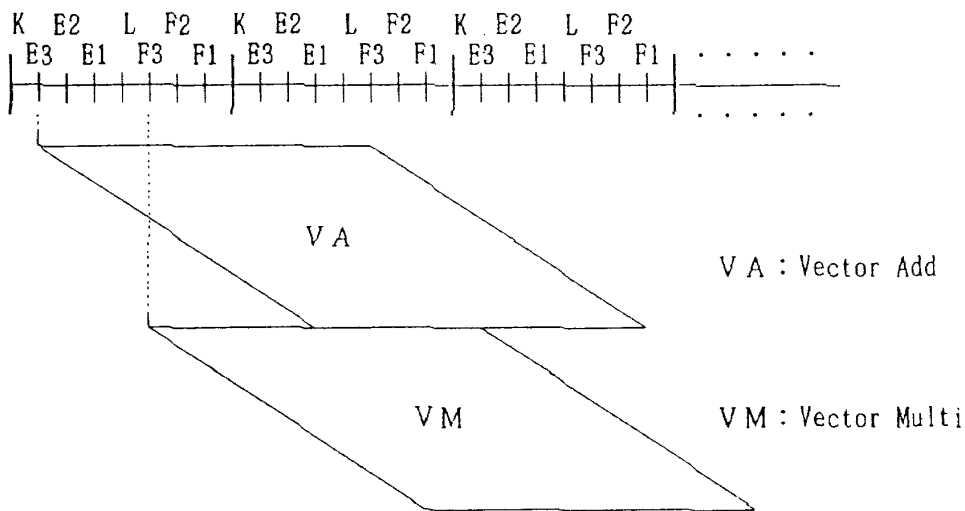


図10 a) 乗算および加算パイプラインの並列実行タイミング

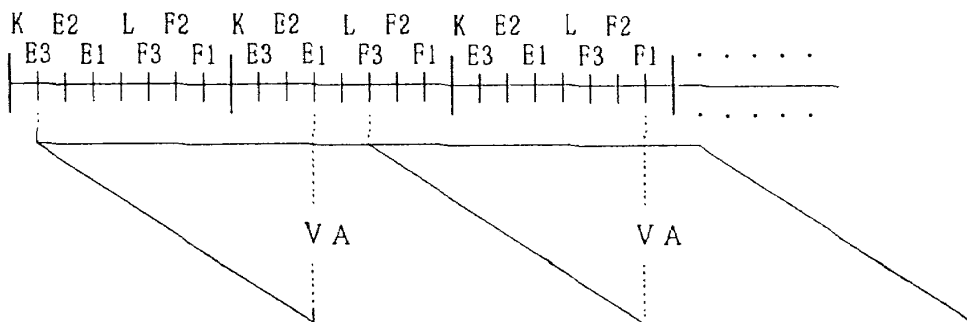


図10 b) 実行タイミングにおいて空き時間が発生しない場合 (ベクトル長96で他の演算パイプラインが動作していない場合)

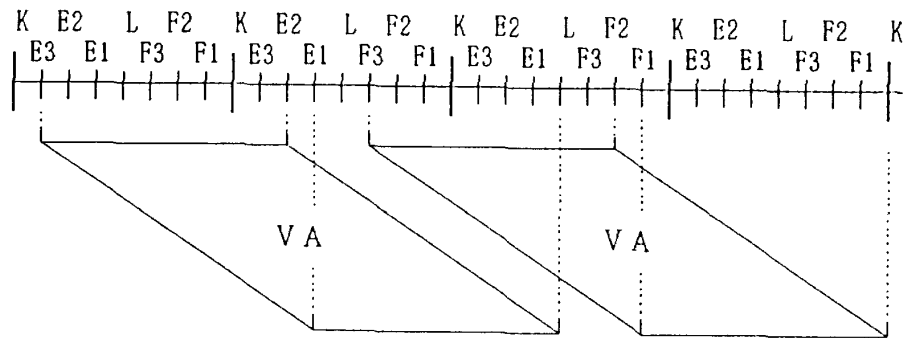


図10 c) 実行タイミングにおいて 3τ の空き時間が発生する場合
(ベクトル長72で他の演算パイプラインが動作していない場合)

マスクパイプラインから構成される。また、ベクトルオペランドのアドレス変換のための機構も備えている。

これらのうちの主なものについて以下に説明する。

① ロード/ストアパイプライン

ベクトルレジスタと主記憶間のデータ転送を行うためのパイプラインであり、VP400は一本、VP200は二本備えている。その性能は表4のとおりである。

なお、表中の立上がり時間というのは、ロードの場合、VIユニットの命令発信からベクトルの1要素目のベクトルレジスタ格納までの時間を言い、ストアの場合、ベクトルの1要素目のベクトルレジスタ読みだしから主記憶格納までの時間を言う。従って、ベクトル長VLのベクトルデータのロードとストアに必要な時間は、例えばVP400で、ブロックロードの場合、 $(30+VL/8)\tau$ 、インダイレクトストアの場合、 $(30+5\cdot VL/8)\tau$ となる。このようにロード/ストアパイプラインの性能は、パイプラインの処理時間と立上がり時間の能力により決定される。

VP400はVP200に比べてロード/ストアパイプラインの本数は1/2であるが、パイプライン一本当たりの性能が2倍であるため、転送性能に関しては、VP400とVP200はほぼ同一の性能と言える。

以上述べた処理時間は、主記憶の競合がまったく発生しなかった最適状態での値である。実際には以下のような主記憶の競合が発生する場合があります、そのときには処理時間に遅延が生じ、性能低下を招くことになる。

(a) バンク競合

主記憶のインタリーブ数は256ウェイである。即ち、主記憶は256個のバンクに区切られており、8バイト(倍精度データ長)ずつ順々に各バンクに割付られている。そして同一バンクへのアクセスは、最大で主記憶バンクビジー時間分(ロード： 7τ 、ストア： 20τ)遅延する可能性があり、ストライド付アクセスの場合その間隔により、ブロックアクセスに比較して性能低下を引き起こす。8バイトデータのロード時における性能低下の割合を表5に示す(但しこれは、後述のバス競合による遅れを考慮したものではない)。

(b) バス競合

主記憶は8個のバス(32ウェイ/1バス)に区切られており、8バイト(倍精度データ長)ずつ順々に各バスに割付られている(図11を参照)。各バスは1要素/ 1τ で転送が可能となっている。従って、ブロックロードの場合、 1τ に64バイト(8個 \times 8バイト)のデータが連続して転送可能である。即ちVP200の場合4.57GB*/秒(64バイト \times 1000ns/14ns)、VP400の場合4.74GB/秒(64バイト \times 1000ns/13.5ns)のデータ転送が可能である。しかし同一バスを使用するデータは、同時に転送されることはなく、 1τ 遅延することになり、ストライド付アクセスの場合その間隔により、連続番地アクセス(以降ブロックアクセスと記す)に比較して、表6、表7に示すような性能低下を引き起こす(但しこれは、前述のバンク競合による遅れを考慮したものではない)。

* GB = 2^{30} バイト

表4 アクセス系命令の性能

アクセスの種類		立上がり時間	VL個の要素の処理時間	
			VP400	VP200
ロード	ブロック	3 0	VL/8	VL/4
	ストライド付	3 1	VL/4	VL/4 (注2)
	インダイレクト	4 2	5 · VL/8 (注1)	5 · VL/4
ストア	ブロック	1 8	VL/8	VL/4
	ストライド付	1 9	VL/4	VL/4
	インダイレクト	3 0	5 · VL/8	5 · VL/4

(時間の単位: τ)

注1)インダイレクトの処理時間は確率を考慮した平均的なものである。

注2)VP200 のストライド付は1本のパイプラインでのみ動作可能

表5 ロード時のバンク競合による遅れ (VP400, VP200)

ストライド間隔 (8バイト単位)	VP400 (ブロックアクセス比)	VP200 (ブロックアクセス比)
256n+256	1 / 5 6	1 / 2 8
256n+128	1 / 2 8	1 / 1 4
256n+64, 192	1 / 1 4	1 / 7
256n+32, 96, 160, 224	1 / 7	2 / 7
256n+16, 48, 80, 112, 144, 176, 208, 240	2 / 7	4 / 7
256n+8, 24, 40, 56, 72, 88, 104, 120, 136, 152, 168, 184, 200, 216, 232, 248	1 / 2	無し
その他	1 / 2	無し

n : 0 と自然数

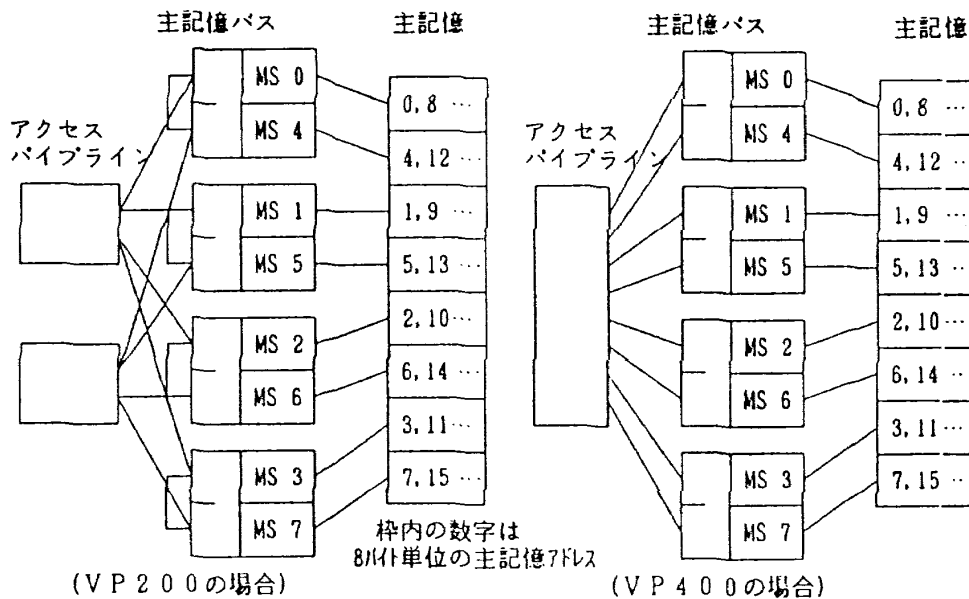


図11 主記憶バスの構造

表6 バス競合による遅れ (VP400)

ストライド間隔 (8バイトデータ)	バス競合による遅れ (ブロックアクセス比)	ストライド間隔 (4バイトデータ)	バス競合による遅れ (ブロックアクセス比)
8n	1/8	16n+16	1/8
8n+4	1/4	16n+8	1/4
8n+2 or 6	1/2	16n+1 と 8n+3, 4 5, 7	1/2
奇数	1/2	16n+9 と 8n+2, 6	1/2

表7 バス競合による遅れ (VP200)

ストライド間隔 (8バイトデータ)	バス競合による遅れ (ブロックアクセス比)	ストライド間隔 (4バイトデータ)	バス競合による遅れ (ブロックアクセス比)
8n	1/4	8n	1/4
8n+4	1/4	8n+1, 3, 4, 7	1/2
8n+2 or 6	1/2	8n+2, 5, 6	無し
奇数	無し	—	無し

インダイレクトアクセスにおいて上記のような間隔となったときには、同じような遅延を引き起こすことになる。

なお、ブロックロードに対する実際の遅延比は、バス競合と前述したバンク競合の遅延の大きい方で決定されることになる。

(c) スカラ命令との主記憶競合

スカラ命令とベクトル命令との間でも主記憶のバンク競合を起こす可能性がある。このときにも、主記憶バンクビジー時間分だけ遅延することになる。

② ベクトルレジスタおよびマスクレジスタ

ベクトルレジスタは、ベクトル演算やインダイレクトアクセス時の間接アドレス指定に使用され、VP400では128Kバイト^{*}、VP200では64Kバイトの容量を持っている。

マスクレジスタは、マスク演算やベクトル演算の各要素の実行を制御する演算マスク機能のために使用され、VP400では2048バイト、VP200では1024バイトの容量を持っている。

* Kバイト = 2¹⁰ バイト

表8 レジスタの構成パターン

	ベクトルレジスタ		マスクレジスタ	
	要素長	個数	要素長	個数
V	64	256	64	256
P	128	128	128	128
4	256	64	256	64
0	512	32	512	32
0	1024	16	1024	16
	2048	8	2048	8
V	32	256	32	256
P	64	128	64	128
2	128	64	128	64
0	256	32	256	32
0	512	16	512	16
	1024	8	1024	8

ベクトルレジスタ：1要素=8バイト
マスクレジスタ：1要素=1ビット

各々のレジスタはVP400、VP200とも表8に示すような要素長と個数を持った6通りの構成にすることが可能である。

(3) ベクトル演算部 (VEユニット)

ベクトル演算部は加算・論理演算パイプライン、乗算パイプライン、除算パイプラインより構成されている。各々の演算パイプラインの性能は表9に示すとおりである。

なお、表中の立上がり時間というのは、ベクト

表9 演算系命令の性能

パイプライン	本数	立上がり時間	VL値の要素の処理時間		後処理時間		
			VP400	VP200		VP400	VP200
加算・論理	1	1 0	VL/8	VL/4	FIND	27	20
					SUM	36	30
					EXT	16	14
乗算	1	1 0	VL/8	VL/4	—————		
除算	1	3 4	7・VL/8	7・VL/4	—————		

FIND : 最大値および最小値検索命令 (時間の単位: τ)
SUM : 総和命令
EXT : スカラ値取り出し命令
(詳細は、「V Pシリーズハードウェア機能説明書」を参照)

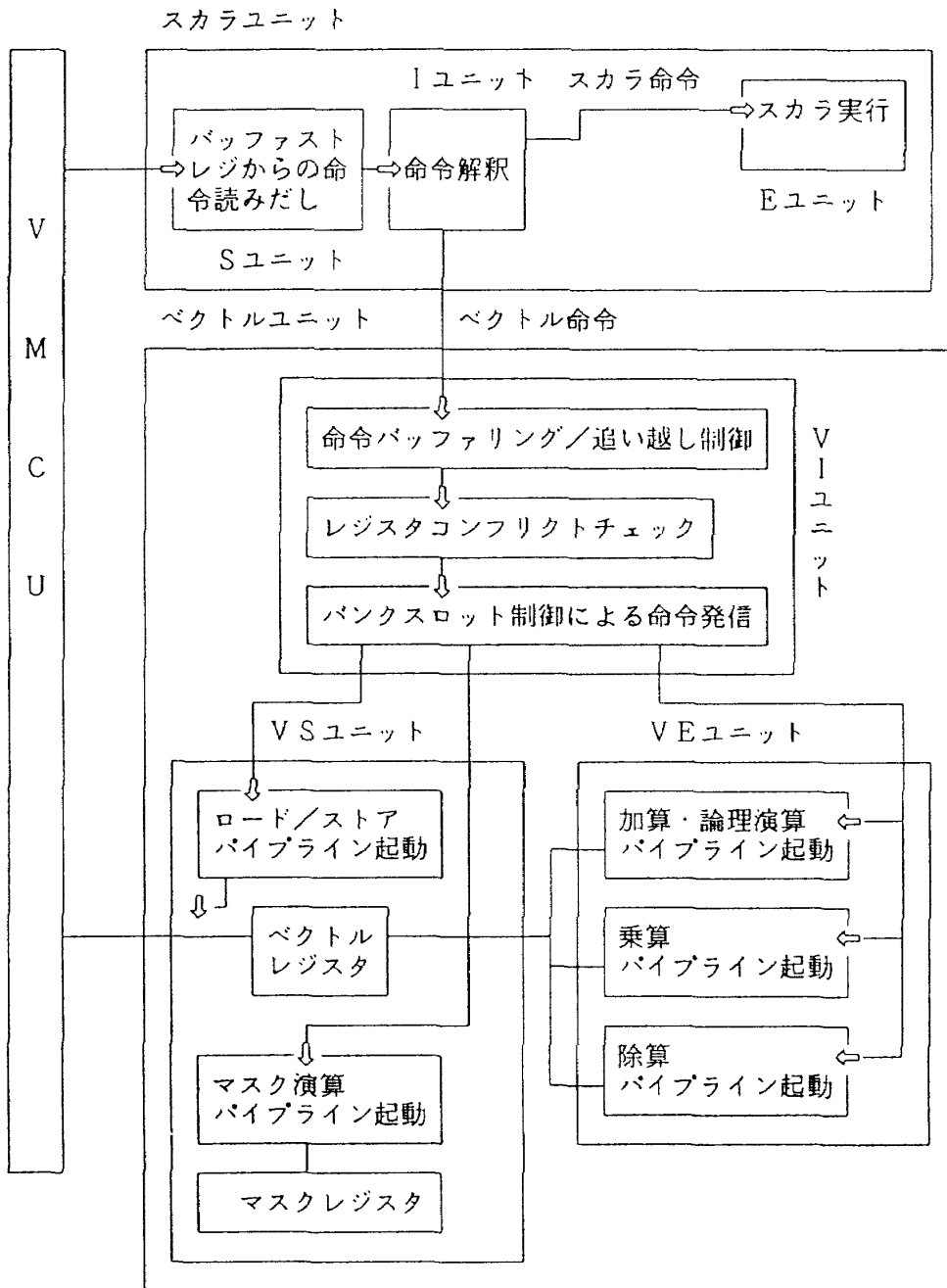


図12 VPハードウェアの動作の流れ

ルレジスタの1要素目の読みだしから、演算結果のベクトルレジスタへの格納までの時間を言う。従って、VP400でのベクトル長VLのベクトル演算に必要な時間は、例えば加算の場合 $(10+VL/8)\tau$ 、除算の場合 $(34+7\cdot VL/8)\tau$ である。このように演算パイプラインの性能は、ロード/ストアパイプラインの性能と同様、パイプラインの処理時間と立上がり時間の能力により決定される。また、加算・論理パイプラインを使用する命令の中に、FIND, SUM, EXTなどスカラレジスタへの書き込みがある命令があり、これらの命令については、スカラレジスタ書き込みのため上表にあるような後処理時間を必要とする。

以上、本章で述べてきたVPハードウェア詳細動作の概略をまとめると以下の図12のようになる。

3. VTAP

3.1 VTAP プログラム

3.1.1 シミュレーション手法

ソフトウェアを用いてシステムのシミュレーションを行う場合、その手法は時間をどの様に進めて行くかということにより以下の2つに大別される。

(i) 時間を一定時間間隔づつ進める手法

計算機ハードウェアのシミュレーションでの時間間隔はマシンクロック時間(τ)にとる。即ちシステムの時計を τ づつ進め、その都度、シミュレートすべきハードウェアの全資源の状態をハードウェアの動作論理に従って計算し、その結果、変更する必要が生じたものを変更して行く手法である。

この手法はハードウェアの動作を全て正確にシミュレートする必要がある場合に適している。

(ii) イベント生起に基づく手法

シミュレートすべきハードウェアの全資源の状態が変化する時刻をハードウェアの動作論理に従って各資源ごとに計算しておく。今、各ハードウェア資源 R_i ; $i=1, 2, \dots, n$ の状態が変化する時刻をそれぞれ T_i とすると、 $T_{i_0} = \text{Min}_n T_i$ とおき、最も近い将来に生起する事象の発生時刻を計算し、システムの時計を時刻 T_{i_0} 迄進める。ここで n は

シミュレートすべきハードウェア資源の数である。 R_{i_0} 資源の状態が次に変化する時刻 T_{i_0} を計算し、 T_{i_0} の値を T_{i_0} に書き直し、その後また $\text{Min}_n T_i$ を計算する。この過程を繰り返して、シミュレーションを進行させる。この手法は(i)の手法に比較して高速であること。システム資源の状態変化に関するハードウェア論理の単純化モデルをシミュレーションにおいて使用する場合に適している。

我々のVTAPはベクトル計算機のベクトル処理のシミュレーションを主たる目的としていること、シミュレーション精度に大きな影響が及ばない様なハードウェア資源の状態変化の論理は簡略化すること、100%のシミュレーション精度は追求していないこと、および効率的であること等の理由からシミュレーション手法として(ii)のイベント生起に基づく手法を採用した。その結果(i)の手法を用いたソフトウェアシミュレータとの速度比較に関してVTAPは約10倍の速度でシミュレーションを行うことが出来た。即ち(i)の手法のシミュレーション速度が 1τ 時間を進める為に約1ミリ秒かかったのに対してVTAPのシミュレーション速度は 1τ 時間を進める為に約100マイクロ秒で済ませることが出来た。この2つのシミュレーションはFujitsu-M780を用いて実行された。

3.1.2 VTAP プログラムの機能

(i) シミュレーションの為のVTAP入力データ

VTAP入力データはVPシリーズコンパイラが生成するオブジェクトコードであり、VTAPはオブジェクトコードの指定された範囲内の命令列のハードウェア処理動作のシミュレーションを行う。

(ii) VTAPシミュレーション結果の出力データ

① 各種パイプラインの利用状況解析(パイプラインタイムチャート出力)

ベクトル/スカラ各命令ごと実行順に、スカラユニットで動作する時間、ベクトルパイプラインで動作する時間を、タイムチャートにして図示することができる。これにより、ベクトルパイプラインが空きなく動作しているか否かを一目してみる事ができる。

② ベクトルレジスタの利用状況解析(ベクトルレジスタタイムチャート出力)

ベクトルレジスタの利用された時間をリード/ライト別に、パイプラインの利用状況と同様、タイムチャートにして図示することができる。これにより、ベクトルレジスタが有効活用されているか否かを一目してみることができる。

③ 実効性能推定および命令数の出力

解析範囲での実効性能を MFLOPS 値およびマシクロック時間で出力する。これらは解析範囲（通常は1つの DO ループ）全体としてでも、解析範囲をある間隔（例えば1000 τ ごと）に区切った単位ごとにも実効性能を出力することができる。また、命令種別（加算、乗算、除算およびロード/ストア種別、特にロード/ストアについてはブロックロード/ストアおよびインダイレクトロード/ストア）ごとにその解析範囲内に現れる命令数をカウントアップし出力することができる。これにより、実行時間の予測等が行える。

④ 以上の他 DO ループ処理時間中における各種パイプライン演算器のアイドル率および DO ループ処理における各種パイプライン演算器の実効立ち上がり時間の平均値の統計処理を行う。

VTAPプログラムの構造を図13に示す。

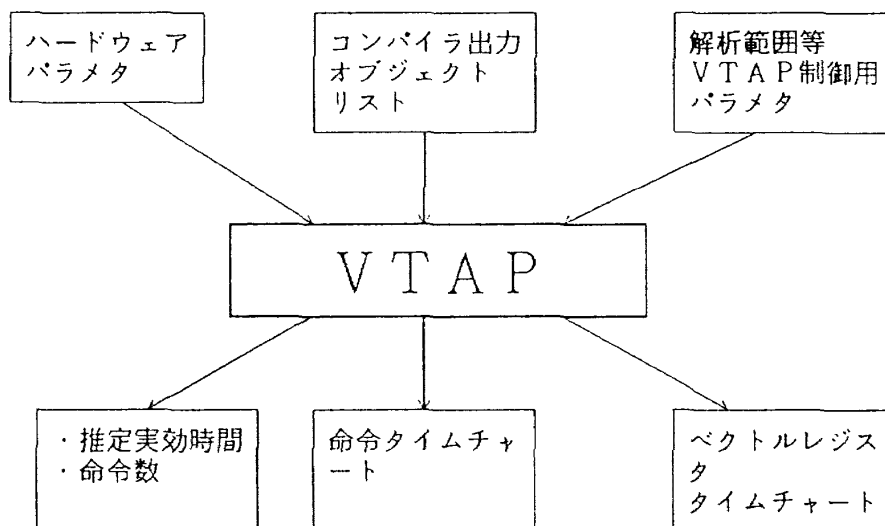


図13 VTAPの処理の流れ

3.2 VP シリーズハードウェアの動作に対する VTAP シミュレーションモデル

2章の図12においてVPシリーズハードウェアの動作の流れを示した。VTAPはこの動作の流れを忠実にシミュレートしているが、各ハードウェア資源、例えばスカラユニットの全てのハードウェア資源等の動作論理を全て正確にシミュレートしていない。正確にシミュレートすることは可能であっても以下の観点からするならばそれは得策とはいえない。

- シミュレートに多大な時間を要する可能性がある。
- VTAP自体の開発に多大な工数がかかる。
- VP400またはVP200くくりつけとなり、シミュレーション対象をVPシリーズ以外に拡張することが困難になる。
- VTAPはベクトル計算機のベクトル処理、即ち DO ループの処理の性能をシミュレートすることを目的としているので、シミュレータの経済性を考えた場合、性能推定の精度向上に余り役立たない部分まで詳細にシミュレートするのは得策ではない。

以上のことから性能に対する精度への影響を考慮し、正確にシミュレートする部分、モデル化する部分、無視する部分を選別した後VTAPを開発した。

表10 VTAPとハードウェアの対応

ハード	機能	VTAPでの対応	項番
スカ ラ ユ ニ ット	命令読みだし	一部無視	①
	命令解釈とスカラ命令実行	モデル化	②
	命令解釈とベクトル命令のベクトルユニットへの転送	正確	③
ベ ク ト ル ユ ニ ット	命令のバッファリング	正確	④
	命令の追い越し制御	正確	⑤
	ベクトルレジスタのコンフリクトチェック	正確	⑥
	汎用および浮動小数点レジスタのコンフリクトチェック	無視	⑦
	汎用または浮動小数点レジスタ書き込み命令後のスカラ命令実行	正確	⑧
	バンクスロット制御	正確	⑨
	ロード/ストアパイプラインによるベクトルレジスタ主記憶間転送	一部モデル化	⑩
	各種演算パイプラインによる実行	正確	⑪

以下にハードウェアの流れに従って、VTAPがVPシリーズのベクトル計算機のベクトル処理をどのようにシミュレートしているかの対応関係を表10に示し、それに対し以下、説明を加える。

① VTAPは読みだす命令がバッファストレージ上に有ることを仮定しており、無かったときの遅延時間 30τ は無視している。

② 実際にはスカラ命令の実行時間は命令種別ごとに異なるが、VTAPでは一律 2τ でモデル化している。

③ ベクトル命令が読みだされてからベクトルユニットへ転送されるまでの時間(4τ)は、正確にシミュレートしている。

④ ベクトル命令のバッファリング制御は、第2章に述べたとおり正確にシミュレートしている。

⑤ ベクトル命令の追い越し制御は、第2章に述べたとおり正確にシミュレートしている。

⑥ ベクトルレジスタのコンフリクトチェックは、第2章に述べたとおり正確にシミュレートしている。

⑦ VTAPは汎用および浮動小数点レジスタを無視しており、したがって汎用および浮動小数点レジスタのコンフリクトは無いものと仮定している。

⑧ 汎用または浮動小数点レジスタへの書き込みのある命令が終了するまで、後続のスカラ命令実行を抑止しており、第2章に述べたとおり正確にシミュレートしている。

⑨ バンクスロット制御は、第2章に述べたとおり正確にシミュレートしている。

⑩ ロード/ストアパイプラインによるベクトルレジスタ主記憶間転送において、VTAPは立ち上がり時間、処理速度を正確にシミュレート可能としているが、バンク競合、バス競合等の主記憶競合のチェックを行っていない。これに対しては、VTAPでは主記憶競合が或る一定の確率で発生すると仮定して、ロード/ストアパイプラインの処理速度を調整することによりモデル化している(例えば、VP400のブロックロードの処理時間を $(VL/8+2)\tau$ 、ストライド付ロードの処理時間を

($VL/4+2$) τ としている)。この調整は変更可能である。

⑩ 各種演算パイプラインの実行については、第2章に述べたとおり正確にシミュレートしている。

以上述べたことから明らかな様にVTAPはシミュレーションの目的およびシミュレーション精度とシミュレーションの経済性の兼ね合いから①, ②, ⑦, ⑩においてハードウェア資源のあるものについてはその動作論理を簡略化している。

①, ②および⑦はスカラユニットに属するハードウェア資源に関するものであり, ⑩は主記憶に関するものである。

これらを正確にシミュレートしなかった理由は次のとおりである。⑩についてはこれを正確にシミュレートする為には主記憶上のベクトルデータアドレスを知る必要があるが, コンパイラが出力するオブジェクトからでは, 実主記憶番地を特定することはほとんど不可能に近いためである。それは主記憶番地がほとんどの場合, 間接指定されていることからくる制約である。主記憶配置までシミュレートすれば可能であろうが, それは極めて困難である。また, ①, ②および⑦については, 航技研におけるVP400およびVP200の使用時間の大部分を占める流体計算プログラムの性能はほとんどベクトル処理に依存しており, スカラ処理の性能に影響されることはほとんどなく, スカラ処理を正確にシミュレートしたことによる効果はあまり無いと判断したためである。但し, VTAPではスカラ命令の処理時間は一律という条件のもとで可変になっており, 現VTAPのスカラ命令処理時間 2τ を 3τ 或いは 4τ とすることは簡単である。 2τ としたのはDOループ処理に出現するスカラ命令は殆どが整数データのロード/ストアおよび整数データの加減算であり, これらの命令処理時間としては 2τ が適切な値である為である。VTAPは命令或いはデータが単にバッファに存在すると仮定している。データまたは命令がバッファにない場合も含めてモデルを作る為には, 命令およびデータのバッファヒット率(98%位か)を決めてランダム数を発生させることにより命令

又はデータがバッファにない状態を確率的に出現させ, その場合に対して 30τ の遅れを付け加えることにすれば良い。このモデルをVTAPに取り込むことは容易であるが, ベクトル処理のシミュレーションを目的とするVTAPのシミュレーション精度向上にとってこの措置はそれ程効果があがらないであろう。

3.3 シミュレーション対象の拡張

—VPシリーズからVPシリーズ類似のベクトル計算機へ—

3.2で説明したVTAPのシミュレーション対象はFujitsu-VPシリーズのみであったが, VTAPの各種タイミング等をパラメータ化することによりVPシリーズより広い範囲のベクトル計算機であって, その命令実行の制御方式がVPシリーズと類似なものに対してもVTAPはハードウェアの動作をシミュレートすることが可能である。以下ではVTAPが可変としている事項について説明し, それによりシミュレーション対象がどの程度迄拡大するかを具体的に示すことにする。VTAPのこの機能により, VTAPは新しいベクトル計算機の開発に対して有効な道具として使用出来る。

(i) 各種パイプラインの本数は可変である。

これによりHITACHI-SシリーズおよびNEC-SXシリーズの様に独立に並行動作可能なパイプライン演算器, 例えば加算パイプライン, 乗算パイプライン等を複数本持ったベクトル計算機もシミュレーション可能となった。またCRAY-YMPの要素計算機の様に2本のロードパイプラインと1本のストアパイプラインを持ったベクトル計算機もシミュレーション可能となった。

(ii) ベクトル命令毎のパイプライン演算器の立ち上り時間と後処理時間は可変である。

これにより, あらゆる段数のパイプライン構成を取るベクトル計算機のシミュレーションが可能となった。

(iii) パイプライン演算器の 1τ 当たりのベクトル演算結果の数は可変である。

これによりあらゆる多重度のパイプライン

演算器を持つベクトル計算機のシミュレーションが可能となった。

(iv) スカラ命令の処理時間は可変である。

VTAPではスカラユニットの動作は大部分簡略化の為にモデル化しているのでスカラ命令の処理時間の変更は容易である。VPシリーズと全く異なるスカラユニットを持ったベクトル計算機に対してもそのベクトル計算機のスカラ処理時間の平均値を統計処理によって求めれば、その精度に応じたシミュレーション精度でそのベクトル計算機のハードウェアの動作のシミュレーションが可能となる。

これにより、今後発展すると考えられるスーパースカラ方式或いはVLIW方式のスカラユニットを持ったベクトル計算機のシミュレーションも或る程度可能となる。

(v) ベクトルレジスタのバンクスロット制御方式は可変である。

VPシリーズのベクトルレジスタのバンクスロット制御は改善の余地がある。

これにより、VPシリーズの改良型ベクトル計算機のシミュレーションが可能となる。

(vi) 命令バッファの構成と命令追い越しロジックは可変である。

NEC-SXシリーズはVPシリーズと異なった命令追い越しロジックを持ち、且つ命令バッファの構成も異なる。

これによりSXシリーズの様な命令実行制御方式を持つベクトル計算機のシミュレーションも或る程度可能となった。

(vii) 主記憶競合モデルは可変である。

VTAPでは主記憶の競合に対して非常に簡略化されたモデルを使用しているので種々の主記憶ネットワーク、任意の数のインターリーブ数、任意のバンクサイクル時間を持つベクトル計算機のシミュレーションが可能である。但し、シミュレーション精度については慎重な検討が必要となるであろう。

3.4 VTAPシミュレーション精度の検証方法

対象が物理現象であっても計算機ハードウェア

の様な人工物であってもソフトウェアシミュレーションの精度の検証方法は2つしかない。1つはシミュレーションモデルの近似度を厳密に数学的に証明する方法であり、他の1つは実験結果とシミュレーション結果のつき合わせによる手法である。前者には普遍性があるが後者には普遍性はない。

VTAPのシミュレーション対象はベクトル計算機のハードウェアのベクトル処理に関する動作であるが、この動作を厳密に表現する数学モデルは存在しない。従ってVTAPのシミュレーション精度の検証は実験結果とシミュレーション結果のつき合わせにより行う他に手段がない。

精度の普遍性の問題は実験データとのつき合わせにより実証された乱流モデルを含む計算空気力学(CFDと略記)のプログラムの精度の普遍性の問題と同じである。

両者共その中で使用している現象に対する近似モデルがどの程度の精度で新しくシミュレートしようとする現象に対しても妥当するかを検討することによりシミュレーション精度を概率的にはあるが推定することが出来る。

VTAPで近似モデルを使用しているのは3.2で説明した様にスカラユニットの動作と主記憶競合に対するものである。前者はこれ迄の説明からも明らかな様にVTAPの目的となるベクトル処理のシミュレーションの精度に余り影響がないと考えて良い。後者はシミュレーション精度に大きな影響があるが、この影響は主記憶競合に関するこれ迄行われてきた多数の研究等から或る程度見積もることが出来る。もう1つの問題はVPシリーズと異なる命令実行制御方式のベクトル計算機のシミュレーションに対するVTAPのシミュレーション精度に関するものである。

VTAPの命令実行制御モデルはVPシリーズに対しては正確であるので問題がないが、類似の制御方式の計算機の場合にはこのモデルは近似モデルとなる。この場合はシミュレーション精度を多少下げても安全側でタイミングパラメータの設定をすることが望ましい。この措置をとる場合、対象となるベクトル計算機の性能評価は低めになるこ

とに注意する必要がある。

VTAPの精度検証は実在するベクトル計算機を使用して行う必要がある。我々は2つのベクトル計算機VP200とVP400を用いて検証を行う。VP200とVP400はロード/ストアパイプラインの本数ばかりでなく、主記憶アクセスの為のネットワークも異なっており、VTAPのシミュレーション精度の検討にも都合が良い。

そこで次章においては実用プログラムを用いてVTAPの精度を検討することにする。

4. VTAPのシミュレーション精度の検証

VTAPのシミュレーション精度はシミュレートすべきベクトル計算機のDOループ処理時間をVTAPを用いて推算した結果と同じDOループを実際にそのベクトル計算機を用いて処理した場合の実測処理時間を比較することにより検証される。

検証には薄層近似ナビエ・ストークス方程式を多格子領域上でHarten型のTVDスキームを用いて近似し、これをブロック三重対角行列の逆転に基づくIAF法で解くプログラムを用いる。このプログラムはステートメント数約3000、メインルーチンと27個のサブルーチンより成り、全部で132個のDOループを含んでいる。

このプログラムのベクトル化率は99.6%であり、DOループの性能予測を高精度で行うことができれば全体のプログラムの性能予測も高い精度で可能となる。

2章および3章で述べた様にベクトル計算機は種々のハードウェア資源から構成されており、VTAPはこれらのハードウェア資源のDOループ処理における動作をあるものは正確に、あるものはモデル化により簡略化してシミュレートしている。

VTAPのDOループ処理のシミュレーション精度に大きな影響を及ぼすと思われるものは主記憶アクセス(ベクトルロード/ストア命令)に関するモデル化である。従って、DOループの中に出現するベクトル命令に占めるベクトルロード/ストア命令の比率の大小およびロード/ストア命令

対象となるベクトルの主記憶上のアドレスにより、確率的に変動する個々のベクトルロード/ストア命令の真の性能とモデル化されたベクトルロード/ストア性能のずれの大きさが、シミュレーション精度を左右する大きな原因となると考えられる。

検証に用いたプログラムのDOループは上に述べたベクトルロード/ストアの比率に関して変化に富んでおり、その上、DOループ中には種々の型のベクトルロード/ストア命令が出現するので、シミュレーション精度の検証には望ましい性質を備えていると言える。

表11に検証に用いたプログラムの全DOループ中反復処理に現れる全てのDOループの特性およびVP400を用いてこれらのDOループを実際処理した場合の実測処理時間とVTAPを用いたシミュレーションにより算出された推定処理時間の比較とシミュレーション精度等を示す。表12は表11と同じものとVP200に関して示したものである。表11と表12を比較すると明らかになるがコンパイラが作るオブジェクトコードはVP200とVP400とは微妙に異なっており、この相違はVP400とVP200のベクトルレジスタの量が異なっていることに起因するコンパイラの最適化技術によるものである。

表中SUB名はサブルーチン名を示し、DOはそのDOループの始まるステートメントナンバーを示している。表中のサブルーチンは反復回数回処理され、表に示されていないサブルーチンは反復回数と関係なくプログラム処理においては1回だけ処理される。

表中、VLはそのDOループにおけるベクトル長、実行回数とあるのは反復1回当たりのDOループの繰り返し実行回数、VTAP時間はVTAPシミュレーションによるDOループ1回処理当たりの推算処理時間、実測時間はVP400またはVP200によるDOループ1回処理当たり実測処理時間、COSTは反復2000回とした場合のプログラム全体の実測処理時間に占めるそのDOループの実測処理時間の割合、VTAP精度はVTAP時間/実測処理時間、ロード/ストア命令数はそのDOループのオブジェクトコードに含まれるロード/ストア

表11 VTAP計測結果 (TV DMD) VP400

SUB名	DO	VL	実行回数	VTAP時間	実測時間	COST	VTAP精度	ロ-ド/ストア 命令数	ベクトル演算 命令数
MAIN	3002	121	812	9,175	8,447	0.54%	108.62%	17	33
	3004	69	612	4,949	5,023	0.32%	98.53%	17	33
	2	121	812	3,881	3,592	0.23%	108.03%	5	11
	100	123	870	3,406	3,537	0.23%	96.30%	3	4
FXFV1	70	122	756	44,631	45,516	2.90%	98.06%	67	317
	150	121	3,780	22,300	24,400	1.56%	91.39%	5	25
	151	27	28	119	153	0.01%	77.58%	15	1
	220	122	756	30,628	30,766	1.96%	99.55%	85	236
	270	121	756	6,665	5,947	0.38%	112.07%	26	22
FYFV1	70	121	784	45,437	48,303	3.08%	94.07%	67	318
	150	121	3,780	22,300	24,250	1.55%	91.96%	5	25
	151	121	28	195	189	0.01%	103.40%	20	0
	220	121	756	30,342	32,334	2.06%	93.84%	85	231
	270	121	756	7,563	6,772	0.43%	111.68%	31	26
FZFV1	70	121	783	45,125	48,126	3.07%	93.77%	67	317
	150	121	3,780	22,300	24,557	1.57%	90.81%	5	25
	151	121	27	155	157	0.01%	98.67%	15	1
	220	121	783	31,595	33,195	2.12%	95.18%	85	231
	270	121	756	7,563	6,640	0.42%	113.90%	31	26
FXFV2	70	70	612	30,594	34,149	2.18%	89.59%	67	321
	150	69	3,060	16,152	16,558	1.06%	97.55%	5	25
	151	34	18	57	80	0.01%	71.69%	10	1
	220	70	612	20,118	22,462	1.43%	89.56%	85	231
	270	69	612	3,627	4,071	0.26%	89.09%	26	22
FYFV2	70	69	630	31,290	35,073	2.24%	89.21%	67	321
	150	69	3,240	18,852	21,042	1.34%	89.59%	5	25
	220	69	630	20,403	22,777	1.45%	89.58%	85	231
	270	69	612	4,156	4,745	0.30%	87.58%	31	26
FZFV2	70	69	646	32,119	36,030	2.30%	89.15%	67	322
	150	69	3,060	15,822	16,967	1.08%	93.25%	5	25
	151	69	34	108	143	0.01%	75.43%	10	1
	220	69	646	20,991	23,237	1.48%	90.34%	85	231
	270	69	612	4,156	4,938	0.32%	84.16%	31	26
ADIXT1	46	122	756	46,672	53,142	3.33%	89.51%	71	350
	51	121	756	64,267	58,324	3.72%	110.19%	187	115
	101	121	756	4,378	4,694	0.30%	93.28%	10	0
BLTRSA	1100	116	1						
		128	5	311	361	0.02%	86.27%	109	345
	600	116	120						
		128	600	63,267	66,429	4.24%	95.24%	169	645
	800	116	120						
	128	600	9,535	9,083	0.58%	104.98%	40	50	
ADIYT1	45	121	784	43,447	49,024	3.13%	88.62%	71	349
	50	121	756	43,733	45,482	2.90%	96.15%	187	115
	100	121	756	3,072	3,187	0.20%	96.39%	10	0

表11 (続き)

SUB名	DO	VL	実行回数	VTAP時間	実測時間	COST	VTAP精度	ロード/スカー 命令数	ベクトル演算 命令数
BLTRSA	1100	121	28	1,453	1,566	0.10%	92.76%	109	345
	600	121	728	64,010	67,447	4.30%	94.90%	199	645
	800	121	728	9,641	9,083	0.58%	106.15%	40	50
ADIZT1	45	121	783	43,011	48,783	3.11%	88.17%	71	350
	450	121	756	43,733	44,976	2.87%	97.24%	187	115
	100	121	756	3,072	3,167	0.20%	97.00%	10	0
BLTRSA	1100	121	27	1,401	1,440	0.09%	97.28%	109	345
	600	121	729	64,098	66,634	4.25%	96.19%	169	645
	800	121	729	9,655	9,028	0.58%	106.94%	40	50
ADIXT2	46	70	612	34,329	36,653	2.34%	93.66%	71	350
	51	69	612	34,502	37,471	2.39%	92.08%	187	115
	101	69	612	2,933	2,860	0.18%	102.55%	10	0
BLTRSA	1100	100	1						
		128	4	258	276	0.02%	93.45%	109	345
	600	100	68						
		128	272	29,742	31,065	1.98%	95.74%	169	645
	800	100	68						
	128	272	4,413	4,224	0.27%	104.47%	40	50	
ADIYT2	45	69	630	31,052	33,853	2.16%	91.73%	71	350
	50	69	612	23,059	27,264	1.74%	84.58%	187	115
	100	69	612	1,909	2,162	0.14%	88.28%	10	0
BLTRSB	1100	10	9						
		128	9	795	850	0.05%	93.54%	109	345
	600	10	297						
		128	297	45,869	48,701	3.11%	94.18%	169	645
	800	10	297						
	128	297	6,640	6,078	0.39%	109.24%	40	50	
ADIZT2	45	69	646	31,840	34,738	2.22%	91.66%	71	350
	50	69	612	23,059	27,237	1.74%	84.66%	187	115
	100	69	612	1,909	2,134	0.14%	89.43%	10	0
BLTRSB	1100	10	17						
		128	17	1,502	1,618	0.10%	92.82%	109	345
	600	10	289						
		128	289	44,633	47,439	3.03%	94.09%	169	645
	800	10	289						
	128	289	6,461	5,916	0.38%	109.21%	40	50	
THINV1	200	129	810	6,003	5,811	0.37%	103.31%	13	22
	300	129	783	9,017	8,420	0.54%	107.09%	26	68
	400	129	756	4,664	4,308	0.27%	108.27%	17	13
VELO1	10	2	1						
		128	836	14,490	13,382	0.85%	108.28%	11	47
NNLG1	10	121	756	3,888	4,035	0.26%	96.37%	11	6
NNLNG1	10	121	756	4,256	3,840	0.25%	110.83%	15	5
THINV2	200	69	680	4,250	4,053	0.26%	104.87%	13	22
	300	69	646	6,445	6,437	0.41%	100.12%	26	68
	400	69	612	2,735	3,010	0.19%	90.85%	17	13
VELO2	10	48	1						
		128	399	6,924	6,481	0.41%	106.83%	11	47
NNLG2	10	69	612	2,470	2,522	0.16%	97.95%	11	6

表11 (続き)

SUB名	DO	VL	実行回数	VTAP時間	実測時間	COST	VTAP精度	ロ-フ/ス7 命令数	ベクトル演算 命令数
NNLNG2	10	69	612	2,503	2,490	0.16%	100.54%	15	5
BOUNTM	10	71	36	4,445	6,379	0.41%	69.69%	54	206
	100	15	1						
		128	11	2,452	3,715	0.24%	65.36%	57	221
BOUND1	50	123	30	230	242	0.02%	95.23%	22	3
	11	22	1						
		128	1	4	4	0.00%	103.28%	1	1
	12	27	28	128	155	0.01%	82.43%	4	4
	13	28	1	2	1	0.00%	229.50%	8	4
	14	29	28	67	85	0.01%	79.16%	5	5
	30	73	1						
		128	6	50	40	0.00%	125.99%	10	0
VWALL1	11	111	1						
		128	27	89	39	0.00%	227.46%	3	1
	30	121	27	225	208	0.01%	108.12%	14	15
	32	121	54	217	187	0.01%	115.78%	9	7
	70	27	2	4	4	0.00%	100.58%	4	1
	810	27	238	787	884	0.06%	89.05%	6	8
	71	27	2	7	8	0.00%	93.49%	6	5
	820	27	240	512	476	0.03%	107.55%	4	2
	170	121	2	5	5	0.00%	99.90%	4	1
	910	121	50	252	235	0.01%	107.14%	6	8
	171	121	2	11	10	0.00%	105.03%	6	5
	920	121	52	135	102	0.01%	132.83%	4	2
	292	121	54	126	92	0.01%	137.08%	3	1
	296	121	2	5	5	0.00%	91.26%	4	0
	298	27	2	4	5	0.00%	78.84%	1	1
	300	29	2	3	2	0.00%	126.90%	1	1
	200	111	1						
		128	27	430	373	0.02%	115.25%	9	36
201	111	1							
		128	27	489	480	0.03%	101.84%	13	54
BOUND2	50	69	18	89	100	0.01%	89.18%	20	0
	11	100	1	1	1	0.00%	133.65%	1	1
	12	34	19	88	107	0.01%	82.22%	4	4
	13	19	1	2	2	0.00%	105.30%	8	4
	14	36	19	62	54	0.00%	115.43%	5	5
	30	44	1						
		128	5	42	34	0.00%	124.64%	10	0

表11 (続き)

SUB名	DO	VL	実行回数	VTAP時間	実測時間	COST	VTAP精度	ロード/ストア命令数	ベクトル演算命令数
VWALL2	11	124	1						
		128	19	63	19	0.00%	331.18%	3	1
	30	69	34	209	202	0.01%	103.39%	14	15
	32	69	68	219	197	0.01%	111.37%	9	7
	70	34	2	4	6	0.00%	71.10%	4	1
	810	34	134	474	499	0.03%	94.98%	6	8
	71	34	2	8	9	0.00%	87.00%	6	5
	820	34	136	301	293	0.02%	102.77%	4	2
	170	69	2	4	4	0.00%	107.33%	4	1
	910	69	64	269	263	0.02%	102.17%	6	8
	171	69	2	8	10	0.00%	82.89%	6	5
	920	69	66	149	105	0.01%	141.71%	4	2
	292	69	68	142	119	0.01%	119.57%	3	1
	296	69	2	4	6	0.00%	66.15%	4	0
	298	34	2	4	4	0.00%	101.93%	1	1
	300	36	2	3	3	0.00%	85.50%	1	1
	200	124	1						
	128	19	306	268	0.02%	114.11%	9	36	
201	124	1							
	128	19	348	338	0.02%	102.94%	13	54	

命令の数、ベクトル演算命令数はその DO ループのオブジェクト加減算、ベクトル乗算およびベクトル除算命令の数の和を示す。表中、1つの DO ループにデータが2列示されているのは、例えば、SUB名 BLTRSA の DO ループ1100は1100番の DO の DO ループをベクトル長116で1回、ベクトル長128で5回繰り返した事を示しており、VTAP 時間および実測時間は両者の合計の処理時間を示したものである。

2つの表からVTAPのシミュレーション精度は極めて満足すべきものであることが明らかである。但し、全体に占めるコストが小さいとはいえ表11の

BOUND1のDO13,

VWALL2のDO11,

および表12の

VWALL1のDO11,

BOUND2のDO13およびDO14,

VWALL2のDO11,

DO170およびDO295

の精度は良くない。この理由は以下に述べる2つの事項の相乗効果によるものである。

(イ) DO ループ中の演算数が少なく、処理時間が短いことから、実測時間の計測誤差が相対的に大きくなること。

(ロ) DO ループ中の全演算に占めるロード/ストア命令数の比率が高く、しかもこれらのロード/ストア命令が全てブロックロード/ストア命令である。VTAPではブロックロード/ストアの処理時間の算出はかなり安全側(低性能側)に立ったモデルに基づいている。

その他シミュレーション精度が余り良くない(誤差30%以上)DO ループが散見されるが全て上記(イ)および(ロ)に起因するものと考えて良い。

更にSUB名 BOUNTMのDO10およびDO100のシミュレーション精度はVP400およびVP200ともに余り良くない。これらのDO ループ中にはそれぞれ40個、45個のインダイレクトアクセス命令が含まれており、実際のインダイレクトアクセス処理時間とモデル化されたVTAPのインダイレクトアクセス命令の処理時間に大きなずれが生じた為と思われる。インダイレクトアクセス命令の処理時間はインダイレクトアクセスの対象となるリストベクトルの個々の要素の主記憶上のアドレスに

表12 VTAP 計測結果 (TV DMD) VP200

SUB名	DO	VL	実行回数	VTAP時間	実測時間	COST	VTAP精度	ロード/スト7 命令数	ベクトル演算 命令数
MAIN	3002	121	812	14,187	14,225	0.52%	99.73%	17	33
	3004	69	612	7,291	8,975	0.33%	81.24%	17	33
	2	121	812	5,195	4,590	0.17%	113.18%	5	11
	100	123	870	4,056	3,849	0.14%	105.38%	3	4
FXFV1	70	122	756	80,830	82,521	3.01%	97.95%	67	317
	150	121	3,780	35,986	35,808	1.30%	100.50%	5	25
	151	27	28	115	160	0.01%	71.79%	15	1
	220	122	756	58,773	60,447	2.20%	97.23%	99	236
	270	121	756	7,747	7,218	0.26%	107.34%	26	22
FYFV1	70	121	784	84,032	86,046	3.13%	97.66%	67	318
	150	121	3,780	35,986	35,966	1.31%	100.05%	5	25
	151	121	28	197	192	0.01%	102.49%	20	0
	220	121	756	57,577	60,553	2.21%	95.09%	99	231
	270	121	756	9,187	8,565	0.31%	107.26%	31	26
FZFV1	70	121	783	83,618	85,773	3.12%	97.49%	67	317
	150	121	3,780	35,986	35,275	1.28%	102.01%	5	25
	151	121	27	158	173	0.01%	91.33%	15	1
	220	121	783	59,633	61,248	2.23%	97.36%	99	231
	270	121	756	9,187	8,582	0.31%	107.05%	31	26
FXFV2	70	70	612	46,199	50,017	1.82%	92.37%	67	321
	150	69	3,060	21,594	22,992	0.84%	93.72%	5	25
	151	34	18	50	83	0.00%	60.42%	10	1
	220	70	612	35,780	39,525	1.44%	90.52%	113	231
	270	69	612	4,344	4,590	0.17%	94.64%	26	22
FYFV2	70	69	630	47,690	51,815	1.89%	92.04%	69	321
	150	69	3,240	24,993	27,487	1.00%	90.93%	5	25
	220	69	630	36,330	40,789	1.49%	89.07%	113	231
	270	69	612	5,235	5,433	0.20%	96.36%	31	26
FZFV2	70	69	646	48,575	52,516	1.91%	92.50%	67	322
	150	69	3,060	21,549	22,708	0.83%	94.89%	5	25
	151	69	34	94	169	0.01%	55.49%	10	1
	220	69	646	37,433	42,154	1.54%	88.80%	113	231
	270	69	612	5,235	5,638	0.21%	92.85%	31	26
ADIXT1	46	122	756	88,027	89,435	3.26%	98.43%	71	350
	51	121	756	86,196	91,405	3.33%	94.30%	235	115
	101	121	756	4,657	4,653	0.17%	100.09%	10	0
BLTRSA	1100	116	1						
		128	5	611	619	0.02%	98.64%	109	345
	600	116	120						
		128	600	179,248	172,902	6.30%	103.67%	284	645
	800	116	120						
	128	600	11,590	10,496	0.38%	110.43%	40	50	
ADIYT1	45	121	784	85,832	87,270	3.18%	98.35%	71	349
	50	121	756	70,108	61,644	2.25%	113.73%	235	115
	100	121	756	3,175	3,273	0.12%	97.01%	10	0

表12 (続き)

SUB名	DO	VL	実行回数	VTAP時間	実測時間	COST	VTAP精度	ロード/ストア命令数	ベクトル演算命令数
BLTRSA	1100	121	28	2,851	2,868	0.10%	99.42%	109	345
	600	121	728	179,950	174,350	6.35%	103.21%	284	645
	800	121	728	11,863	10,579	0.39%	112.14%	40	50
ADIZT1	45	121	783	85,767	87,194	3.18%	98.36%	71	350
	450	121	756	70,108	61,659	2.25%	113.70%	235	115
	100	121	756	3,175	3,533	0.13%	89.87%	10	0
BLTRSA	1100	121	27	2,750	2,761	0.10%	99.59%	109	345
	600	121	729	180,197	174,611	6.36%	103.20%	169	645
	800	121	729	11,880	10,582	0.39%	112.26%	40	50
ADIXT2	46	70	612	50,346	53,183	1.94%	94.66%	71	350
	51	69	612	49,917	52,955	1.93%	94.26%	227	115
	101	69	612	2,699	2,861	0.10%	94.33%	10	0
BLTRSA	1100	100	1						
		128	4	505	511	0.02%	98.82%	109	345
	600	100	68						
		128	272	83,687	80,930	2.95%	103.41%	284	645
	800	100	68						
	128	272	5,432	4,957	0.18%	109.58%	40	50	
ADIYT2	45	69	630	49,242	50,495	1.84%	97.52%	71	350
	50	69	612	34,332	39,040	1.42%	87.94%	229	115
	100	69	612	1,911	2,031	0.07%	94.08%	10	0
BLTRSB	1100	10	9						
		128	9	1,342	1,492	0.05%	89.94%	109	345
	600	10	297						
		128	297	109,613	112,000	4.08%	97.87%	284	645
	800	10	297						
	128	297	7,543	7,122	0.26%	105.91%	40	50	
ADIZT2	45	69	646	48,684	51,836	1.89%	93.92%	71	350
	50	69	612	34,332	39,042	1.42%	87.94%	229	115
	100	69	612	1,911	2,049	0.07%	93.25%	10	0
BLTRSB	1100	10	17						
		128	17	2,535	2,835	0.10%	89.41%	109	345
	600	10	289						
		128	289	106,661	108,961	3.97%	97.89%	169	645
	800	10	289						
	128	289	7,339	6,952	0.25%	105.57%	40	50	
THINV1	200	129	810	10,161	9,715	0.36%	104.20%	13	22
	300	129	783	14,908	14,113	0.51%	105.64%	26	68
	400	129	756	4,996	4,549	0.17%	109.82%	17	13
VELO1	10	2	1						
		128	836	21,675	19,885	0.72%	109.00%	11	47
NNLG1	10	121	756	5,631	5,662	0.21%	99.45%	11	6
NNLNG1	10	121	756	4,488	3,990	0.15%	112.47%	15	5
THINV2	200	69	680	6,083	6,258	0.23%	97.21%	13	22
	300	69	646	9,035	9,301	0.34%	97.14%	26	68
	400	69	612	2,939	3,155	0.11%	93.15%	17	13
VELO2	10	48	1						
		128	399	10,354	9,543	0.35%	108.50%	11	47
NNLG2	10	69	612	3,282	3,603	0.13%	91.80%	11	6

表12 (続き)

SUB名	DO	VL	実行回数	VTAP時間	実測時間	COST	VTAP精度	ロード/スト7 命令数	ベクトル演算 命令数
NNLNG2	10	69	612	2,596	2,423	0.09%	107.14%	15	5
BOUNTM	10	71	36	4,300	6,196	0.23%	69.40%	54	206
	100	15	1						
		128	11	2,393	3,791	0.14%	63.12%	57	221
BOUND1	50	123	30	227	244	0.01%	93.12%	22	3
	11	22	1						1
		128	1	5	4	0.00%	113.75%	1	1
	12	27	28	137	178	0.01%	76.86%	4	4
	13	28	1	2	3	0.00%	74.67%	8	4
	14	29	28	64	107	0.00%	59.35%	5	5
	30	73	1						
		128	6	52	43	0.00%	121.38%	10	0
VWALL1	11	111	1						1
		128	27	95	55	0.00%	173.12%	3	1
	30	121	27	301	295	0.01%	102.00%	14	15
	32	121	54	281	233	0.01%	120.70%	9	7
	70	27	2	4	5	0.00%	85.68%	4	1
	810	27	238	936	913	0.03%	102.55%	6	8
	71	27	2	9	8	0.00%	108.15%	6	5
	820	27	240	568	481	0.02%	118.05%	4	2
	170	121	2	5	4	0.00%	137.20%	4	1
	910	121	50	358	330	0.01%	108.61%	6	8
	171	121	2	14	15	0.00%	96.32%	6	5
	920	121	52	163	114	0.00%	143.05%	4	2
	292	121	54	142	119	0.00%	119.44%	3	1
	296	121	2	5	6	0.00%	87.73%	4	0
	298	27	2	4	7	0.00%	62.80%	1	1
	300	29	2	3	3	0.00%	95.20%	1	1
	200	111	1						
	128	27	617	553	0.02%	111.59%	9	36	
201	111	1							
	128	27	736	698	0.03%	105.43%	13	54	
BOUND2	50	69	18	85	85	0.00%	100.50%	20	0
	11	100	1	2	2	0.00%		1	1
	12	34	19	98	102	0.00%	95.71%	4	4
	13	19	1	2	1	0.00%	228.20%	8	4
	14	36	19	65	3	0.00%	163.47%	5	5
	30	44	1						
		128	5	44	56	0.00%	78.35%	10	0

表12 (続き)

SUB名	DO	VL	実行回数	VTAP時間	実測時間	COST	VTAP精度	ロード/スト 命令数	ベクトル演算 命令数
VWALL2	11	124	1						1
		128	19	67	34	0.00%	198.43%	3	1
	30	69	34	287	296	0.01%	96.97%	14	15
	32	69	68	262	219	0.01%	119.54%	9	7
	70	34	2	4	3	0.00%	148.40%	4	1
	810	34	134	568	575	0.02%	98.86%	6	8
	71	34	2	9	10	0.00%	92.68%	6	5
	820	34	136	333	310	0.01%	107.48%	4	2
	170	69	2	5	3	0.00%	159.60%	4	1
	910	69	64	350	358	0.01%	97.86%	6	8
	171	69	2	10	12	0.00%	86.57%	6	5
	920	69	66	169	134	0.00%	126.19%	4	2
	292	69	68	155	129	0.00%	120.29%	3	1
	296	69	2	4	4	0.00%	111.30%	4	0
	298	34	2	5	3	0.00%	152.13%	1	1
	300	36	2	3	4	0.00%	72.80%	1	1
	200	124	1						
		128	19	440	394	0.01%	111.74%	9	36
201	124	1							
	128	19	525	499	0.02%	105.29%	13	54	

より大幅に変動する為、このような場合が生じても仕方がない。

精度検証に用いたプログラムのコストにより重み付けを行った全 DO ループに対するシミュレーション精度は反復回数を2000回とした時VP400に対して94.52%、VP200に対しては98.77%である。また、検証プログラムの実測処理速度はVP400が483 MFLOPS、VP200が285 MFLOPSである。

5. おわりに

本報告では FACOM VP シリーズおよびそれと類似なベクトル計算機のベクトル処理に係る部分を高精度でシミュレートする為に航技研と富士通(株)が協同で開発したソフトウェアシミュレータ VTAP の解説を行った。

VTAP の精度は実際プログラムを VP200 および VP400 上で走行させた場合の DO ループの処理時間と VTAP の推定処理時間を比較することにより検証した。

この精度は極めて高く 95% 内外の精度であり、VTAP のシミュレーションの為に CPU 使用時間を考慮すると VTAP の効率および経済性が極めて優れたものであることを示している。

VTAP の高精度シミュレーションの対象は DO ループのベクトル処理であり、それ以外の部分の処理は経済性とシミュレーションの効率化の為に、極端にモデル化され単純化されている。その為、ベクトル計算機の全プログラム処理の実行時間の推定に関して VTAP は無力ではないかとの印象を与える。

しかしながら、航技研の VP200 および VP400 で処理されている大部分のプログラムのベクトル化率は非常に高く、このようなプログラムに対してはベクトル処理の部分を高精度でシミュレートできればベクトル処理以外の部分の性能推定はかなり粗い推定、例えばスカラ部分の MIPS 値等に基づく推定を用いても全体として高精度な性能推定が得られる。従って航技研の job に関する限り VTAP はベクトル計算機の性能推定に極めて有効であると結論しても良い。

現在、VTAP を用いて時期 NS システム中核となるべき数値空気力学シミュレータの要素計算機の方式等およびその性能推定に関する研究が精力的に進められているが、その成果については後日稿を改めて報告することにする。

航空宇宙技術研究所報告1094号

平成3年2月発行

発行所 航空宇宙技術研究所
東京都調布市深大寺東町7丁目44番地1
電話三鷹(0422)47-5911(大代表)〒182
印刷所 株式会社三興印刷
東京都新宿区西早稲田2-1-18
