

# 航空宇宙技術研究所報告

TECHNICAL REPORT OF NATIONAL AEROSPACE LABORATORY

TR-1108

航技研超高速数値風洞(UHSNWT)の構想  
— 第二期数値シミュレータ計画 —

三 好 甫

1991年5月

航空宇宙技術研究所  
NATIONAL AEROSPACE LABORATORY

# 航技研超高速数値風洞(UHSNWT)の構想\*

## — 第二期数値シミュレータ計画 —

三 好 甫\*<sup>1</sup>

### Ultra High Speed Numerical Wind Tunnel (UHSNWT) Initiative at National Aerospace Laboratory Numerical Simulator — Second Generation\*

Hajime MIYOSHI\*<sup>1</sup>

#### ABSTRACT

In order to promote CFD (computational fluid dynamics) research activities and effectively apply their results in the research and development of future aircraft and space planes, it is necessary to develop within the next two or three years a CFD-oriented computer (ultra high-speed numerical wind tunnel/UHSNWT) whose CFD processing speed is more than 100 times higher than the currently used Fujitsu VP400, and also to subsequently develop a computer more than 1000 times faster by the end of 1990's.

The requirements for the UHSNWT are discussed from a perspective of development and operation costs, reliability, affinity with CFD programs, and operation environment. In addition, a National Aerospace Laboratory (NAL) UHSNWT initiative is proposed based on the following:

1. Vector computer operational
2. Program processing software simulation for several vector computer configurations
3. Future trend forecasts of Large-Scale Integrated Circuit (LSI) technology

It is concluded that developing the UHSNWT with a performance of more than 100 times higher than the VP400 is feasible using a parallel computer having a distributed memory and crossbar network.

**Keywords:** Vector Computer, Parallel Computer, Computational Fluid Dynamics, Vector Processor Simulation

#### 概 要

計算空気力学 (CFD) の研究を推進し、その成果を航空機および航空宇宙機の研究開発に役立たせるためには、CFD プログラムの処理能力が Fujitsu VP400 の 100 倍以上の CFD 専用の計算機—超高速数値風洞 (UHSNWT) をここ 2~3 年のうちに、更にこれを 10 倍以上上回る UHSNWT を 1990 年代末に開発することが是非とも必要となる。報告はこの UHSNWT が備

---

\* 平成 3 年 3 月 25 日 受付 (received 25 March 1991)

\*<sup>1</sup> 数理解析部 (Computational Sciences Division)

えるべき要件について、開発・運転コスト、信頼性、CFD 計算法に対する適合性、運用環境等の視点から論ずる。同時に報告はこれ等の要件を満足する UHSNWT の構想を

1. これ迄のベクトル計算機の使用経験
2. 種々のベクトル計算機モデルのベクトル処理に対するソフトウェアシミュレーション
3. LSI 技術の将来の発展動向

に基づいて述べる。

報告は VP400 の 100 倍以上の性能の UHSNWT はクロスバーネットワークを採用した分散主記憶型並列計算機により実現できることを結論付けている。

## 1. 数値風洞開発の背景

### 1.1 CFD の現状とその問題点

ベクトル計算機のピーク性能は1980年代半ばには IGFLIPS を越えた。1987年初め、航空宇宙技術研究所 (NAL) 計算センタにもピーク性能1.185 GFLOPS の Fujitsu-VP400 (以下 VP400 と略称する) が Fujitsu-VP200 と共に導入され、運用を開始した。これにより NAL の CFD 研究はそれ迄の非粘性流の数値シミュレーションを中心とするものからレイノルズ平均ナビエ・ストークス方程式 (RANS) 数値シミュレーションを中心とするものへと発展を遂げた。VP400 は完全気体の RANS 数値シミュレーションに関して 300~700 MFLOPS 程度の性能を発揮している。VP400 を用いて、NAL が CFD の研究において達成した成果は以下の様に要約できる<sup>1)</sup>。

- (1) 航空機等のクリーン\* な全機廻りのデザインポイント近辺の流れに対して CFD は信頼性のあるデータを算出できる。
- (2) クリーンな全機廻りの実在気体効果を含む極超音速流 ( $M > 10$ ) に対しても CFD は信頼性のあるデータを算出できる。
- (3) 推進系の空力要素に対して CFD は信頼性のあるデータを算出できる可能性が開けてきた。
- (4) 超音速燃焼 (スクラムエンジン) の研究に対して CFD は有効な研究手段であることを明らかにした。

- (5) 衝撃波剥離を含む 2 次元フラッタ解析等において CFD は成果を挙げることができた。
- (6) 風洞等を用いては不可能な機体および推進系空力要素の設計問題 (逆問題) に対する手法を開発し、この手法の有効性を実証した。しかしながらこの時期、同時に CFD における問題点もまたクローズアップされた<sup>1,2)</sup>。

問題点のうち主要なものを以下に示すが、それらは全て計算機の性能と主記憶容量の不足に起因するものばかりである。

- (Q1) クリーンな航空機全機または航空宇宙機全機の RANS 数値シミュレーションには平均約 100 万点の格子点が必要である。遷音速流の場合、VP400 を用いて約 10 時間程度の CPU 時間と最低でも約 200 MB の主記憶が必要である。また、実在気体効果を含む極超音速流の場合、VP400 を用いて約 25 時間の CPU 時間と最低でも約 300 MB の主記憶量が必要である。従って、時間がかかり過ぎることおよびコスト高の為技術開発に不可欠なパラメトリックスタディを RANS 数値シミュレーションを用いて行うことは不可能に近い。技術開発におけるパラメトリックスタディに数値シミュレーションを使用する為にはその処理時間は少なくとも 10 分前後であることが必要である。

- (Q2) 附属物の付いた完全全機の RANS 数値シミュレーションには 500 万点~1500 万点の格子点が必要である<sup>3)</sup>。適切な処理時間内にこうした複雑形状を対象とする数値シミュレーションを処理することができて初めて CFD は風洞等と同格な技術開発手法となることができるが、現在の計算機の性能では、この様な数値シミュレ

\* クリーンな全機：エンジン、ラダー、エルロン等附属物のつかない機体

ーションを技術開発の為に使用することはできない。

(Q3) 乱流現象が優位な流れに対して現在のCFDは信頼性のあるデータを算出できない。信頼性のあるデータを算出する為には乱流モデルのレベルを向上させる必要がある。モデルを確立する為には最低でも1億ないし1億5千万点程度の格子点を使用した数値シミュレーションが必要である。これは現在の計算機では不可能である。

(Q4) ラム/スクラムエンジンの数値シミュレーションにおいてCFD算出データの信頼性を向上させる為にも乱流モデル/燃焼モデルの確立が必要であり、その場合の必要格子点の数は(Q3)の場合と同様である。これも現在の計算機では不可能である。

## 1.2 超高速計算機から超高速数値風洞へ

CFDは今後の航空機およびその推進系等の技術開発、特に現在開始されようとしている航空宇宙機とその推進系の技術開発において重要な役割を果たすことが期待されている。CFDがこの期待に応える為には前節のQ1~Q4に述べた問題点を解決しておくことが必要となる。

その為には、

(R1) ここ2~3年のうちにCFDプログラムの処理速度がVP400の少なくとも100倍、データ格納の為に主記憶領域が32GB程度的高速計算機を開発し、これをNAL計算機システムに導入することが必要である。

(R1)に示した性能を持つ高速計算機により得られたCFDの成果を航空宇宙技術の研究開発に活用する為には

(R2) 1990年代末には更に10倍以上のCFDプログラムの処理能力を持ち、主記憶容量も10倍以上の超高速計算機を(R1)に示した性能を持つ計算機と基本的に同一の方式において実現することが必要である。

一方、1992~3年頃に市場に存在する商用スーパーコンピュータのピーク性能は単一ベクトルプロセッサ(UP)で5~7GFLOPS程度、Tightly

Coupled Multi-Vecter Processor (TCMP)で15~25GFLOPS程度と考えられ、(R1)に示した性能との間には大きな隔りがある。これらの計算機は商用機である為広汎な範囲の問題に対して或る程度の高性能を発揮する様に意図され、同時に使い易さをも考慮して設計、製作されており、いわばGeneral Purpose Supercomputerともいうべきものである。

そこで本稿では適用範囲をCFDの分野に限って(R1)に示した性能を持つ高速計算機の実現性について議論を進めることにする。この様に適用分野を限定した高速計算機は超高速数値風洞(UHSNWT)という方が相応しい。

## 2. 計算機システムの管理責任者からUHSNWTへの要求

前章で我々は目標とすべき計算機の性能を定めたが、性能を定めただけではその実現に対する計算機工学からの解答は一意に定まらない。重要なものから瑣末なものを含めて数多くの技術的選択肢が存在する。

或る目標性能を持つ計算機を開発するということは計算機工学と開発される計算機の利用者集団とが不断の会話を重ねつつ多くの選択肢に対して解答を与えて行くことに他ならない。ここでは種々の技術項目において選択を行う場合の判断基準となる幾つかの重要事項について簡単に述べておく。これらの判断基準は当然のことながら計算機工学に対しては外部強制的に働く。改めて考えてみれば目標性能を定めること自体、CFDの現状認識とCFDの有るべき将来展望に立ち、計算機工学の現状と発展の可能性を睨みつつ行った一つの選択であった。

### 2.1 コスト

航空機等の空力技術を研究開発する立場からUHSNWTを見ると、UHSNWTは伝統的な風洞と並ぶ空気力学試験設備の一つである。従ってUHSNWTを使用して得られたデータが風洞を使用して得られたデータに比較してコスト高であって良いわけがない。コストが高ければ計算機の利

点を生かした航空機等の空力設計の為のパラメトリックスタディ等に UHSNWT は使用できない。

V. L. Peterson はかつて NASA の主要風洞の 1 データセット当たりのコストは 100 ドル以下であると述べた事がある<sup>4)</sup>。この根拠について彼は示さなかったが、米国の風洞試験のコスト計算についての詳しい調査は National Research Council により報告されている<sup>5)</sup>。

UHSNWT は RANS 数値シミュレーションを航空機等の空力技術の研究と開発に活用することを主要目的の一つにしているので、UHSNWT の実現を検討するにあたっては性能の実現ばかりでなく、その開発・製造コストおよび運転コストも削減に向かって努力する必要がある。その際、風洞試験のデータセット当たりのコストは当然念頭におくべきものであろう。RANS 数値シミュレーションはデータの信頼性ばかりでなくデータのコストをも考慮すべき時代に到達している。

開発製造コストおよび運転コストについて論ずるのは本論の主題ではないので、ここでは UHSNWT のハードウェア開発コストと運転コストに大きな比重を占める素子技術について簡単に述べることにする。

過去の経験から、主記憶素子および論理素子は共に量産効果により急激にコストダウンするが (DRAM 素子はその典型である)、大量生産される見込みのない素子のコストダウンは緩慢 (高速 ECL-RAM はその典型である) である\* ことが結論できる。従って、UHSNWT に使用する素子はあり合わせの汎用品を使用するのがコスト面では最も有利である。あり合わせの素子に適当なものがなく、新たに素子を開発する場合でも、その素子を他へ転用し、量産を行うことによりコスト

ダウンを図る必要がある。

運転コストの中で大きな比重を占める消費電力についても、CFD プログラムの処理における予想される平均的な実効処理速度当たりの消費電力が許容範囲内に納まるかどうかを素子の選択基準として採用することは是認されよう。図 1 は国産スーパーコンピュータの主要論理素子のゲート当たりの消費電力量の推移を示したものである。傾向から判断すると 1992 年末に ECL 論理素子のゲート当たりの消費電力量は 1mW を大幅に割り込む可能性は余り高いとは言えない。恐らく 1.2~1.3 mW 位と考えるのが妥当なところであろう。これは UHSNWT に ECL 素子を使用するかどうかの判断材料の一つに挙げられる。

また、高速な主記憶素子のビット当たりの消費電力量は中速の主記憶素子のビット当たりの消費電力量に比較して 10 倍程度に達することもある。主記憶素子の選択においては動作時の消費電力量ばかりでなく、待機時の消費電力量が小さいものを選択する必要がある。

## 2.2 信頼性

近年の素子技術および実装技術の向上が計算機の信頼性の向上に及ぼす効果は著しいものがあるが、それでも信頼性の向上の為の措置が性能の向上およびコストの低減に逆行することがしばしばであるというのは良く知られている。ソフトウェアの信頼性は運用後に徐々に向上を図ることが可能であるが、ハードウェアの信頼性は基本的には開発時に定まってしまう。

VP400 が NAL 計算センタに導入されてから 3 年 11 ヶ月が経過した。その運用は年末年始と夏休みで合計 17 日の休日と保守時間 (3 時間 / 月) を除いて 24 時間連続運転である。運用状況をとりまとめて示すと、システム運転時間は 8310~8320 時間 / 年、保守時間は定期保守 (1 回 / 月) を含めて 30~40 時間 / 年、ユーザ CPU 時間は約 7900 時間 / 年で運転時間に対するユーザ CPU 時間の割合は約 95% である。この様なシステム運用状況の中で、ハードウェアの故障は導入直後主記憶の Double-bit-error を 2 度起こしたのみで現在に至る迄約 4

\* 一般的に言えば、主記憶素子のビット当たりのコストは高い順 (高速、高消費電力の順でもある) に ECL-RAM > BiCMOS-SRAM > CMOS-SRAM > DRAM

となっている。コストダウンについては、例えば 256 Kbit CMOS-SRAM でアクセスタイム 35 ns の主記憶素子は量産効果により急激にコストダウンしたが、64 Kbit ECL-RAM でアクセスタイム 15 ns の主記憶素子のコストダウンは緩慢であった。

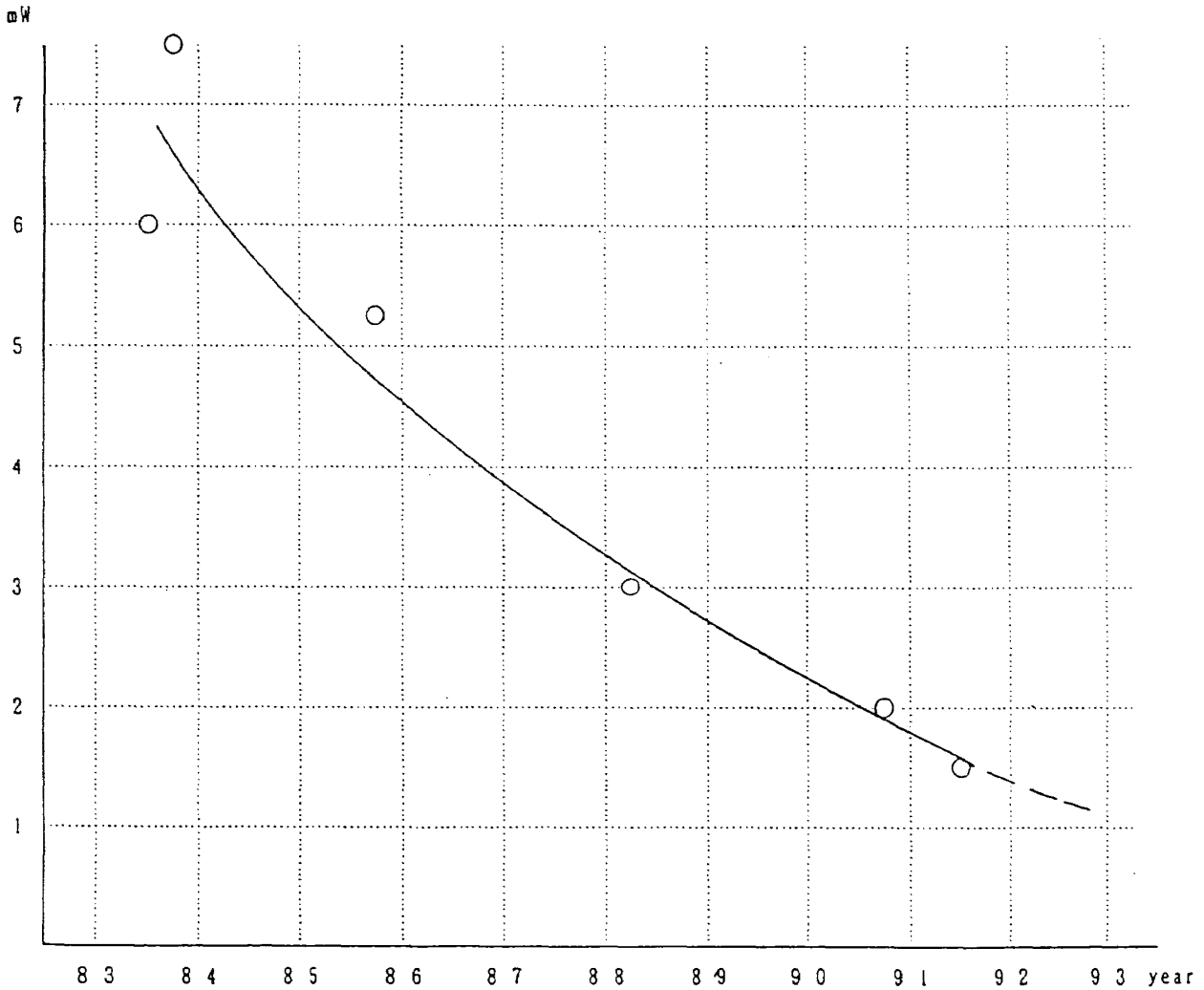


図1 高速計算機の論理素子ゲート当たりの消費電力の傾向

年間無故障である。Fujitsu-VPシリーズの場合、信頼性と保守性の向上の為にエラーチェック、診断等の回路に使用しているゲート数は総ゲート数の20%~30%に達していると推定される。

UHSNWTの場合、その使用物量はVP400と比較して膨大なものとなるであろうが、信頼性と保守性の向上の為に投ぜられる物量はどの程度が妥当であろうか？UHSNWTの利用主体はCFDの研究者および技術者であって計算機工学の専門家ではないので故障に対しては厳しい態度を取るであろう。更に、UHSNWTは単なる実験計算機ではなく実用計算機でもあるので、UHSNWTのハードウェアの信頼性を高い水準に維持することは目標性能の実現と並んでUHSNWTの成功、不成功の鍵の一つとなるものである。従って、ハードウェアの信頼性向上の為にどの程度の物量を投入す

るかは性能の向上およびコストとのバランスを図りつつ慎重に検討を進める必要がある。

計算機の算出データに不安を感じて利用者が2重計算を行ったり、ハードウェア故障により長大な時間をかけて計算してきたjobが再計算の羽目になる事がしばしば生ずる様では計算機の高い目標性能は殆ど無意味となる。信頼性に気をつけて過度の物量をハードウェアに投ずることは厳しく戒めるべきであるが、開発において信頼性の維持に真剣に取り組むか否かは技術者のモラルの問題である。

### 3. UHSNWTの構想と実現可能性

#### 3.1 出発点

我々のベクトル計算機使用に関するこれ迄の経験からUHSNWTの実現に関する検討を以下に示

す命題を出発点として始めることにする。

(P1) 希薄気体に関するCFDを除けば、ベクトル計算機はCFDプログラム処理に適している。

(P2) ベクトルレジスタ (VR) 付ベクトル計算機は優れた方式である。また、この方式に対する Fortran コンパイラの技術は現在高い水準に達している。

(P3) ベクトル処理に関する標準的ハードウェア機能、例えば、リストベクトル処理、ベクトル圧縮 / 拡散処理等の機能を持つベクトル計算機と高水準の Fortran コンパイラを用いた場合、CFDプログラムのベクトル化率は99%前後に達する\*。このベクトル化率は問題規模が大きくなればなる程向上する。

計算機の立場から見たCFDプログラムの大規模化というのは単純化して言えば単に格子点数が大規模化するだけである。この事実に立脚すれば更にもう一つの命題も我々への出発点としても採用しても良いであろう。

(P4) 99%程度のベクトル化率のもとで格子点数に対して適切な並列度を仮定すれば、CFDプログラムの並列化率もまた99%程度に達する。

### 3.2 UHSNWT 記憶階層構造

近年の高速計算機の開発における最大の問題点は高速化する演算器に如何してデータを供給するかということであった。

ベクトル計算機の高速化は素子の高速化、ベクトル処理パイプラインの多重化、並列動作するパイプライン演算器の多数化(独立に動作するパイプライン演算器、例えばパイプライン加算器等を2個、4個と多数配置すること)およびベクトル計算機のそのものの多重化等により達成されるが、

これに見合った主記憶性能の高速化および大容量化は容易ではない。

この問題の解決策としては、

- (i) 高コスト且つ高消費電力の高速記憶素子を使用し、これを使用して多数のバンクからなる主記憶を構成し、高いデータ転送能力を確保する。
- (ii) 中程度のコストと消費電力の中速の記憶素子を使用して、多数のバンクからなる主記憶を構成し、データ転送能力の不足は大容量のVRにより補う。

(i)および(ii)の解決策はそれぞれ一長一短があり、その優劣の判定は利用者の立場毎に、個々の利用者的高速計算機に対する考え方毎に異なった結論になるであろう。

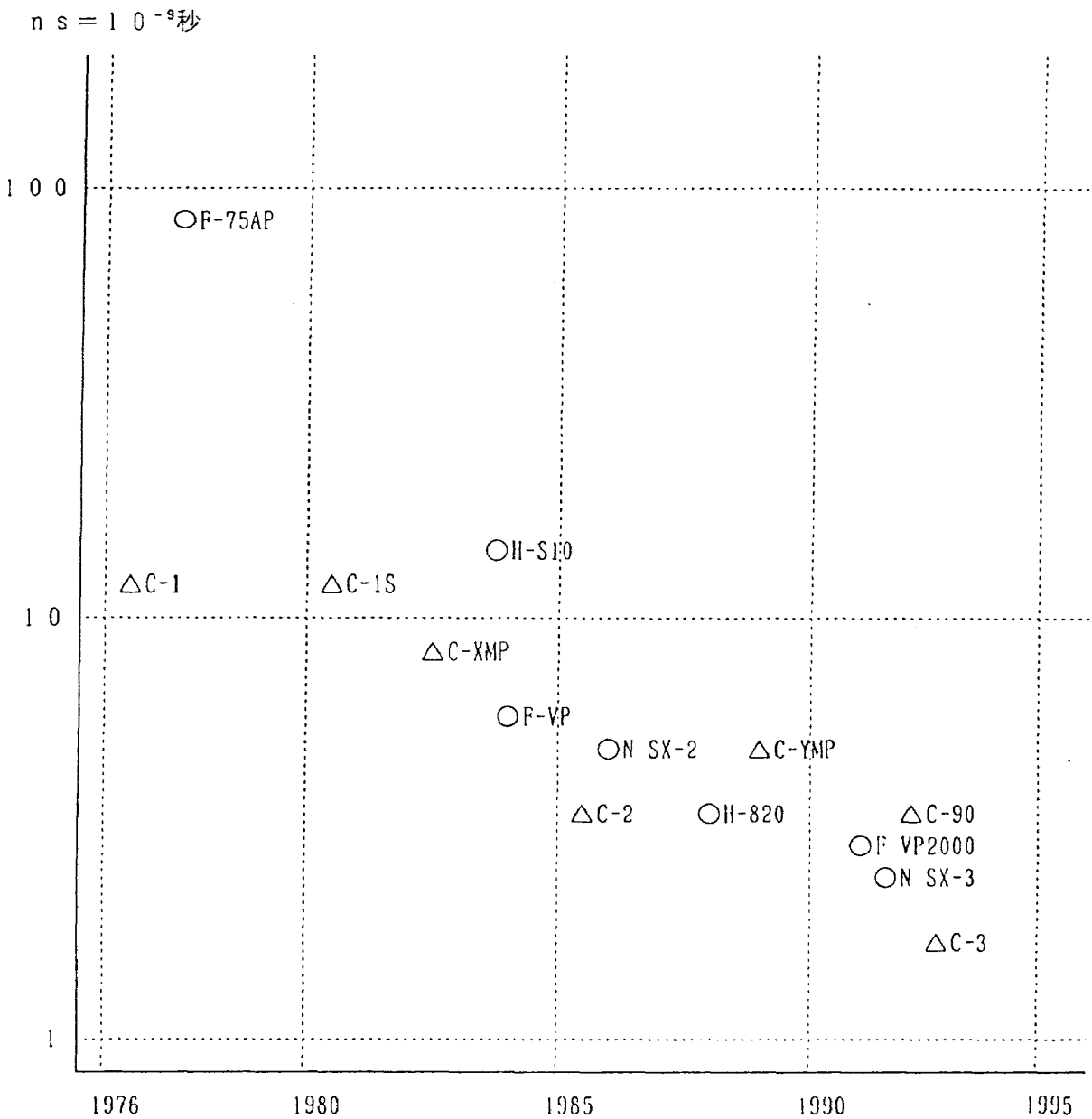
素子技術の趨勢から判断する演算速度と主記憶データ供給能力のギャップは拡大する傾向にあり、上記 i) または ii) の解決策にのみ頼っている問題は解決しないと思われる。特に我々のUHSNWTの様に一挙に処理能力を100倍以上、更に10倍以上に強化しようという場合には尚更である。

この状況を明らかにする為に簡単な評価を行ってみることにする。

ベクトル計算機の基本的速度はパイプラインピッチ時間( $\tau_p$ )で定まる。図2は近年のベクトル計算機の $\tau_p$ の推移を示したものである。年次はそのベクトル計算機の出荷一号機により示されている。

図2から、1992~3年において想定できる $\tau_p$ は最短でも2ns程度であることが予想出来る。今、 $\tau_p=2\text{ns}$ のパイプライン乗算器と加算器を160本づつをパイプラインの多重化、計算機の多重化等を適当に組合わせてUHSNWTの演算器を構成する。この場合、UHSNWTのピーク性能は160GFLOPSとなる(除算の頻度は小さいのでピーク性能に対する除算器性能の寄与は考慮しない)。160GFLOPSのピーク性能でVP400の100倍のCFDプログラム処理速度が達成できるかどうかは別として、これに対して主記憶はどの程度のデータ転送能力を持てば良いかを考えてみる。VP400の様に大容量のVRにより主記憶のデータ供給能力に対する負担を軽減し、ピーク性能に対するデータ転送能力の比率を下げたとしても640GB/秒の主記憶データ

\* NAL 計算機システムの全利用者の統計が毎月筆者に提出されている。VPシリーズには Vector unit 使用時間計測用タイマーが付いており、各利用者jobの実行中に Vector unitをどれ位使用したかがわかる。利用者統計によれば CFD利用者でその所有プログラムの平均ベクトル化率が95%以下と推定される利用者は殆どいない。大部分の利用者のCFDプログラムのベクトル化率は現在99%以上に達していると思われる。



○は国産スーパーコンピュータ  
△は米国産スーパーコンピュータ

図2 スーパーコンピュータのパイプラインピッチ時間の推移

転送能力が要求される。ピーク性能に対するデータ転送能力の比率をVP200程度とすると1.28TB/秒, CRAY-YMPとすると2.56TB/秒のデータ転送能力が要求される。1992~3年に2.56TB/秒のデータ転送能力を持ち、容量数+GBの主記憶は無理としても、640GB/秒のデータ転送能力を持つ主記憶はコストと消費電力を無視すれば可能かも知れない。しかしながら更に10倍以上の処理速度要求に対応して10倍以上のデータ転送能力要求

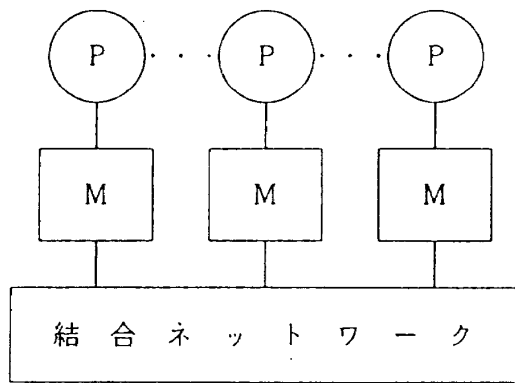
を同じ方法で1990年代末に実現しようとするとは殆ど不可能という事になる。

そこでUHSNWTの実現の為に計算機の主記憶階層構造を図3の様に変更して主記憶データ転送能力不足の問題の解決を図ることにする。

図3の型の並列計算機は Distributed Memory Parallel Computer (DMPC) 或いは Multi-Computer (MC) と言われているものである。

この並列計算機は名前の通り主記憶を各要素計





P ; 要素計算機

M ; 主記憶

図3 DMPC型並列計算機

算機に分散配置する。要素計算機に分散配置されている主記憶内にその要素計算機が計算において必要とするデータの殆どを格納することが出来ればこの節で述べた主記憶転送能力不足の問題の解決は容易になる。

DMPCの主記憶階層構造はVR  $\leftrightarrow$  要素計算機に分散配置されている主記憶(1次記憶)  $\leftrightarrow$  他の要素計算機に分散配置されている主記憶(2次記憶)となる。

今、UHSNWTのピーク性能をPP、要素計算機の台数をNとすると、1台の要素計算機の性能はPP/Nとなり、VR  $\leftrightarrow$  1次記憶に要求されるデータ転送能力は要素計算機のピーク性能PP/Nに見合ったもので良い。

1次記憶  $\leftrightarrow$  2次記憶のデータ転送能力に対する要求は、要素計算機が分担する計算に必要なデータの殆どが1次記憶に格納されている様にデータの割付が出来ればかなり軽減される。

DMPCの場合、各要素計算機に分散配置される主記憶量PEMはUHSNWTの全データ格納に必要な主記憶量をMとすると、

$$PEM = M/N + R_1 + R_2 + R_3$$

となる。R<sub>1</sub>はOS常駐部の格納に必要な主記憶量、R<sub>2</sub>はCFDプログラム手続き部の格納に必要な領域である。R<sub>1</sub>とR<sub>2</sub>に必要な主記憶量は高々数MB程度であろう。

R<sub>3</sub>については若干の注釈が必要である。DMPC

の場合、CFDプログラムの処理においては全計算領域を各要素計算機に分割して割付ける。これを要素計算機の計算分担領域と言う。今、全計算領域をCD、要素計算機をPE<sub>i</sub>, i=1...N, Nは要素計算機の台数、PE<sub>i</sub>の計算分担領域をCD<sub>i</sub>とすると

$$CD = \bigcup_{i=1}^N CD_i$$

$$CD_i \cap CD_j = \phi \quad (j \neq i \quad \phi \text{は空集合})$$

となる。各要素計算機PE<sub>i</sub>がCD<sub>i</sub>の計算を行う場合、それに必要なデータの存在する領域をDD<sub>i</sub>とすると一般的に

$$CD_i \subset DD_i$$

となる。今

$$AD_i = DD_i - CD_i$$

とするとAD<sub>i</sub>はいずれかのCD<sub>j</sub> (j  $\neq$  i) に属している。jは1つとは限らない。AD<sub>i</sub>は一般的にはCD<sub>j<sub>1</sub></sub>...CD<sub>j<sub>m</sub></sub>に属している。この場合、要素計算機PE<sub>i</sub>はPE<sub>j</sub> (j=j<sub>1</sub>...j<sub>m</sub>)と通信して必要なデータを送信してもらう必要がある。

DMPCを効率良く使用し、その性能を最高度に発揮させる為にはデータの送受信の回数と送受信されるデータ量を極力少なくすることが必要である。R<sub>3</sub>はAD<sub>i</sub>に属するデータとこれから派生したデータの格納主記憶量である。R<sub>3</sub>の大きさはCFDが使用する計算スキーム、解法およびプログラム技術にも依存するが、DMPCの性能を最高度に発揮させようとする結合ネットワークの性能を考慮したコンパイラ技術等にも依存して定まり、R<sub>3</sub>はかなり大きくなる可能性がある。R<sub>3</sub>に必要な主記憶量はM/Nの1/2~1/4程度と見積もっておく。

以下、UHSNWTは図3に示したDMPCとすることにして論を進める。

### 3.3 要素計算機の要求性能—計算機システムの運用責任者からUHSNWTへの要求—

前節においてUHSNWTはDMPC型の並列計算機と決めた。本節では並列計算機の要素計算機の要求性能について考えることにする。並列計算機を計算機の専門家ではない普通の利用者の中に普及させる為には

- (i) Fortran の並列記述に関するスタンダードを確立し、それを用いて記述された Fortran プログラムの最適化コンパイラ、或いは現在の Fortran で記述されたプログラムを並列化に関して自動最適化するコンパイラ。
- (ii) プログラムのデバッグおよびチューニング等の並列化プログラム作成支援の為のソフトウェア。

等の整備が必要である。

しかしながらプログラムの並列化よりはるかに容易なプログラムのベクトル化に関して、(i)および(ii)に挙げた様なプログラム作成環境が整備されるのに要した年月を考えれば、プログラムの並列化に関して、(i)および(ii)の完成には更に長年月かかると思われる。この問題点を解決する為、先ず並列計算機の実験機を作り、計算機工学の専門家により(i)および(ii)の整備を促進するというのも一つの考え方であるが、この方法は我々の取るところではない。我々は実用機を計算機の専門家ではない CFD の技術者および研究者の中に導入し、計算機専門家と普通の利用者の対話の中で(i)および(ii)の整備を図ると同時に、それにより、利用者間に並列計算機の高度利用に必要な知識の普及を図る方策を取る。

この方策を取る場合には UHSNWT は利用者に対して最低限度以下の事項は保証する必要がある。

- (i) VP400を用いて処理するのが適当である様な job の処理は 1 台の要素計算機で処理が行え、且つそのプログラムはソースプログラムレベルで VP400 に使用したプログラムと完全な互換性があること。
- (ii) (i) で述べた job 処理において 1 台の要素計算機は VP400 以上の性能を発揮すること。
- (iii) UHSNWT は heterogenous な並列計算機とし、構成要素計算機の中に UHSNWT のシステム管理および外部通信を分担するシステム制御用計算機を複数台含むこと。
- (iv) システム制御用計算機は計算用の要素計算機 (VR 付ベクトル計算機) のスカラユニットと同じものであること。これにより 2 つの異なった計算機の開発をする必要がなくなる。従ってそ

の性能も VP400 のスカラユニットの性能以上でなければならない。最低限この程度の性能がなければ UHSNWT の制御は出来ない。このシステム制御用計算機により UHSNWT は特別なホスト計算機を介在させることなく高速 LAN と直結される。

- (v) 空力技術開発用プログラムの並列化に関しては専門家の協力を保証すること。
- (vi) 大規模 job に関して並列プログラムの作成が必要となるが、これについては専門家の協力を保証すること。

要素計算機性能を VP400 以上に決めた事により、要素計算機として 1 チッププロセッサを採用することが出来なくなった。1 チッププロセッサの性能が VP400 レベルに達するのは 2000 年頃であるという予想がなされている<sup>6)</sup>。UHSNWT の要素計算機に 1 チッププロセッサを使用出来ればコストと消費電力の面で大いに有利であるのは明らかであるので UHSNWT に 1 チッププロセッサを活用するのは (R2) の性能を実現する UHSNWT の開発の時に期待することにしよう。

要素計算機の性能を VP400 以上に決めた事により、UHSNWT の要素計算機の台数は高々 200 台前後で十分という予想を立てることが出来る。200 前後の台数であれば UHSNWT に対して強力な結合ネットワークを構成することが可能となり、後に述べる各種の CFD 計算手法に対して適合性を持った UHSNWT を実現することが容易になった。

また UHSNWT は常に 1 つの job が全要素計算機を専有して処理を行うわけではない。要素計算機台数を分割して UHSNWT 全体としてはマルチジョブ運用も行うこともあるので (1 台の要素計算機をマルチジョブ使用するという意味ではない)、UHSNWT は必然的に MIMD 方式の並列計算機となる。

### 3.4 要素計算機の構成

#### 3.4.1 要素計算機の高速度化手法

前にも述べた様に現在のベクトル計算機は高速化の為

- (i) パイプラインの多重化  
(Fujitsu VP シリーズ, SX-2, 3 シリーズ等)
- (ii) 並列動作可能なパイプライン演算器の多数化  
(HITACHI S810/820 シリーズ, SX-3 シリーズ)
- (iii) TCMP 方式による要素計算機の多重化  
(CRAY-XMP/YMP シリーズ, SX-3/44)  
等の手法を用いている。

UHSNWT に(iii)の手法は採用しない。(iii)の手法を採用すると要素計算機は複数のベクトル計算機により構成されることになり、UHSNWT にはプロセッサの階層構造を導入することになる。プロセッサの階層構造自体を忌避する理由はないが、これを導入する為には少なくとも TCMP 型の多重計算機が Fortran ユーザから完全に透明であり、且つ性能を最高度に発揮しうる程度にコンパイラ技術が達している必要がある。我々は TCMP 型の多重ベクトル計算機のコンパイラ技術は残念ながら現在そこ迄達していないと認識している。この様な状況でプロセッサ階層構造の UHSNWT への導入は時期尚早と考える。

(ii)の手法は例えば要素計算機のパイプラインに複数台の、例えば 2 台の乗算パイプライン演算器を導入することである。この場合、プログラムによっては性能の向上は見込めるものもあるが全体としては投じた物量に対して効率は良くない。2 台程度であれば効率を向上させる為にループアンローリングの手法を使用すれば良いが、その場合、VR の容量、VR のデータ転送能力および主記憶と VR の間のデータ転送能力等は全て 2 倍程度強化する必要が生ずる。この手法の利害得失を考慮した結果、我々は UHSNWT にこの手法は採用しないことにした。

#### 3.4.1.1 大容量 VR 付多重パイプライン方式 ベクトル計算機に対する NAL の経験 からの結論

- (i) 1977年, NAL は 1972年以來富士通と共同で開発してきた我が国で初めての計算機 FACOM 230-75AP を導入した。このベクトル計算機はパイプライン演算器からも主記憶からも直接アクセス可能な 1792語のプログラマから見える局

所高速記憶を持っていた。NAL はこれを効果的に使用することにより、主記憶のデータ転送能力に対する負担を軽減できることを認識した。

- (ii) 1978年, NAL は主翼の 3次元 RANS 数値シミュレーションを 1時間程度で処理する数値シミュレータ計画を開始した。計画を推進する中で Fujitsu-VP400 は CFD プログラム処理に対しては大容量 VR を置くことにより主記憶のデータ転送能力に対する負担を軽減できるだけでなく多重パイプラインも効果的に使用できるという航技研の主張に基づいて VP200 をベースに開発された CFD 用計算機である。VP400 は CFD プログラム処理において 300~700MFLOPS の性能を発揮し、航技研の主張を裏付けた。この性能は同世代の他の最高速のスーパーコンピュータと比較しても優るとはいえ決して劣ることはない性能である。

VP400 の性能に関係するタイミングのうち主なものは

マシクロック時間 ( $\tau$ ) = 13.5ns

パイプラインピッチ時間 ( $\tau_p$ ) = 6.75ns

加算および乗算パイプラインの立ち上り時間  
=  $12\tau$

除算パイプラインの立ち上り時間 =  $36\tau$

加算および乗算パイプラインの多重度 = 4

ロード/ストアパイプラインは 1 本、データ転送能力は  $8 \times 8B/\tau$

ロード/ストアパイプラインの立ち上り時間  
(アクセスタイム) は

ロードの場合 ;  $31\tau$

ストアの場合 ;  $18\tau$

主記憶のバンクサイクル時間 ( $\tau_m$ ) は

ロードの場合 ;  $7\tau$

ストアの場合 ;  $20\tau$

である。

VP400 の様な計算機はピーク性能に対して実効性能が低い計算機であると言われる。その理由は上に述べたタイミングから明らかな様にパイプライン多重度に対してパイプラインの立ち上り時間が大きいこと、データ転送能力がピーク性能に対して相対的に小さいことおよびロード/ストアパ

イプラインは1本しかないこと等である。この様な計算機はベクトル演算

$$a = b + c \times d$$

: a, b, c, d はそれぞれベクトル

のみからなる様な DO ループの処理ではその弱点が全て露呈してしまう。しかしながら CFD プログラムにおいてはその様な DO ループの処理時間が全体の計算時間に占める割合は小さく、大量のベクトル演算を含む DO ループの処理時間の占める割合の方がはるかに大きい。この様な DO ループ処理においては大容量の VR と適切な VR アクセス制御、レジスタコンフリクトが無ければパイプライン演算器に切れ目なくベクトル処理を実行させることが出来るベクトル命令制御、高水準のコンパイラ等に支えられて VP400 のパイプライン処理は重なり合い、実効上の立ち上がり時間はカタログ値よりずっと小さくなる。

これをパイプライン乗算器を例にとり、説明をする。

図4において  $VPS_i$ ,  $VOI_i$  および  $VPE_i$  はそれぞれ

$VPS_i$  ; パイプライン乗算器が動作を開始した時刻, 即ち, 一番目のベクトル要素対がパイプライン乗算器に注入される時刻

$VOI_i$  ; 一番目のベクトル要素対に対する乗算結果がパイプライン乗算器から出力される時刻

$VPE_i$  ; ベクトル乗算が終了した時刻, 即ち, 最後のベクトル要素対に対する乗算結

果がパイプライン乗算器から出力される時刻

を示す。

パイプライン乗算器の立ち上がり時間  $VST_i$  は

$$VST_i = VOI_i - VPS_i$$

で定義される\*。パイプライン乗算器の理論的立ち上がり時間(カタログ値)を TST とし, 実効上の立ち上がり時間を  $EST_i$  とする。

図4の1はベクトル乗算1とベクトル乗算2が独立して実行される場合を示し, 図4の2はベクトル乗算が重なり合って実行される場合を示す。

図4の1において

$$\begin{aligned} EST_1 &= VST_1 = TST, \quad EST_2 \\ &= VST_2 = TST \end{aligned}$$

である。

図4の2においてベクトル乗算2のパイプライン乗算器の立ち上がり時間は

$$VST_2 = VOI_2 - VPS_2 = TST$$

であるがベクトル乗算1と2が重なり合っている為

$$EST_2 = VOI_2 - VPE_1 < TST$$

となる。2つのベクトル乗算が完全に連続すれば  $EST = 0$  となるので,  $EST_i$  に対しては全ての  $i$  に対して

$$0 \leq EST_i \leq TST$$

\* 立ち上がり時間の内容はもう少し複雑である。VP400の立ち上がり時間  $12\tau$  はこの節の定義で述べたものよりもう少し余計なものを含んでいる。ここでの定義に従えばVP400の立ち上がり時間は  $12\tau$  ではなく  $10\tau$  である。

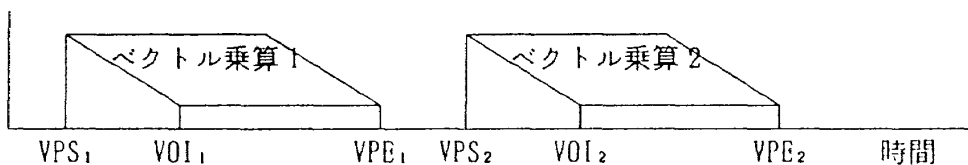


図4の1 独立したベクトル演算とパイプライン演算器立ち上がり時間

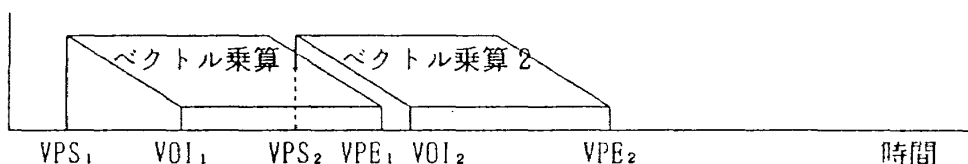


図4の2 近接したベクトル演算とパイプライン演算器立ち上がり時間

が成り立つ。

DO ループ処理におけるパイプライン演算器の平均実効立ち上り時間 AEST は

$$AEST = (\sum_{i=1}^n EST_i) / n$$

で与えられる。ここで n はその DO ループ中のベクトル乗算の総数である。

パイプライン加算器、パイプライン除算器およびロード/ストアパイプラインについても同様である。

実際の DO ループ処理における推定された AEST の値をベクトル計算機のベクトル処理のタイムチャート解析プログラム VTAP<sup>7)</sup> を使用して次節に示すことにする。

#### 3.4.1.2 VTAP シミュレーション

##### (1) VTAP の説明

VTAP はコンパイラが生成したオブジェクトプログラムを入力データとしてベクトル計算機の DO ループ処理のタイムチャートを作成し、これを解析することによりベクトル計算機の動作解析を行うプログラムである。Fujitsu-VP シリーズに対しては

- (i) ベクトル命令のフェッチからベクトル命令実行迄の命令制御の動作を正確にシミュレート出来る。
- (ii) VR アクセス制御は正確にシミュレート出来る。
- (iii) 全ての演算パイプラインの動作は正確にシミュレート出来る。
- (iv) 主記憶アクセスはロード、ストアの別、連続ベクトルアクセス、ストライド付アクセス、インダイレクトアクセスの別にそれぞれ簡単な主記憶競合モデルを作成し、シミュレートしている。
- (v) スカラ命令処理は単純化してシミュレートする。DO ループ処理におけるスカラ命令はアドレス計算等が殆どで、単純化してもシミュレーション精度に大きな影響は無い。

VTAP は VP シリーズ以外のベクトル計算機の DO ループ処理動作を解析する為

- (vi) ロード/ストアパイプラインを含むパイプ

ライン演算器の構成、性能、立ち上り時間、並列動作可能なパイプラインの種類と本数、モデル化した部分の各種パラメータ等を可変にしてある。また、VR アクセス制御および命令実行制御等の手法もある程度変更可能な様にしてある。

##### (2) VTAP シミュレーションの為の DO ループの選択

計算機の性能評価を行う為には代表的なワークロードを選択することは現在でも最も困難な仕事の一つである。ワークロード選択の基準は個々の立場と視点毎に存在する。

我々は UHSNWT の処理対象が CFD であること。予想される利用者の大部分は NAL, 日本の航空宇宙産業界および大学の技術者と研究者であろうということ。この 2 つを前提にして、CFD プログラムを調査し、1000 個弱の DO ループを取り出した。その中から

- (i) ベクトル算術演算命令数の大小
  - (ii) ベクトル算術演算命令中の加減算命令数と乗算命令数の比率のバランス
  - (iii) ベクトル算術演算とロード/ストア演算の比率
  - (iv) ロード/ストア演算の中にストライド付アクセスおよびインダイレクトアクセスが含まれているか否か
  - (v) VP400 の処理速度の大小
- 等を目安に 18 個の DO ループを取り出した。

CFD プログラムの処理において処理時間に関する比重が高いこと等のみを DO ループ選択の目安にしなかったのは、種々の特性の DO ループの処理における計算機の性能を明らかにすることが目的である為である。また、各種の CFD に使用される計算法毎に DO ループを選ばなかったが、それは現在のコンパイラ技術、特に大容量の VR を持つベクトル計算機のコンパイラはインストラクションオーダの最適化により計算式は要素演算にばらばらに分解され、式そのものの計算順序に余り意味がなくなってしまうという理由による。

##### 3.4.1.3 VTAP シミュレーション結果

表 1 に VTAP シミュレーション結果を示す。表中  $\alpha$  (VTAP MFLOPS 値) は VTAP による性能

表1 VTAP による VP400ベクトル長128の DO ループ処理速度の推定と解析結果  
 $\tau=13.5\text{ns}$

ループ NO	$\alpha$ { VTAP MFLOPS値 }	$\beta$ { 実測 MFLOPS値 }	$\beta/\alpha$	V 命令数					実効立ち上り時間 ( $\tau$ )			
				L	S	A	M	D	L/S	A	M	D
1	256	254	99.2	107	80	31	82	2	2.92	11.61	6.68	18.00
2	815	700	85.9	21	50	176	170	4	6.06	2.91	1.69	15.00
3	961	870	90.5	110	59	300	340	5	12.49	1.41	1.38	36.00
4	686	654	95.4	28	39	140	169	8	9.94	3.85	2.36	24.50
5	777	720	92.6	70	15	113	117	6	7.35	4.41	2.82	11.33
6	467	414	88.7	26	18	143	147	1	14.14	5.34	3.56	36.00
7	388	402	103.6	6	7	4	17	1	7.15	12.00	1.41	36.00
8	785	870	110.8	22	4	35	33	0	9.88	2.29	2.67	—
9	305	341	111.8	7	4	6	9	1	7.65	11.33	8.00	36.00
10	309	354	114.7	22	2	14	20	2	4.29	10.29	7.60	36.00
11	433	420	97.1	42	2	36	54	2	5.30	9.11	5.11	22.00
12	259	256	98.7	30	10	20	10	0	3.72	9.00	12.00	—
13	458	498	108.7	25	5	20	15	0	3.47	6.00	9.60	—
14	583	605	103.7	31	5	25	27	0	3.22	5.92	5.04	—
15	254	237	93.3	13	5	9	4	0	4.44	9.33	12.00	—
16	408	417	103.5	32	6	24	42	0	3.58	10.00	5.14	—
17	596	560	93.9	34	45	202	202	7	11.72	4.41	3.32	20.00
18	701	705	100.5	67	8	200	162	7	9.03	3.20	3.58	21.14

推定値,  $\beta$  (実測 MFLOPS 値) は実際に VP400 により DO ループ処理をベクトル長 128 で実行させた場合の実測 MFLOPS 値。 $\beta/\alpha$  は VTAP シミュレーション精度, V 命令数の項の L, S, A, M, D はそれぞれ DO ループに含まれるロード命令数, ストア命令数, 加減算命令数, 乗算命令数, 除算命令数を示す。実効立ち上り時間の項はロード/ストアパイプライン, 加算パイプライン, 乗算パイプライン, 除算パイプラインの DO ループ実行中のそれぞれのパイプライン実効立ち上り時間の平均値 (AEST) をクロック時間でしめたものである。

表 2 は同じ DO ループをベクトル長 32 で実行させた場合に対する VTAP シミュレーション結果を示したものである。

表 1 と表 2 から

- (i) ロード/ストアパイプラインの AEST の値はベクトル長 128 の場合, 理論的立ち上り時間の値より大幅に小さい。ベクトル長 32 の場合はベクトル長 128 の場合に比較して AEST の値は大きい, それでも AEST の値は理論的立ち上り時間の値よりもかなり小さく, DO ループ 3, 6 および 11 を除けば 10 程度以下である。表 1 には各 DO ループのロード命令およびストア命令の

表 2 VTAP による VP400のベクトル長32の DO ループ処理速度の推定と解析結果

 $\tau=13.5\text{ns}$ 

ループ NO	VTAP $\alpha$ MFLOPS値	実効立ち上り時間 ( $\tau$ )			
		L/S	A	M	D
1	114	5.12	12.00	8.29	18.00
2	325	5.94	6.17	5.09	16.00
3	314	15.72	9.81	8.69	36.00
4	278	10.76	7.85	6.23	26.00
5	321	9.76	7.42	6.30	23.33
6	185	18.17	8.53	7.74	36.00
7	155	6.85	12.00	4.71	36.00
8	312	11.35	6.29	6.91	—
9	111	11.64	12.00	10.22	36.00
10	103	12.88	12.00	10.00	36.00
11	159	14.68	11.33	7.78	36.00
12	95	6.65	10.40	12.00	—
13	164	7.63	9.00	9.07	—
14	212	7.89	9.60	9.78	—
15	97	6.72	11.11	12.00	—
16	180	9.55	10.33	7.33	—
17	236	11.81	7.47	7.28	18.29
18	297	12.48	7.04	6.70	16.57

数が掲載されている。それを使用して DO ループ 3, 6 および 11 におけるロード/ストアパイプラインの理論的立ち上り時間の重み付平均値をとると、それぞれ 26.5, 25.7 および 30.4 となる。これらの値と表 2 の DO ループ 3, 6 および 11 の AEST の値を比較するとこれらの DO ループで

もやはり AEST の値は理論的立ち上り時間の値よりもかなり小さいことがわかる。

VP400 の様に大容量の VR を持つベクトル計算機ではコンパイラの最適化技術より、計算に必要なベクトルは DO ループ処理の最初に連続的に VR にロードしてしまい、ベクトル演算に

より生じたテンポラリベクトルは殆ど VR に残る。VR と主記憶の間にベクトルのロードとストアが発生するのは VR 容量の不足する場合と DO ループの計算結果のストアに限られるので、それが表 1 と表 2 の様な結果となって現れる。

(ii) 加算および乗算パイプラインの AEST の値もロード/ストアパイプライン程ではないが、理論的立ち上がり時間の値より小さいものが殆どである。特にベクトル長 128 の場合は、AEST の値は理論的立ち上がり時間の値よりかなり小さいものが多い。DO ループ中のベクトル加減算とベクトル乗算の命令数にバランスを欠く場合、命令数の多い方のパイプラインの AEST の値は常に理論的立ち上がり時間よりかなり小さくなり、命令数の少ない方のパイプラインの AEST の値は理論的立ち上がり時間に近づく傾向がある。こうした傾向が生ずるのはベクトル命令の発信時にそのベクトル演算に必要なベクトルデータが殆どの場合 VR に存在していることによるものである。

(iii) 除算パイプラインの AEST の値はその殆どがパイプラインの理論的立ち上がり時間に等しい。これはベクトル除算の頻度が他のベクトル命令に比較して常に小さく、除算パイプラインが図 4 の 1 の様に動作する事に原因がある。

(i), (iii) より、大容量の VR を持つ多重パイプラインベクトル計算機に関する主張はほぼ裏付けられたと考える。即ち、

(iv) CFD プログラムの処理時間の大部分を占める大量のベクトル演算を含む DO ループの処理において、多重パイプラインの効率低下およびロード/ストアパイプラインが 1 本しかないことによる処理能力の低下は大容量の VR の存在により防止出来る。

### 3.4.2 要素計算機モデルの決定と実現可能性

本節では先ず UHSNWT の要素計算機の候補として幾つかのモデルを選ぶ。各要素計算機モデルの CFD プログラム処理速度は前節で使用した 18 個の DO ループの VTAP シミュレーションの算出処理速度により推定する。この実験と論理素子の最近の開発状況とコスト等により要素計算機の構

成、性能および使用素子を定める。

#### 3.4.2.1 要素計算機モデルの設定

(1) 全ての要素計算機モデルに対して加算と乗算パイプラインの立ち上がり時間は  $10\tau$ 、除算パイプライン立ち上がり時間は  $26\tau$  とする。ベクトル演算パイプラインは加減算、乗算および除算のうち 2 本を並列動作可能とする。ロード/ストアパイプラインは常に並列動作可能とする。

(2) パイプラインの多重度 (PM) は 1, 2, 4, 8, 16 の 5 種類とする。パイプライン多重度が  $m$  であれば加算および乗算パイプラインの場合、 $1\tau$  毎に  $m$  個の結果が求まる。但し、除算パイプラインの場合は  $1\tau$  毎に  $m/7$  個の結果が求まる。これは VP400 の除算の性能をそのまま引き継いだものになっている。ロード/ストアパイプラインの場合、 $1\tau$  毎に  $m$  個の 8B データを転送出来る。

(3) ロード/ストアパイプラインの本数は  $L/S \times 1$ ,  $L/S \times 2$ ,  $L \times 2 + S \times 1$  の 3 種類とする。 $L/S \times 2$  はロードとストア兼用のパイプラインが 2 本あることを意味する。他も同様である。従って  $PM = 8$  且つ  $L \times 2 + S \times 1$  の場合は  $1\tau$  毎に 16 個の 8B データのロード転送と 8 個のデータのストア転送が可能となる。

(4) VR 個数, 16 個と 128 個の 2 種類。

(5) ロード/ストアパイプラインの立ち上がり時間は表 3 に示す様に 2 通りである。

要素計算機モデルは(1)~(5)を適当に組合わせて設定する。シミュレーションにおいてベクトルレジスタのアクセス制御および命令フェッチから実行迄の制御方式は VP400 と同じとする。またスカラ演算および主記憶のアクセスコンフリクトモデルも VP400 の VTAP シミュレーションで用いたものと同じものを使用する。主記憶アクセス競合モデルも VP400 の場合に使用したものと同じものを用いる。VTAP シミュレーションの精度は VP400 については前節で明らかにしてあるので、この様にモデルを設定することによりモデル要素計算機のシミュレーションに関する VTAP の精度を保証することがかなりな程度可能となる。

VTAP の入力データは VP シリーズコンパイラの作り出すオブジェクトコードである。VP シリ



表3 ロード/ストアパイプラインの  
立ち上り時間

アクセスの種類 \ ケース	A 単位 $\tau$	B 単位 $\tau$
連続ベクトルおよびストライド付ベクトルロード	2 0	3 0
インダイレクトベクトルロード	2 5	3 5
連続ベクトルおよびストライド付ベクトルストア	1 0	1 5
インダイレクトベクトルストア	1 5	2 0

ーズ Fortran コンパイラを使用して異なるパイプライン構成, 異なった VR 個数に対する最適化コードが作れるかという問題に対しては

- (i) VPシリーズの Fortran コンパイラは現在かなりな水準に達している。
  - (ii) VR 個数の問題については, VPシリーズ Fortran コンパイラでは DO ループの前にディレクティブを挿入することにより VR の個数が指定出来る様になっており, この指定に従って定められた VR 個数に応じた最適化コードを作り出すので問題がない。
  - (iii) ロード/ストアパイプの本数も  $L/S \times 1$  の場合は VP400用の Fortran コンパイラを使用し,  $L/S \times 2$  の場合は VP200用のコンパイラを使用した。従ってそれぞれの場合に対して最適化オブジェクトコードを入手出来るので問題がない。ロード/ストアパイプの構成が  $L \times 2 + S \times 1$  の場合は若干の問題が残る様に見えるが, ベクトル演算数の多い DO ループの場合はロードとストアが時間的に切り離されることおよび最適化コードの場合, ロード, スタア演算はベクトル算術演算と重なり合ってしまうことにより  $L/S \times 2$  の場合のオブジェクトコードを使用しているも殆ど問題が無い。但し, 演算数が少ない場合には推定性能が多少低めに推定される恐れがあることに注意しておく必要がある。
- ここで, 要素計算機モデルの設定において命令

フェッチから命令実行迄の各フェーズにおける制御の手法と主記憶競合モデルに VP400のものを採用したのは問題がある様に見える。その理由はもし UHSNWT の要素計算機の制御手法と主記憶性能が VP400のそれより改善された場合, VP400のものをシミュレーションに使用すれば要素計算機モデルの性能推定値が低くなるのではないかということにある。

しかしながら性能推定が低めに出ることは, このシミュレーション目的に関しては安全側で評価することになるので大きな問題にはならないと考える。

#### 3.4.2.2 VTAP シミュレーションの結果とその分析

3.4.2.1 に示した種々の要素計算機モデルに対する VTAP の結果を表 4 (その 1) と (その 2) に示す。(その 1) は DO ループのベクトル長が 128 の場合である。(その 2) は DO ループのベクトル長が 32 の場合である。表中実験番号は VTAP シミュレーションの番号であり, (その 1) と (その 2) で合計 18 迄ある。また, 表中 NO1~NO18 は VTAP シミュレーションに用いた DO ループの番号である。使用した DO ループは表 1 および表 2 と同じものである。DO ループの主要な特性は表 1 に掲載されている。また, 表中のマシクロック時間  $\tau$  は MFLOPS 値を算出する為に適当に設定したものである。 $\tau$  を  $1/R$  に短縮すれば, 表中の MFLOP 値は R 倍される。

要素計算機モデルの決定の為の VTAP シミュレーションに CFD プログラム処理時間中に占める比重の高い DO ループのみを使用しなかったのは以下の理由による。

UHSNWT の要素計算機は CFD プログラムの処理速度に関して VP400 以上の処理速度を持つことという仕様を十分高い確度で保証する為にはこれ迄の航技研の CFD プログラムに含まれていた種々の特性の DO ループに対して要素計算機の処理速度が VP400 の処理速度を上廻ることが必要だからである。

以下, 要素計算機の処理速度強化策の効果の有無に関して DO ループの選択が片寄った特性を持

表4 PEモデルのVTAPによる性能推定(その1)

VL=128												
実験番号	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	$\alpha$ (VP400 VTAP) $\beta$ (VP400 実測)
PM	1	2	4	8	16	8	8	8	8	8		
$\tau$ (ns)	4	4	4	10	20	10	10	10	10	10		
$\frac{1}{2}$ パイプ数	$\frac{1}{2} \times 1$	$\frac{1}{2} \times 1$	$\frac{1}{2} \times 1$	$\frac{1}{2} \times 1$	$\frac{1}{2} \times 1$	$\frac{1}{2} \times 2$	$L \times 2 + S \times 1$	$\frac{1}{2} \times 1$	$\frac{1}{2} \times 2$	$L \times 2 + S \times 1$		
$\frac{1}{2}$ パイプ立上り時間	B	B	B	B	B	A	A	A	B	B		
VR (個数)	128	128	128	128	128	16	16	16	128	128		
NO 1	144	275	506	349	271	175	200	169	628	639	256	254
NO 2	369	733	1449	1112	800	555	594	532	1093	1093	815	700
NO 3	432	860	1702	1321	855	387	400	423	1302	1312	961	870
NO 4	326	646	1263	951	670	548	584	442	952	957	686	654
NO 5	373	734	1426	1067	725	437	473	567	1184	1183	777	720
NO 6	242	475	915	654	461	552	577	466	668	670	467	414
NO 7	237	449	815	550	371	564	562	564	550	548	388	402
NO 8	419	802	1520	1099	761	494	585	687	1151	1148	785	870
NO 9	198	373	670	445	305	524	521	462	445	455	305	341
NO10	203	387	704	472	322	589	599	481	508	535	309	354
NO11	229	448	857	604	442	759	758	607	703	717	433	420
NO12	175	329	587	386	277	579	643	387	516	580	259	256
NO13	276	523	949	640	479	837	834	645	765	762	458	498
NO14	343	659	1192	812	594	584	644	817	892	890	583	605
NO15	168	314	556	362	257	549	592	366	460	489	254	237
NO16	212	413	787	566	431	831	836	563	776	777	408	417
NO17	296	582	1129	827	595	531	569	480	837	836	596	560
NO18	340	674	1313	970	708	391	411	460	992	922	701	705

単位: MFLOPS

ったものに集中していないことを先ず第1に確認する。次いで、VTAPシミュレーションの結果を用いて要求計算機モデルの決定を行うことにする。

(1) 先ずパイプライン多重度PMの各DOループの処理速度に及ぼす効果に関してDOループの選択が片寄っていないことを確認する。

今、DOループの番号を*i*、ベクトル長を*ℓ*とする。その時

$$D(i) \cdot EPM_{m_1/m_2}(\ell)$$

$$= S_1/S_2; i = 1, 2, \dots, 18$$

$S_1$ ; PM= $m_1$ の要素計算機のDOループ番号*i*のDOループの処理速度(MFLOPS値)

表4 PEモデルのVTAPによる性能推定(その2)

VL = 32							
L/Sパイプライン立上り時間							
実験番号	S12	S13	S14	S15	S16	S17	S18
PM	1	2	4	4	8	16	$\alpha \left\{ \begin{array}{l} \text{VP400} \\ \text{VTAP} \end{array} \right\}$
$\tau$ (ns)	4	4	4	10	10	20	
$\frac{1}{2}$ パイプ数	$\frac{1}{2} \times 1$	$\frac{1}{2} \times 1$	$\frac{1}{2} \times 1$	$\frac{1}{2} \times 1$	$\frac{1}{2} \times 1$	$\frac{1}{2} \times 1$	
$\frac{1}{2}$ パイプ立上り時間	B	B	B	B	B	B	
VR (個数)	128	128	128	128	128	128	
NO1	125	215	337	135	170	102	114
NO2	316	586	982	393	456	248	325
NO3	425	826	1068	427	443	224	314
NO4	284	532	871	348	403	215	278
NO5	324	610	1035	414	468	246	321
NO6	214	388	568	227	267	144	185
NO7	180	314	479	189	232	128	155
NO8	357	638	1015	406	450	231	312
NO9	168	278	381	152	173	91	111
NO10	176	295	402	161	180	94	103
NO11	214	378	552	221	248	127	159
NO12	147	241	347	139	169	90	95
NO13	237	400	598	239	255	134	164
NO14	298	507	743	297	325	168	212
NO15	139	226	321	128	153	83	97
NO16	197	357	571	228	278	146	180
NO17	257	471	724	290	338	185	236
NO18	311	584	938	375	431	226	297

単位: MFLOPS

$S_2$ ;  $PM=m_2$  の要素計算機の DO ループ番号  $i$  の DO ループの処理速度 (MFLOPS 値)

とする。一般性を失うことなく  $m_1 > m_2$  とする。

$D(i) \cdot EPM_{m_1/m_2}(\ell)$  がどの様に分布すれば DO ループの選択は片寄っていないと結論出来るであろうか?

$D(i) \cdot EPM_{m_1/m_2}(128)$  の上限値は  $m_1/m_2$  と考えて良いであろう。

$D(i) \cdot EPM_{m_1/m_2}(32)$  の上限値はベクトル長 128 の場合より小さくなる筈である。

下限値としては図 4 の 1 に示した様にパイプライン処理が独立して実行されたと仮定した場合の  $PM=m_1$  のパイプラインの処理速度  $PM=m_2$  のパイプラインの処理速度に対する倍率  $EPM_{m_1/m_2}(\ell)$  を考えれば良い。

パイプラインにはロード、ストア、加算、乗算、および除算パイプラインが有るが、このうち除算パイプラインはベクトル除算命令の頻度が相対的にかなり小さいということを考えれば除外としても良い。また、3.4.2 の VTAP シミュレーションにより、VP400 の場合、ロード/ストアパイプラインの AEST の値は理論的立ち上り時間に比較して大幅に小さくなり、高々加算パイプラインの理論的立ち上り時間程度であったことから、UHSNWT の要素計算機モデルのうち VR 個数が多いものに対してもこれと同様な事実が成立すると仮定して、 $D(i) \cdot EPM_{m_1/m_2}(\ell)$  の大凡の下限値として加算パイプラインに対する  $EPM_{m_1/m_2}(\ell)$  を採用しても良いと思われる。

要素計算機モデルに対して加算パイプラインの理論的立ち上り時間は  $10\tau$  であったから、 $PM=m$  の場合、ベクトル長  $\ell$  のベクトル加算の処理時間  $T_v$  は

$$T_v = (10 + \ell/m) \tau$$

となる。これによりベクトル長 128 および 32 の場合の  $T_v$  の計算を  $PM=4$  と  $PM=1$  について計算すれば、

$$EPM_{4/1}(128) = 3.29$$

$$EPM_{4/1}(32) = 2.33$$

となる。

表 4 (その 1) の実験番号 S1 および S3, 表 4

(その 2) の実験番号 S12 と S14 はパイプライン多重度を除いて他は全く同じ条件の要素計算機モデルの DO ループ処理速度を MFLOPS 値で示したものである。S3 に示されている MFLOPS 値を S1 に示されている MFLOPS 値で除すれば  $D(i) \cdot EMP_{4/1}(128)$  の値が求まる。同様にして S12 と S14 に示されている MFLOPS 値から  $D(i) \cdot EMP_{4/1}(32)$  の値が求まる。表 5 にこれを示す。

表 5 から  $D(i) \cdot EMP_{4/1}(128)$  は 3.31 と 3.94 の

表 5 DO ループ処理速度に対するパイプライン多重度の効果

DO ループ番号	$D(i) \cdot EMP_{4/1}(128)$	$D(i) \cdot EMP_{4/1}(32)$
1	3.51	2.70
2	3.93	3.11
3	3.94	2.51
4	3.87	3.07
5	3.82	3.19
6	3.78	2.65
7	3.44	2.66
8	3.63	2.84
9	3.38	2.27
10	3.47	2.28
11	3.74	2.58
12	3.35	2.36
13	3.44	2.52
14	3.48	2.49
15	3.31	2.31
16	3.71	2.90
17	3.81	2.82
18	3.86	3.02

間の適度に分布している。また、 $D(i) \cdot EMP4/1$  (32) は 2.27 と 3.19 の間に適度に分布している。ベクトル長が 32 の場合、 $D(i) \cdot EMP4/1$  (32) の上限値はベクトル長 128 の場合より 20% 位小さいが分布の区間幅は逆に 50% 近く大きくなっている。 $D(i) \cdot EMP4/1(\ell)$  の分布の検討から DO ループの選択はパイプライン多重度効果に関して片寄っていないと結論出来る。

(2) 次に主記憶性能の強化、我々の要素計算機モデルではロード/ストアパイプラインの性能強化の効果に関して DO ループの選択が片寄っていないことを確認する。

演算器の性能を固定して主記憶の性能を 2 倍或いは 3 倍と強化した場合、DO ループの処理速度が向上する確率が高いが、2 倍或いは 3 倍に処理速度が向上する様な結果が生ずる確率は少なくとも CFD プログラムに関しては余りないと考えられる。これは特に VR 個数の多い要素計算機モデルの場合に言えることである。

VR の個数が多い場合の主記憶性能強化の及ぼす効果については実験番号 S4 と S10 の比較により、VR 個数の少ない場合について実験番号 S7 と S8 の比較によりそれぞれ調べることが出来る。これを表 6 に示す。表中  $EM_1$  は S10 に示される各 DO ループの処理速度 (MFLOPS) を S4 に示される DO ループの処理速度 (MFLOPS 値) で除したものであり、 $EM_2$  は S7 に示される各 DO ループの処理速度を S8 に示される処理速度で除したものである。

$EM_1$  の値から、VR の個数が多い場合、我々の DO ループは主記憶性能の強化の効果が殆ど無いもの (15% 以下)、効果が有るもの (15% ~ 50% 程度) およびかなり効果のあるもの (50% 以上) を含んでいることがわかる。

VR 個数が 16 と少ない場合には主記憶性能の強化は全ての DO ループの処理速度の向上に対してかなりな効果が有ることが予想される。予想通り  $EM_2$  の値から大部分の DO ループにおいて 20% ~ 50% 程度の処理速度の向上が認められる。

しかしながら選択された DO ループの中には殆ど主記憶性能強化の効果が認められないものが 2

表 6 主記憶性能強化の DO ループ処理速度の及ぼす効果

DO ループ番号	$EM_1$	$EM_2$
1	1.59	1.95
2	1.00	1.27
3	1.01	1.30
4	1.01	1.26
5	1.08	1.25
6	1.02	1.24
7	0.996	0.996
8	1.08	1.34
9	1.12	1.13
10	1.18	1.20
11	1.20	1.23
12	1.59	1.65
13	1.37	1.42
14	1.29	1.31
15	1.50	1.57
16	1.37	1.48
17	1.03	1.25
18	1.03	1.24

つ、60% ~ 100% 処理速度向上効果が認められるものが 2 つ有り、選択された個々の DO ループの特性は種々様々であることがわかる。

以上の結果、DO ループの選択は主記憶性能強化の効果に関しても片寄っていないと結論しても良い。

(3) DO ループの選択に関するこれ迄の検討により UHSNWT の要素計算機の処理速度に関する基準として“選択された 18 個の DO ループ全てに

対してVP400の処理速度を上廻ること”を採用しても良いと思われる。

表4から、L/S×1, case B, VR=128の場合、ベクトル長32および128において全てのDOループに対して、要素計算機の処理速度がVP400の処理速度を上廻る為には、安全率を10%取ることにすれば、そのマシンクロック時間( $\tau$ )は

PM=1の場合  $\tau = 1.6\text{ns}$

PM=2の場合  $\tau = 3.1\text{ns}$

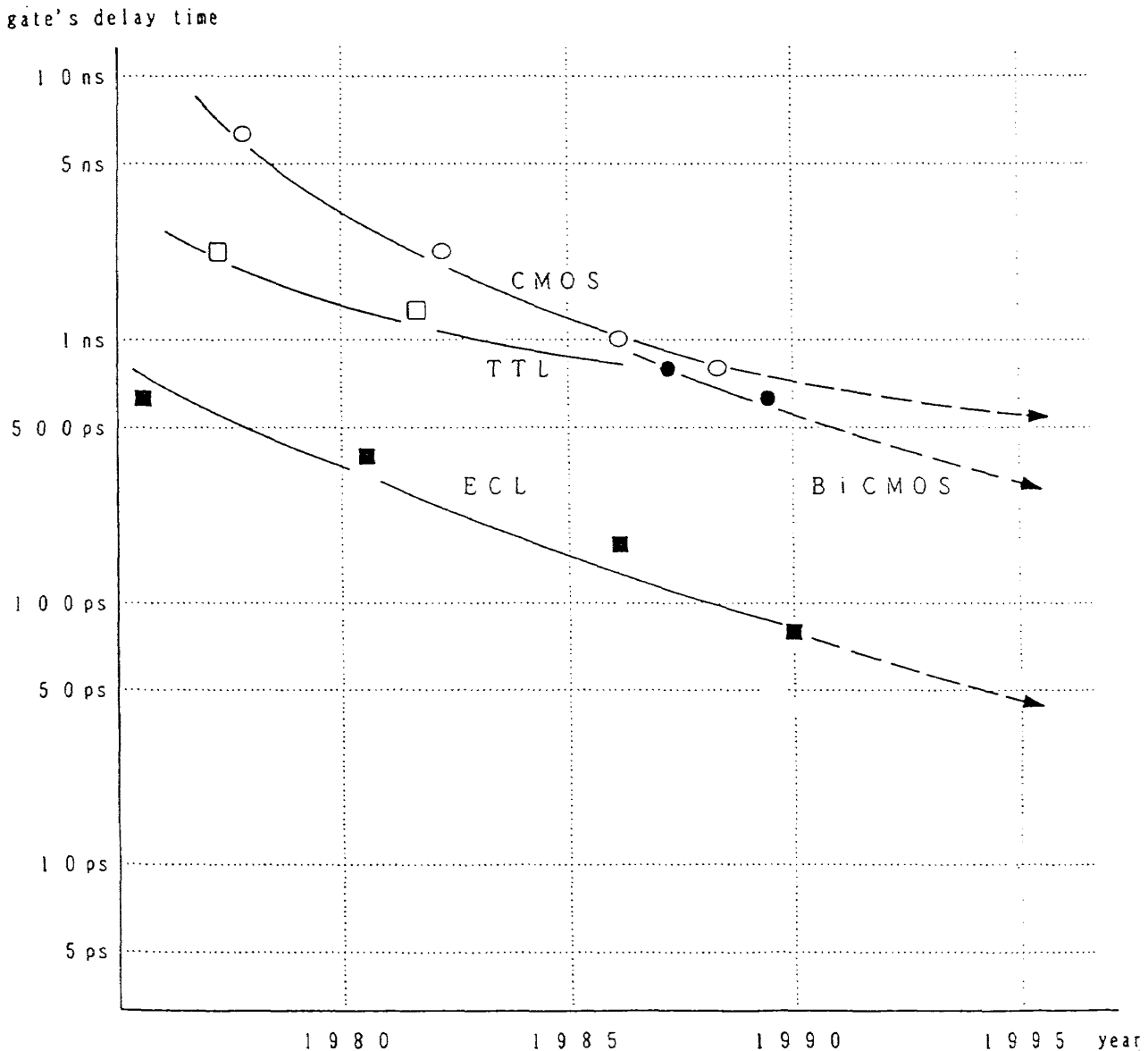
PM=4の場合  $\tau = 6.3\text{ns}$

PM=8の場合  $\tau = 12.6\text{ns}$

PM=16の場合  $\tau = 12.9\text{ns}$

以下である必要があるとの結論が出せる。

また表4からVRの個数が16の場合、ロード/ストアパイプラインと主記憶を強化しても、PMが8以下のどの要素計算機モデルに対しても全てDOループに対してVP400以上の処理速度を期待することは出来ないことがわかる。またVRの個数が128の場合、主記憶系とロード/ストアパイプラインの強化による利得は全体としては少ないことがわかる。主記憶の強化は短いベクトル、演算数の少ないDOループ、ベクトル化率の低いプログラムに対しても或る程度の性能を計算機に発揮させる最も有効な手段であるが、我々のUHSNWTはその様なプログラムの処理を主要な対象としていないので主記憶系の強化にかかるコストを考慮



富士通提供

図5 論理素子の速度の向上

してこの要素計算機モデルは採用しないことにする。

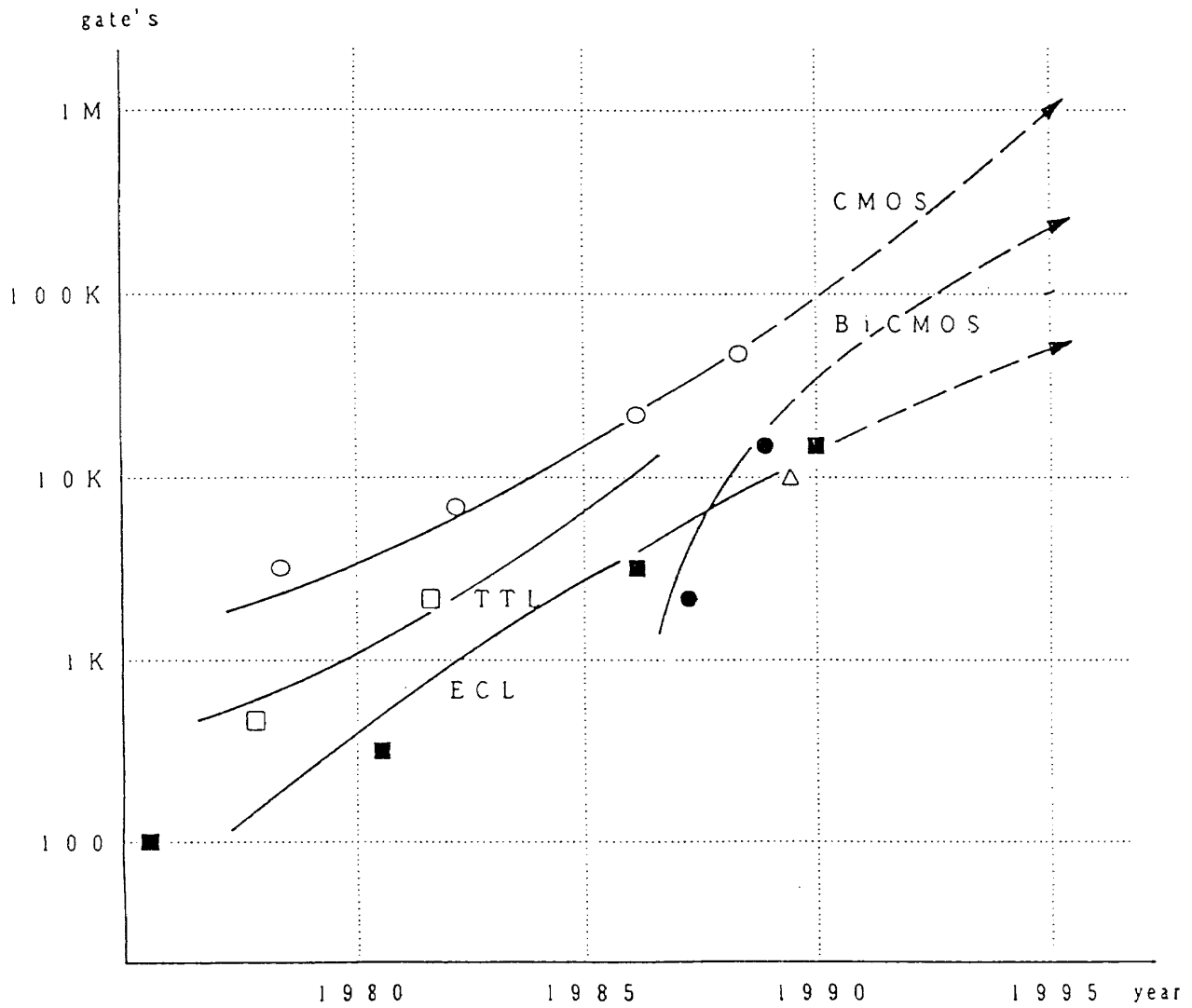
3.4.2.3 要素計算機に使用する素子の選択

図5<sup>8)</sup> および図6<sup>9)</sup> に最近の論理素子の速度と密度の発展情況を示す。この図から、ここ2~3年の間に

- (i) 密度 30000ゲート/chip  
消費電力 40w/chip  
delay 50psのECLゲートアレイ
- (ii) 密度 100000ゲート/chip  
消費電力 20w/chip  
delay 350psのBiCMOSゲートアレイ
- (iii) 密度 200000ゲート/chip  
消費電力 1  
delay 600psのCMOSゲートアレイ

の使用は想定できると考えられる。ゲート当たりの消費電力はECLゲートアレイの場合1.3mW, BiCMOSゲートアレイの場合0.2mW, CMOSゲートアレイの場合0.05mWとなる。

CMOS論理素子が消費電力の面でも密度の面でも有利であるのは疑問の余地が無いが, CMOSゲートアレイを使用した場合, 液体窒素冷却でも考えない限り, 要素計算機のマシクロック時間は $\tau=20\text{ns}$  近辺が妥当なところである。しかしながら, 前小節で示した様に $\tau=20\text{ns}$ では $PM=16$ としても要素計算機の性能は性能基準を満たさなかった。また, VP400のスカラユニットのマシクロック時間は $\tau=13.5$ であるのでCMOSゲートアレイを使用した場合, スカラ性能は明らかにVP400より劣る。これでは3.3で要求されているシステム制



富士通提供

図6 論理素子の密度の発展

御用計算機の性能要求を満足させられない。以上2つの理由によりCMOSゲートアレイの採用は見送ることにする。

(ii)のBiCMOSゲートアレイを使用すれば要素計算機のマシクロック時間は $\tau=8\text{ns}\sim 12\text{ns}$ 程度、恐らく $\tau=10\text{ns}$ の要素計算機の実現可能性は高い。従って、BiCMOSゲートアレイを要素計算機に使用する場合は $PM=8$ となる。(i)のECLゲートアレイを使用する場合、 $\tau=1.6\text{ns}$ の要素計算機を作るのは難しい。従って $PM=2$ 、 $\tau=3\text{ns}$ 程度の要素計算機となるが、この要素計算機の実現可能性は高い。

素子としてECLゲートアレイとBiCMOSゲートアレイのどちらを選択すべきかという問題が残る。ここで、ロード/ストアパイプラインおよび算術/論理演算パイプライン1多重当たりのゲート総数と128KBのVRおよび64KBのキャッシュメモリを含む要素計算機の他の部分(主記憶系と結合ネットワーク系を除く)の総ゲート数の比\*は1:10程度であると考え、要素計算機にECLゲートアレイを使用した場合、 $PM=2$ であるから総ゲート数は12、要素計算機にBiCMOSゲートアレイを使用した場合、 $PM=8$ であるから総ゲート数は18である。BiCMOSゲートアレイのゲート数をECLゲートアレイのゲート数に換算する為に2倍するとBiCMOSゲートアレイを要素計算機に使用した時の総ゲート数は36となる。

ECLゲートアレイのゲート当たり消費電力およびBiCMOSゲートアレイのゲート当たり消費電力から計算すると、要素計算機の使用素子としてECLゲートアレイを使用した場合とBiCMOSゲートアレイを使用した場合のECL;BiCMOSの消費電力比は16:7.2となり、消費電力の面からはBiCMOSゲートアレイを要素計算機に使用する方が明らかに得ということになる。これはかなり大雑把な消費電力の見積もりであるが、これ位の見積もりで有意の差が無ければ両素子は消費電力に

関して同等と考えた方が良い。

コスト面では、ここで考えているECLゲートアレイは大型計算機の上位機種と商用スーパーコンピュータの使用素子である。一方、BiCMOSゲートアレイは大型計算機の下位機種および中小型機の使用素子である。ECLゲートアレイのゲート当たりのコストとBiCMOSゲートアレイのゲート数をECL換算して計算した場合のゲート当たりのコストは明らかに量産されるBiCMOSゲートアレイの方が有利と思われる。また信頼性の点ではBiCMOSゲートアレイを使用した方がチップ数が少ない分だけECLゲートアレイより有利であると考えられる。信頼性および消費電力の点はともかくコストの問題は市場の問題であるので不透明な所も有るが以上の議論に大きな誤りはないと考え、要素計算機の使用素子はBiCMOSゲートアレイと定める。 $\tau=10\text{ns}$ とするとVP400のスカラユニットのマシクロック時間は $\tau=13.5\text{ns}$ であるのでUHSNWTのスカラ性能はVP400のスカラ性能より高くなる。

### 3.5 主記憶の構成

#### 3.5.1 目標主記憶容量の実現

図7に最近のメモリ素子の進歩の状況を示す<sup>10)</sup>。主記憶素子の進歩は真に順調であり、予測通りに進んでいる。現在1MビットSRAM素子と4MビットDRAM素子が量産に入りつつあり、今後数年のうちには4MビットSRAM素子と16MビットDRAM素子が量産に入るであろう。

一方、最近発売が開始された国産スーパーコンピュータFACOM VP2000シリーズおよびNECSX-3シリーズは共に最大主記憶量が2GBであるが、これらにはそれぞれ20000個の1MビットSRAM素子および80000個の256KビットSRAM素子が使用されている。

3.2の検討においてDMPCの要素計算機の主記憶量PEMはMをCFDデータ格納に必要な主記憶量、Nを要素計算機の台数とした時

$$PEM = M/N + R_1 + R_2 + R_3$$

により定まることを示し、 $R_1$ と $R_2$ は高々数MB、 $R_3$ は $(0.25\sim 0.5)\times(M/N)$ で良いと述べた。

\* VR等にRAM & Logic素子を使用することを前提として、それと同等な消費電力を持つ論理素子のゲート数に記憶容量を換算してゲート数の概算を行った。



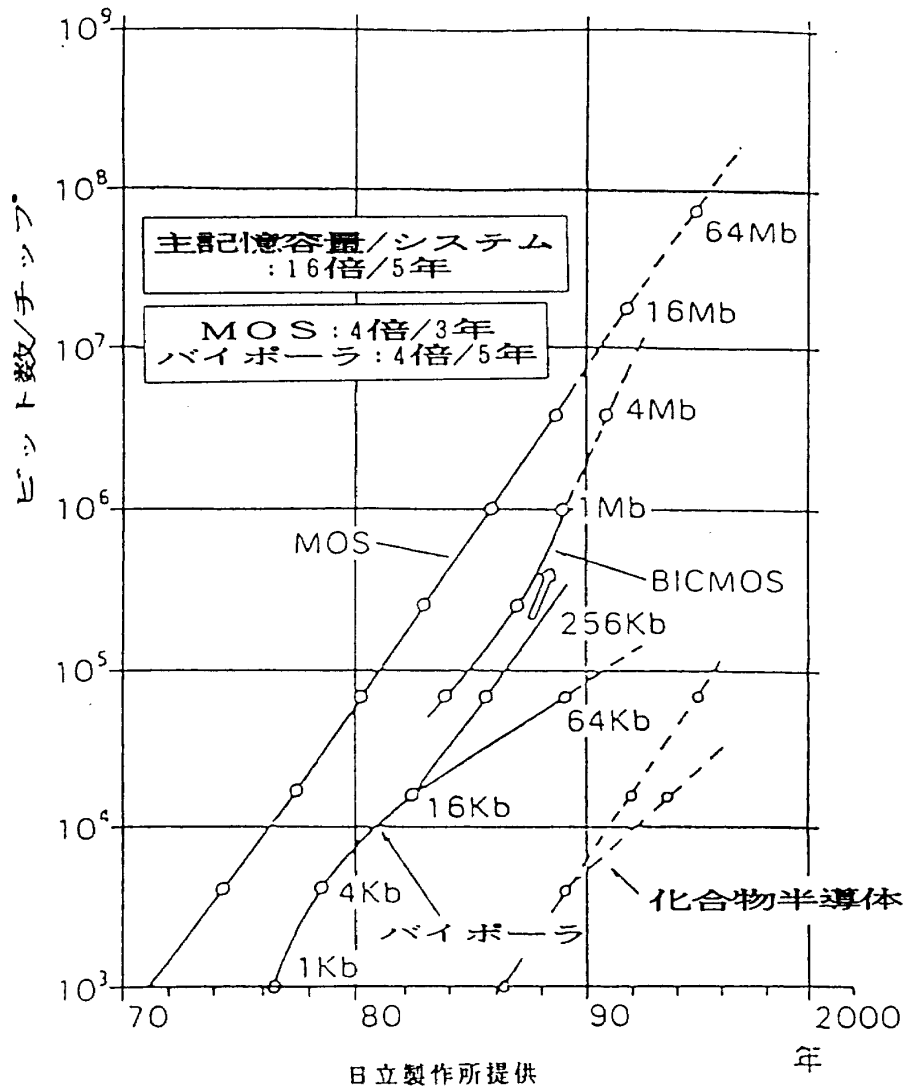


図7 メモリ素子の進歩

今  $R_1$  と  $R_2$  を 5MB とすると、MはUHSNWTの仕様 ( $R_1$ ) より定まっているから UHSNWT の総主記憶量  $TM$  は

$$TM = \{(1.25 \sim 1.5) \times 32 + 0.005 \times N\} \text{ GB}$$

となる。

$N$  を 200 台 とすると  $TM$  は 40GB ~ 50GB となる。

これは新発表の国産スーパーコンピュータの 20 ~ 25 倍の主記憶容量である。目標計算機の主記憶に 1M ビット SRAM 素子を使用するとすれば、チップカウントは 40 万個ないし 50 万個に達する。また、4M ビット DRAM 素子を使用すればチップカウントは 10 万個ないし 12 万個程度に納まる。速度を考慮すれば目標計算機には SRAM を使用するべきである。40 万個ないし 50 万個のチップをコンパクトに実装することは現在のスーパーコンピ

ュータの主記憶実装技術の到達度と今後の一層の進歩を考慮すれば不可能といった技術ではないであろう。従って目標計算機の主記憶のここ数年以内における実現の可能性は大いに高いと考えて良い。

コスト面でも 1Mbit SRAM はその量産効果により急速に有利になると予想出来る。従って UHSNWT の主記憶素子として 1Mbit SRAM 素子を使用することに定める。

使用素子が決まれば要素計算機の主記憶の量と構成を決めなければならない。要素計算機の台数が 200 台 とすると、1 台あたりの主記憶量は 200 MB ないし 250 MB 程度になるが、3.3 節の要素計算機に対する要求(i)から 1 台あたりの主記憶容量は 256 MB とする。

主記憶に使用する 1Mbit-SRAM 素子のアクセス時間は 20ns 程度とする。すると常識的なバンクサイクル時間  $\tau_m$  は  $4\tau$  程度になる。

ロード / ストアパイプラインのデータ転送能力は  $8 \times 8B/\tau$  である。結合ネットワークのデータ転送能力を  $4B/\tau \times 2 \sim 8B/\tau \times 2$  程度とすると主記憶は 64 ウェイインターリーブ構成とすれば十分であろう。

最近、主記憶素子の方式上の工夫により、バンクサイクル時間を通常の主記憶素子を使用した場合の半分にすることが出来るという報告がなされた<sup>11)</sup>。これと同じかまたは同様な工夫をした主記憶素子を使用すればバンクサイクル時間は  $2\tau$  程度となり、インターリーブ数も 32 とすることが出来るので、この様な主記憶素子の量産は UHSNWT の主記憶構成および性能にとって大きな利益となる。

### 3.5.2 並列計算機の特に結合ネットワークの CFD 計算法への適合性

—CFD 研究者、技術者からの計算機工学への注文—

最近の CFD 計算手法の趨勢を並列計算機の視点に立って展望すると

- (1) 計算スキームは高精度化の為複雑化する傾向にある。
- (2) 構造体格子と並んで非構造体格子の研究が進められている。非構造体格子は複雑形状に対して適用し易いという点で利点があるが、乱流モデル等の適用に関して未解決な問題も有る様である。我が国では、現在構造体格子の方が優勢である。特に実際の空力技術研究開発問題への適用に関してはそうであるが、今後の趨勢に関して筆者は判断出来ない。
- (3) 解法は陰解法、特に IAF 法が陽解法よりも優勢であるが、今後非定常問題等陰解法の利点が余り無い様な問題に関心が集中する様になれば現在の状況は変化するかも知れない。しかしながら実際の研究開発問題への適用に関しては IAF 法の実績はここ当分無視は出来ない。

(1) は並列計算機の結合ネットワークのデータ転送に関する性能に対して厳しい要求を突きつけることになる。

(2) の非構造体格子を採用した CFD プログラムの処理においてはリストベクトルの処理は必須であって、これは結合ネットワークのデータ転送の性能ばかりではなく、ハードウェアおよびソフトウェア機能に関しても厳しい要求を突きつけることになる。

(3) の陰解法における線型方程式の解法においては 3 次元空間の一軸方向に逐次計算法の採用が必要となる。この逐次計算法を並列化する試みは各方面でなされているが、計算法の収束と精度および適用範囲の広さに関する信頼性に関しては未だしの感がある。

図式的に単純化すると構造体格子の場合、一軸方向に逐次計算法を採用する計算法を無視することは現実的でないので、ベクトル化に一軸を使用すると残りの一軸で並列化することになる。UHSNWT が想定としている問題規模を考慮して要素計算機台数を考えると、要素計算機台数は多くとも 1000 台以下ということになる。UHSNWT は高々 200 台前後の要素計算機で構成することに定めたので、この点に関しては大いに有利である。

陰解法で重要な IAF 法は逐次計算の軸が X, Y, Z 軸と変化するので結合ネットワークのデータ転送の性能に対して厳しい要求を突きつけるだけでなく、結合ネットワークのトポロジーにも厳しい要求を突きつけることになる。

我々の UHSNWT はこの節の始めに述べた CFD の手法の全てに効果的に対処出来るものでなければならない。CFD の特定の手法に対してのみ高性能を発揮するが、他の手法に対しては不十分な性能しか発揮出来ない様な結合ネットワークは採用すべきではない。結合ネットワークの選択は並列計算機の研究開発における重要課題であるので、これ迄、種々様々な結合ネットワークが提案されている。

これらの中で、この節で述べた UHSNWT の結合ネットワークに対する要求に最も良く応えられそうなものは完全結合ネットワークとクロスバー

ネットワークである。それらは結合ネットワークとして最も柔軟性に富み、且つデータ転送間の競合が少ないネットワークである。完全結合ネットワークはデータ転送に関してネットワーク上では全く競合がない。しかしながら200台前後の要素計算機の完全結合ネットワークということになると配線量は膨大なものとなり、転送のbit幅を極端にしぼらなければ無理であろう。ビット幅を小さくして完全結合ネットワークを構成しても或る特定要素計算機対間（例えば隣接要素計算機間）のデータ転送のみが頻出した場合、大部分の結合対間のパスは遊んでしまう。その一方、bit幅が小さい為必要とされている要素計算機対間のデータ転送能力が不足してしまうという欠点がある。

クロスバーネットワークは要素計算機間のデータ転送が1対1であれば競合は生じない。また、完全結合ネットワークと同様にどの要素計算機間の距離も同じである等の長所がある。クロスバーネットワークは従来要素計算機台数としては高々16~32台程度がせいぜいであると考えられていたが、最近要素計算機台数が128台の場合でもクロスバー結合が可能であることがしめされた<sup>12)</sup>。ここでは8bit幅のクロスバー結合が考えられている。これを例えば、64bit幅にする為には8枚のクロスバー結合を並列配置すれば良いことになり、

我々のUHSNWTにクロスバーネットワークを採用することが可能であると考えられる。

UHSNWTの要素計算機においてクロスバー結合のデータ転送能力としては少なくとも $4B/\tau \times 2$ 程度のものが必要である。これはVRと主記憶間のデータ転送能力 $8B \times 8/\tau$ の1/8の能力である。もし、これを $8B/\alpha \times 2$ とすることが出来れば結合ネットワークはVRと主記憶或いは局所記憶のデータ転送能力の1/4の能力をもつことになり、ネットワークのデータ転送能力に関しては全く不安がなくなる。クロスバーネットワークのアクセスタイムは他のネットワークに比較して大きくなるので、この点でも満足出来る。

#### 4. UHSNWTのハードウェア全体像

##### 4.1 概要

図8にUHSNWTのブロック図を示す。

- 要素計算機の性能； $\tau=10\text{ns}$
- ピーク性能；1.6GFLOPS
- 主記憶容量；256MB
- 主記憶  $\leftrightarrow$  VRのデータ転送能力；  
6.4GB/秒
- UHSNWTの総合性能； $\tau=10\text{ns}$
- ピーク性能；320GFLOPS
- 総主記憶容量；51.2GB

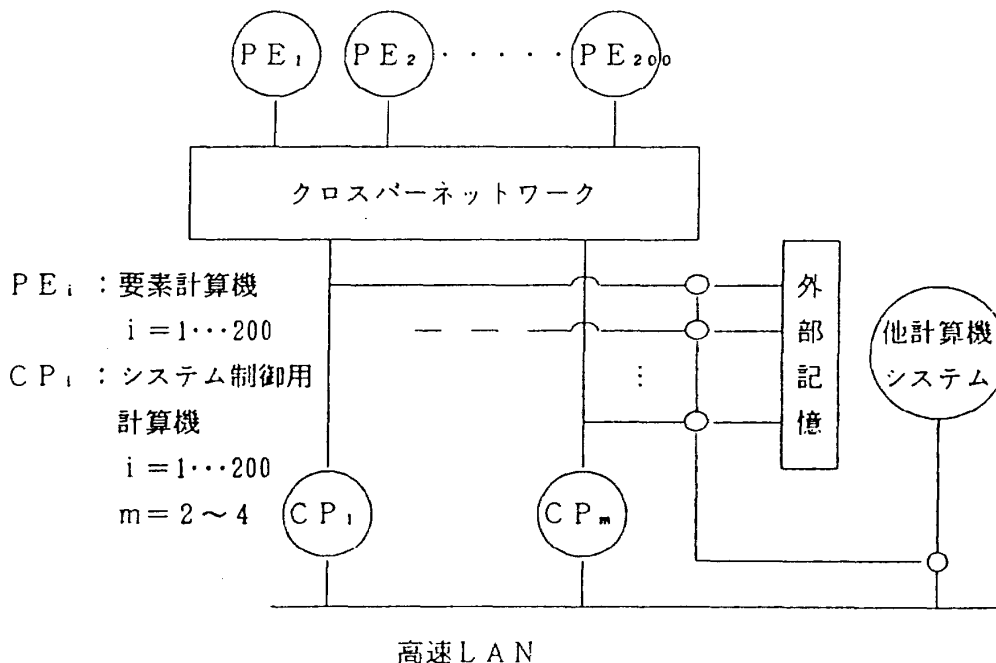


図8 UHSNWTのブロック図

表7 VTAP による要素計算機の CFD プログラム処理速度推定

プログラム名 \ 計算機名	UHSNWT PE VTAP	VP400 VTAP	VP400 実測値	VP200 VTAP	VP200 実測値
NS3D	996	704	649	—	—
NSMD	751	511	483	289	285

主記憶 ⇔ VR のデータ転送能力 ;

1.28TB/秒

ネットワークの性能 ;  $\tau=10\text{ns}$

データ転送能力 ;

0.8GB/秒/PE~1.6GB/秒/PE

全体のデータ転送能力 ;

160GB/秒~320GB/秒

外部記憶容量 ; 8GB

データ転送能力 ; 1.6GB/秒~3.2GB/秒

要素計算機の性能は VTAP により 18 個の DO ループに対して推定したが CFD プログラム全体に対してどの程度の性能が発揮出来るかを VTAP を用いて推定した。これを表 7 に示す。推定に使用した CFD プログラムは次の 2 本である。

1. NS3D ; 3次元 RANS 数値シミュレーションプログラム。計算スキームは TVD スキーム。解法は IAF 解法によっている。このプログラムの特徴は VP400 の特徴をつかんで 1 つ 1 つの DO ループが大量のベクトル演算を含む様に作ってあることである。ベクトル化率は 99.8% である。
2. NSMD ; マルチゾーン法による 3次元 RANS 数値シミュレーションプログラムで計算スキームは TVD スキームである。解法は IAF 法を使用している。このプログラムは宇宙往還機 HOPE の垂、遷、超音速空力解析に使用され、H-II ロケットと HOPE の結合体の数値シミュレーションを行う為、マルチゾーン法を使用している。計算機の側から見

るとこのプログラムは VP400 を特に意識していない普通のベクトル計算機プログラムである。ベクトル化率は 99.4% である。

表 7 の VTAP による CFD プログラム処理速度は以下の手順により推定した。

- (i) VP400 のプログラム実測処理時間を  $T_A$ 、全 DO ループの VP400 による実測処理時間の合計を  $T_D$  とする。
- (ii) VTAP による全 DO ループの合計処理時間を  $T_{VD}$  とする。また、VTAP による全プログラムの処理時間  $T_{VA}$  とする。VP400-VTAP, UHSNWT-VTAP の両方の処理時間に対して

$$T_{VA} = T_{VD} + (T_A - T_D)$$

とした。

- (iii) (ii) により計算した時間で全 DO ループの浮動小数点演算数を除して MFLOPS 値を算出した。UHSNWT の要素計算機の CFD プログラム処理時間の算出に関してはスカラ性能が VP400 より高いことは勘定に入れていない。

表 7 から UHSNWT の要素計算機の CFD プログラム処理能力は VP400 の約 1.4 倍程度であることがわかる。

#### 4.2 UHSNWT の信頼性について

2.2 で述べた様に UHSNWT の信頼性は重要事項である。今、信頼性の為に要素計算機等に VP400 程度の物量を投入して、1 台の要素計算機の MTBF を X 時間にしたとする。UHSNWT を 200 台程度とすると X/200 時間に一度は 1 台の要素計算機が故障する。従って使用要素計算機台数 × 使用時間が X 時間になる毎に一度は途中結果を高速半導体外部記憶に吐き出して故障に備える必要がある。

VP400のNALにおける実績ではXは15000~20000時間程度であるがUHSNWTの場合、要素計算機のMTBFは数千時間程度であろう。その為の外部記憶の量は、必要変数を8(計算に絶対必要な空力変数と座標変数X, Y, Z)とし、格子点数を150M点\*とすると $150M \times (5 \times 4B + 3 \times 8B) = 6.6GB$ となる。外部記憶はシステムの入力バッファ等その他の用途もあるから最低8GB程度は必要となる。

### 4.3 UHSNWTの総合性能

UHSNWTの要素計算機の性能推定において計算機の命令実行制御方式および主記憶モデルはVP400のものを借用した。これは改善すべき点を含んでいる。即ち、素子計算機の構築において

- (i) VRのアクセス制御
- (ii) VP400は加算、乗算、除算パイプラインのうち2本しか並列動作出来ない。DOループ処理において、これがボトルネックになることが間々ある。

- (iii) パイプラインの立ち上がり時間

等はVP400よりも優れたものにする必要がある。これが実現すれば主記憶のバンクサイクル時間は大いに改善されているのでUHSNWTの要素計算機の性能は本報告で示したものより尚一層向上する筈である。

今、表7に従ってUHSNWTの要素計算機の性能をVP400の1.4倍と見積もる。また、クロスバーネットワークの性能が高いことを考慮して要素計算機の効率を60%と仮定すると、要素計算機の台数が200台の時のUHSNWTの総合性能PはVP400の性能を1として

$$P = 1.4 \times 200 \times 0.6 = 168$$

即ち168倍となる。

### 4.4 (R2)の要求性能を満足するUHSNWTの実現可能性

先ず必要な技術についての予想を行ってみる。1990年代末には図4および図5から

- (i) CMOSゲートアレイの密度は数百万ゲートに達するであろう。またBiCMOSゲートアレイの密度も百万ゲートには達するであろう。
- (ii) 主記憶素子に関しては、16Mbit SRAM素子のコストは十分に下がっている。64Mbit SRAMは大量生産の初期段階に当たるであろう。コンパイラ技術については
- (iii) コンパイラ技術の進歩により、TCMP方式のベクトル計算機の利用のし易さはUP方式のベクトル計算機の利用のし易さと同程度に達しているであろう。
- (iv) クロスバーネットワークは512台位は結合できるであろう。

(i)~(iv)を前提としてマシクロック4ns、8多重パイプライン構成の要素計算機を2台TCMP結合したものを要素計算ノードとする。主記憶容量は1GB~2GBとする。この計算ノードを512台結合することにより第2期UHSNWTはピーク性能4TFLOPS、主記憶容量500GB~1TBとなる。第2期UHSNWTは恐らく第1期UHSNWTの10倍以上のCFDプログラム処理能力を持つことが出来るであろう。第2期UHSNWTの一要素計算機当たりのチップカウントは主記憶素子として16Mbit SRAMを使用すれば主記憶に関しては第1期UHSNWTの1/4~1/2となる。論理素子にBiCMOS素子を使用した場合、論理素子のチップカウントは第1期UHSNWTの1/5程度になる。UHSNWT全体の大きさに関しても第2期UHSNWTは第1期UHSNWTの半分以下になるであろう。第2期UHSNWTは1990年代末に実現出来る可能性が高い。

## 5. おわりに

G. H. Hegelは歴史的事実の生起についての有名な命題をGrundlinien der Philosophie des Rechtsの中でこう述べている。

Was vernunftig ist, das ist wirklich ; und was wirklich ist, das ist vernunftig.

Hegelの絶対精神を信ずれば上の2つの対命題は等価的に成立する。しかしながら今の世においてHegelの絶対精神を信ずるものはおるまい。計

\* M点 = 100万格子点

算機の世界を眺めていると、一見存在根拠の怪しげなものも有る様に見えるが、良く調べてみるとそれは世俗的な意味で何らかの合理性がある。Hegelの2番目の命題は矮小化された意味で成り立っている。最初の命題はどうであろうか？

我々はUHSNWTの構想と実現可能性に関する技術的検討において、複数の視点—予算、運用、CFD、計算機工学、航空宇宙技術研究開発の観点から合理性を追求し、1つの物、UHSNWTの実現可能性を示した。

さて、合理的なものは実現するであろうか。絶対精神の論理に従って事が生起するわけではないからUHSNWTは我々が拱手傍観していて実現するわけがない。並列計算機の研究と開発が行われ始めてかなりな年月が経過したが、“general purpose Supercomputer”の性能を大幅に上廻る様なCFD用並列計算機は未だ実現していない。技術的可能性に関する我々の検討によればその実現は目前に迫っていると思われる。1つの事例が実現すればその後はせきを切った様に世界の各所において開発が行われるであろう。これが世界の航空宇宙技術の研究開発にとって大きな力となることを念じて我々はUHSNWTの実現に向かって努力を傾注させねばなるまい。

富士通・高村守幸氏、日本電気・古勝誠紀氏、日立製作所・河辺俊氏は最近の素子技術の動向について種々データを提供して下さり、また筆者と議論をして頂いた。富士通・高村守幸氏からはクロスバー結合について種々議論をして頂いた。日本電気・西直樹氏からパイプラインメモリ素子についての論文を頂いた。またNAL・林明美さんには筆者の読み難い原稿をワープロ原稿にして頂いた。

稿を閉じるに当たって感謝の意を表明したい。

## 参 考 文 献

- 1) N. Hirose, K. Isogai ; Numerical Aerodynamics Simulation Technology for Aerospace Engineering (in Japanese), The Japan Soci. For Aeronautical And Sciences Vol. 38, No.443, 1990.10, pp.507~515
- 2) H. Miyoshi ; Computer Requirements Further CFD Development (in Japanese) NAL SP 13, 1990.9, pp.1~26
- 3) T. Tanioka ; Status and Outlook of CFD Technology at Mitsubishi Heavy Industries Nagoya (in Japanese), NAL SP 13, 1990.9, pp.69~81
- 4) V. L. Peterson ; NASA CP 2032, 1987.2, pp.5~30
- 5) NASA ; Influence of Computational Fluid Dynamic on Experimental Aerospace Facilities A fifteen Year Projection, NRC Washington, DC 1983.3
- 6) P. P. Gelsinger ; Microprocessors circa 2000, IEEE Spectrum 1989.10
- 7) H. Miyoshi et al. ; Vector Processing Time Anaysis Program, NAL TR to appear 1991
- 8) Fujitsu ; Private Communication 1990.10
- 9) Fujitsu ; Private Communication 1990.10
- 10) HITACHI LTD ; Private Communication 1990.10
- 11) N. Nishi et al. ; Pipelined storage for vector processors ; 4th-International conference on Supercomputing and 3rd world Supercomputer exhibition 1989.5
- 12) K. Murakami et al. ; The Kyushu university reconfigurable parallel processor- Design of memory and intercommunication architectures, ; Proceeding of ACM SIGARCH 1989 international conference on Supercomputing (ICS 89), 1989

---

## 航空宇宙技術研究所報告1108号

平成3年5月発行

発行所 航空宇宙技術研究所  
東京都調布市深大寺東町7丁目44番地1  
電話三鷹(0422)47-5911(大代表)〒182  
印刷所 株式会社 三興印刷  
東京都新宿区西早稲田 2-1-18

---

