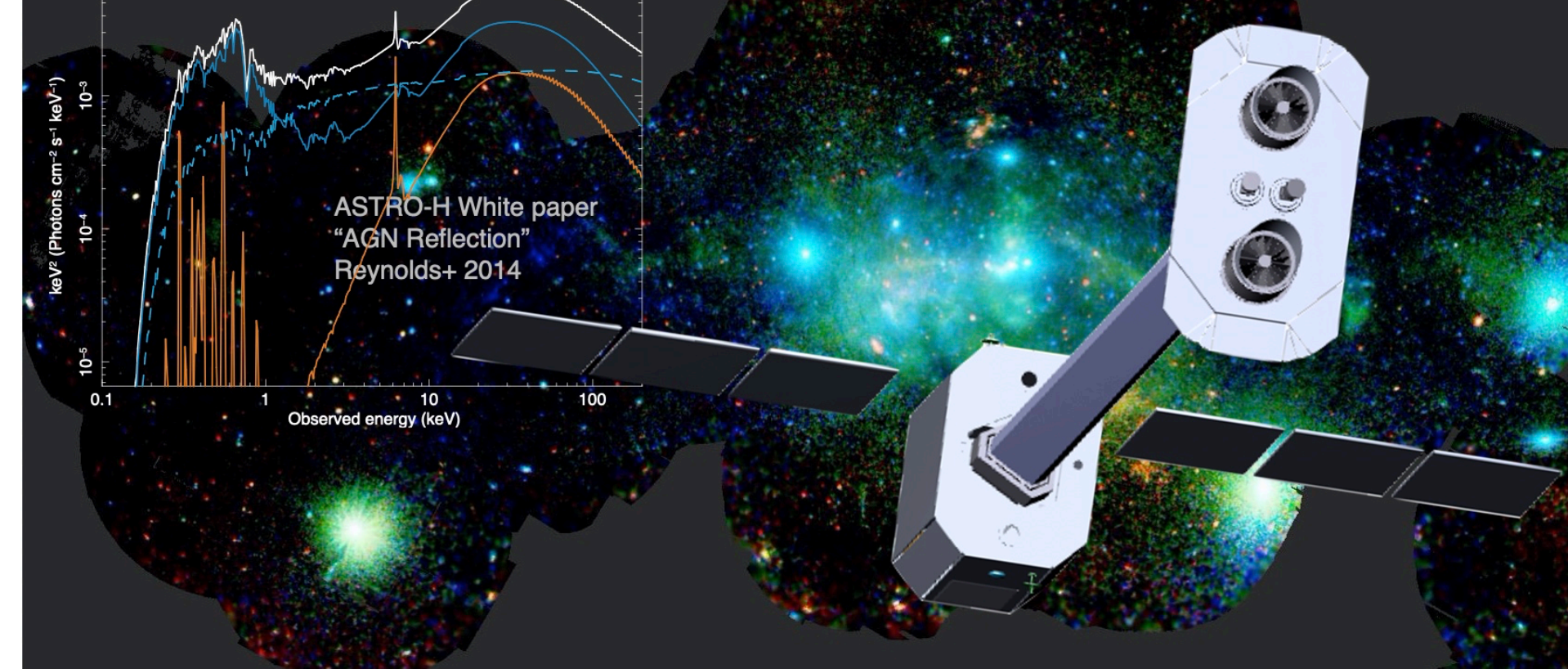


g02-5 FORCE 衛星に搭載する広帯域X線カメラ 軟X線検出部 XRPIX の開発状況

鶴 剛 (京都大), 他 FORCE WG

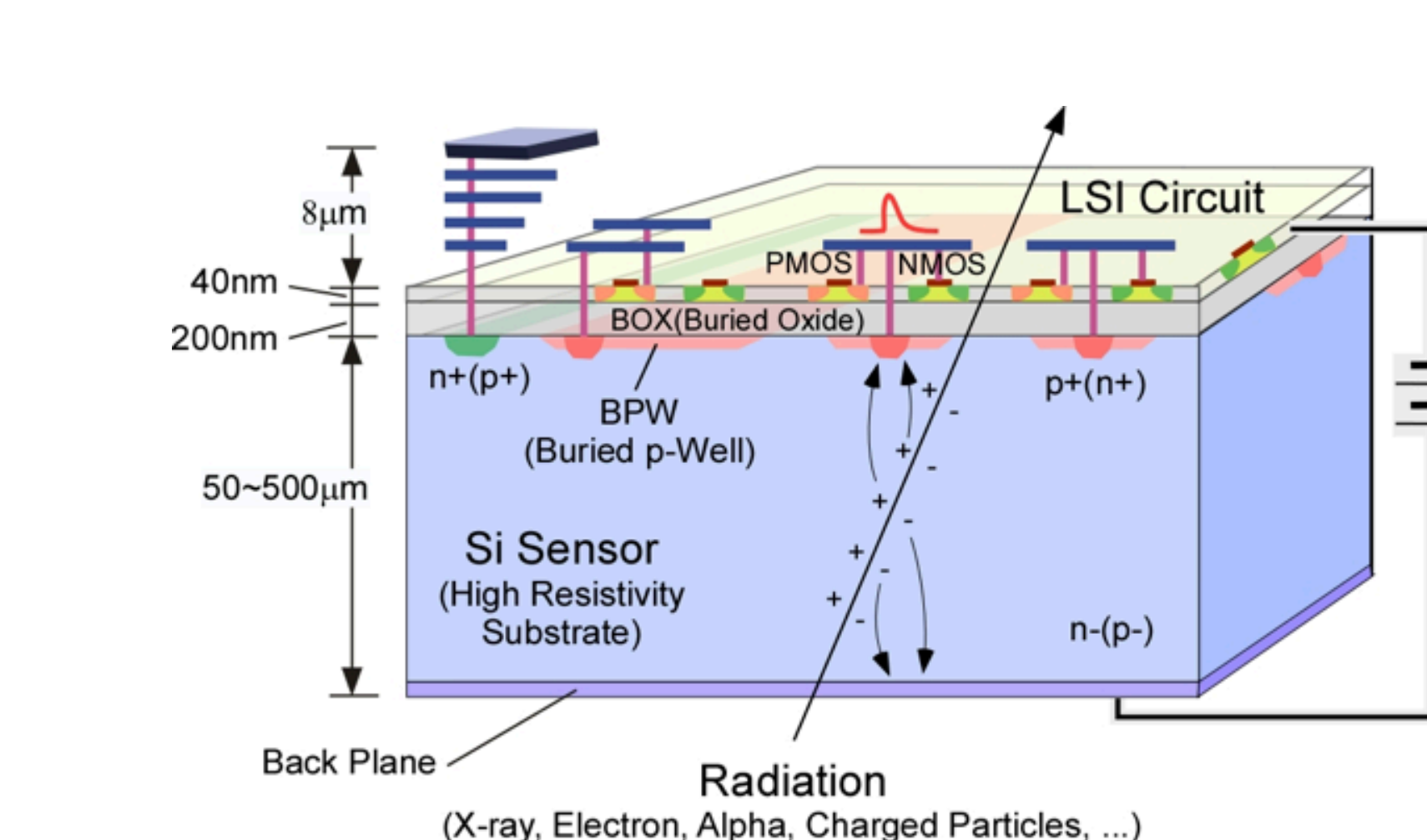


FORCE衛星のミッションに要求される1-80 keVを検出する、広帯域ハイブリッドX線イメージャ (WHXI : g02-4を参照) のうち、軟X線側 (1-20 keV) を受け持つ検出器として、日本独自のX線SOI (Silicon-On-Insulator) ピクセル検出器「XRPIX」を開発している。これまでに、10μsecより優れた時間分解能、X線CCDに匹敵する分光能力の分光性能を実現している。今年度のWGの活動として下記を実施した。(1) 軟X線性能の評価とその向上、(2) リーク電流低減を目指すデバイス構造の改良とプロセス条件の最適化、(3) オンチップバックグラウンド除去ロジック回路の開発、(4) デジタルXRPIXの開発 (オンチップADC, DAC, 定電流回路)、(5) XRPIXトレイの検討、(6) 放射線損傷に対するX線性能耐性の評価(TID)、(7) 重イオン照射実験による誤動作耐性の評価(SEE/SEL)。本ポスターでは(1)~(4)を紹介する。(詳細は準備中の本年度のWG報告書を参照してほしい)

SOIピクセルセンサの特徴

宇宙X線用撮像・分光器として最適

- ・一体型。ボンディングの制約を受けない。小さなピクセルが可能。
- ・標準的な民生品半導体プロセスのみで製造。高い信頼性、低コスト
- ・センサ部に高比抵抗シリコン (~10kΩcm)。回路部に低比抵抗シリコン
厚い完全空乏層 (50-700μm) と高速ピクセル回路処理の両立
- ・ラッチアップフリー。シングルイベント誤動作が起こりにくい。
- ・広い動作温度範囲 (1K~300℃)

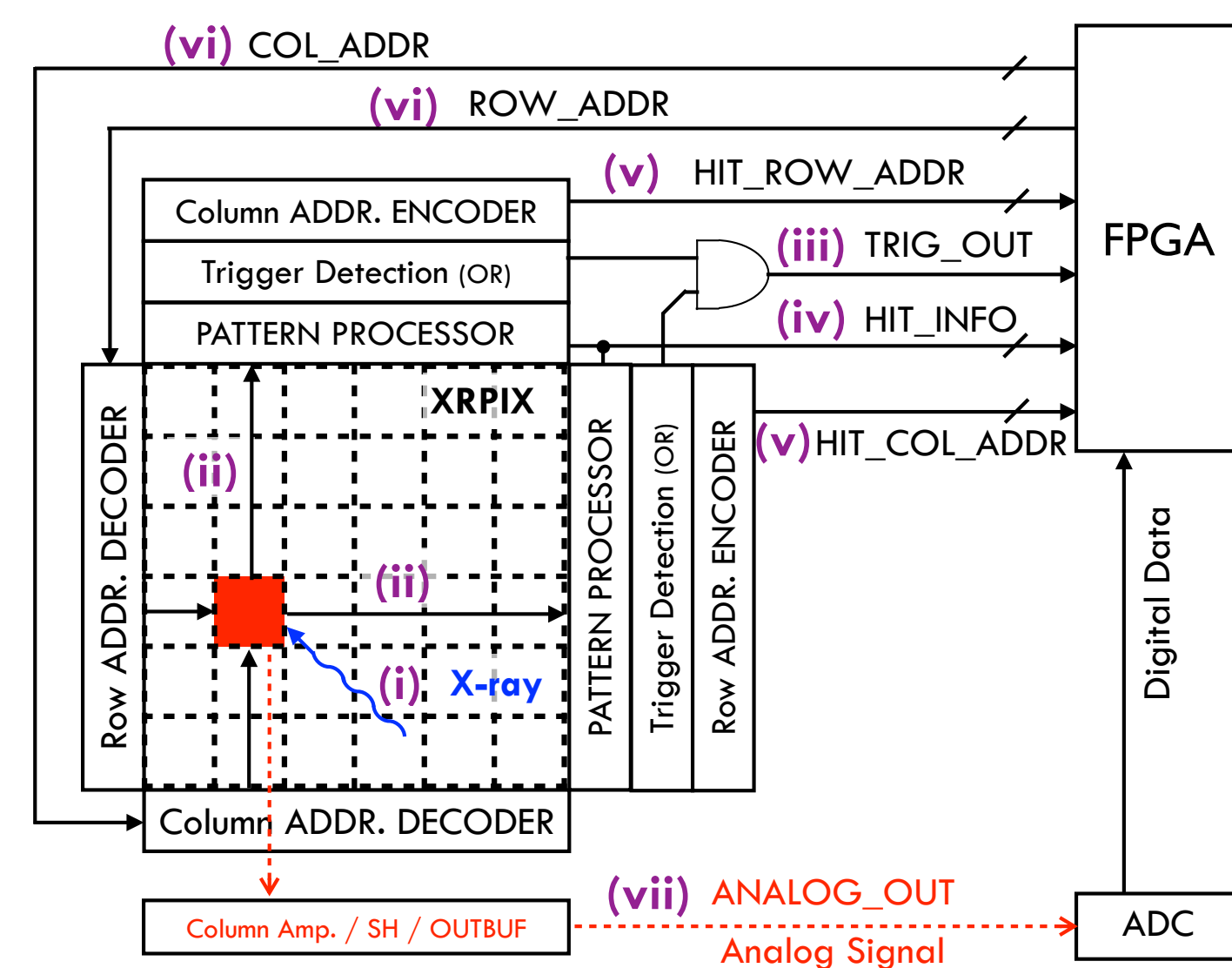


高機能回路の内臓可能
⇒ X線入射タイミング計測が可能 (X線CCDは不可能)
⇒ 反同時係数による低バックグラウンド化

高速読み出し、電荷転送なし
⇒ 暗電流の削減
⇒ 高温(-15℃)でも高い性能

FORCE用X線SOIピクセルセンサのコンセプト

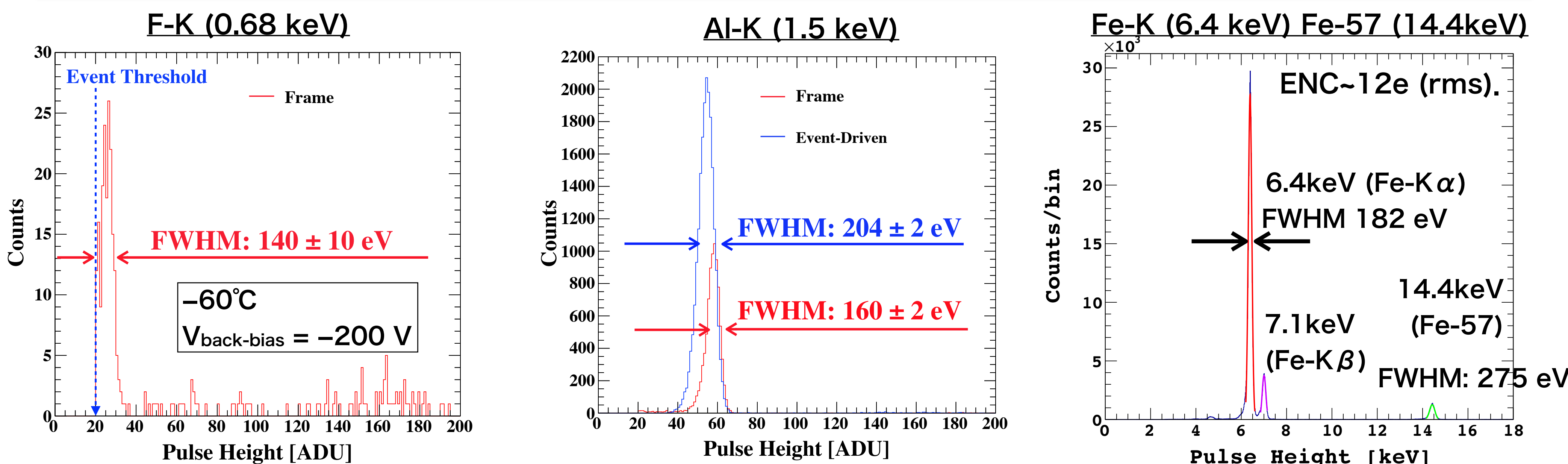
- ・各ピクセルに閾値・トリガ回路を持つ。
閾値を超えたらチップ外部にトリガ信号を送出、ヒットしたピクセルのみ読む
- ・10マイクロ秒より高い時間分解能と1kHzより高い計数率 (スループット) が可能
- ・ほぼバイルアップフリー ⇒ はくちょう座X-1等の明るい天体の観測が可能
- ・アンチコインシデンスが可能 ⇒ 非X線バックグラウンドの低減
- ・X線の無いピクセルは読まない ⇒ 読み出し・処理回路の簡素化・省電力が可能



イベント駆動読み出し手続き

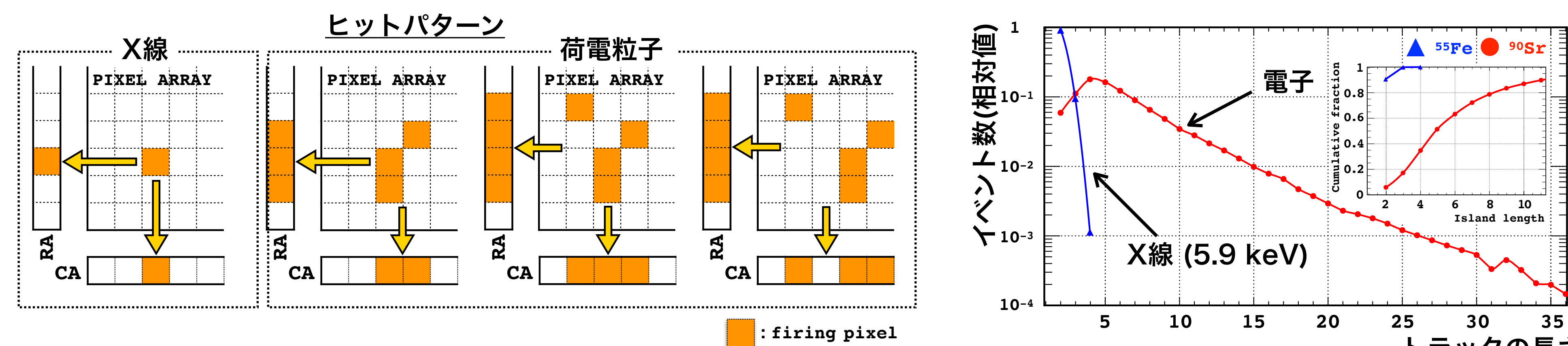
- (i) X線検出
- (ii) 射影方向にトリガを送出
- (iii-iv) トリガ信号をFPGAに送出
- (v) ヒットピクセルアドレスの読み出し
- (vi) 読み出しピクセルの設定
- (vii) X線エネルギー情報の読み出し

分光性能



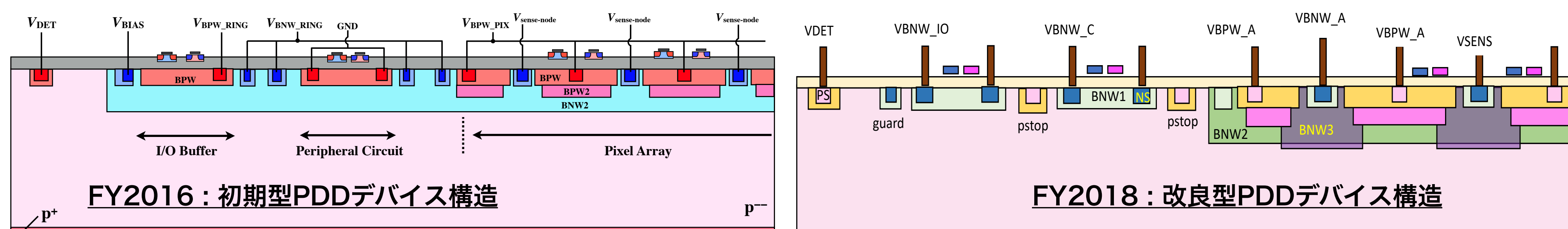
- ・イベント駆動(セルフトリガ)読み出しで1.5 keV, フレーム読み出しで0.68 keV X線の検出の実証に成功した。
 - ・今後、要求のイベント駆動での1 keV X線の実証を行う。
- ・FORCEにおける要求であるエネルギー分解能300 eV(FWHM) @ 6keVに対して、182 eV (FWHM)を実証した。
 - ・この性能は小型素子による-60℃での値なので、大型素子で-15℃での実現・実証を目指す。

オンチップ非X線バックグラウンド判定



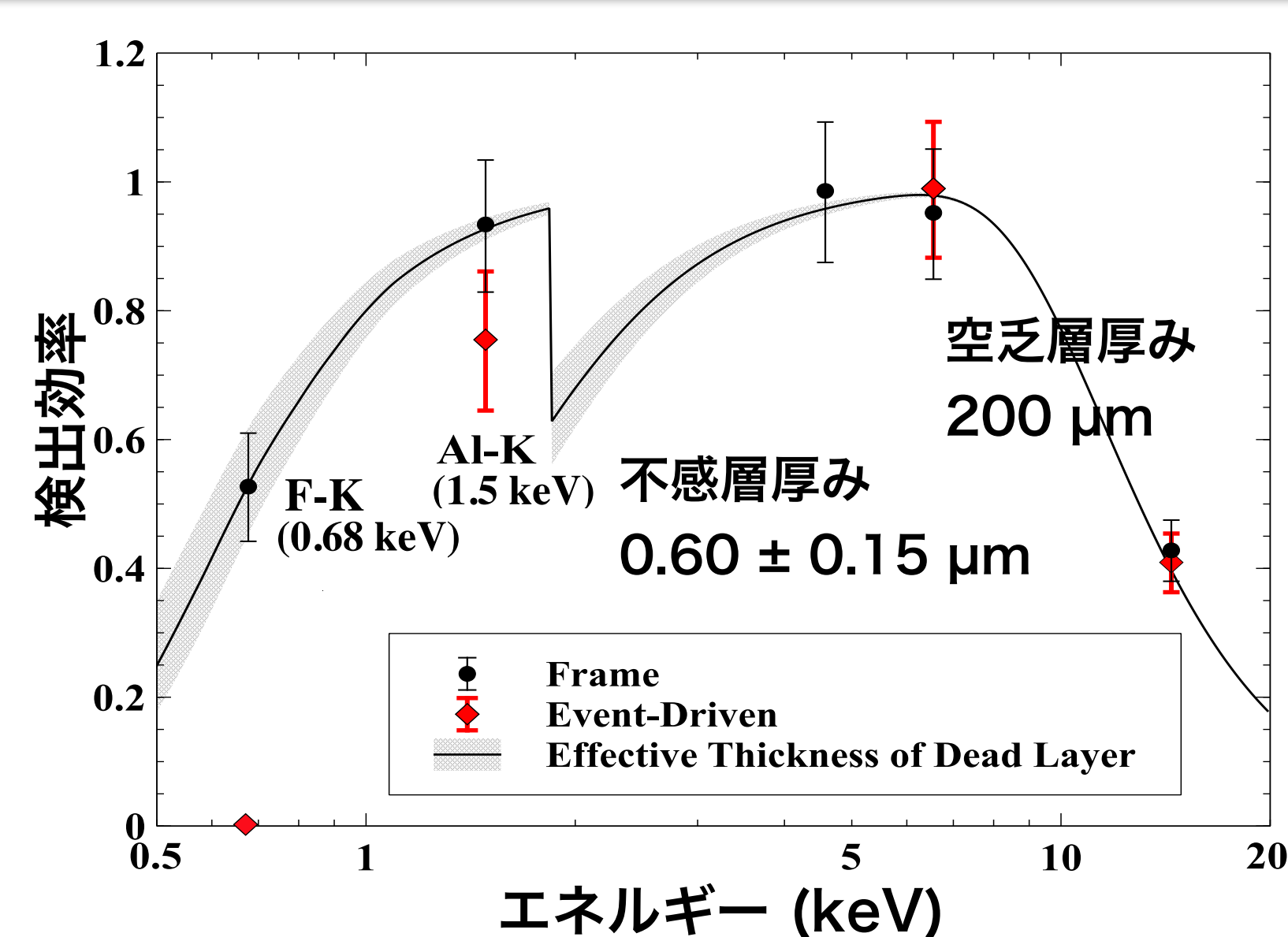
- ・X線イベントが作る信号電荷はほとんど広がらず、1ないし2.3ピクセルサイズである。一方、荷電粒子は長いトラックを引く
- ・違いを判定する回路をXRPIX素子内部に持たせることで、外部に読み出すことなくX線・非X線判定できることを実証した

リーク電流低減を目指すデバイス構造の改良



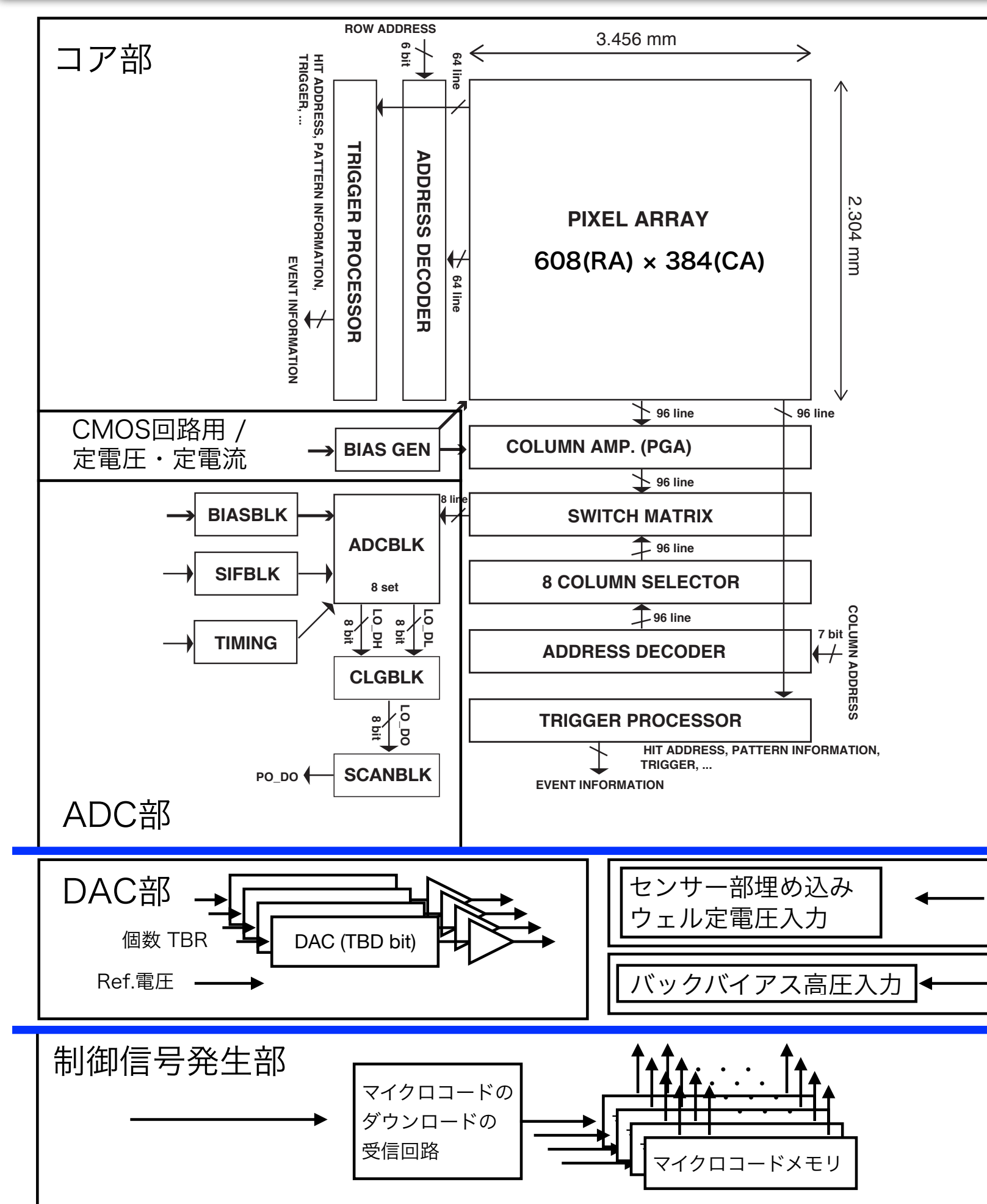
- ・FY2016の初期型PDD (Pinned Depleted Diode)構造は、低い読み出しノイズによる高いエネルギー分解能を実現したが、高いバックバイアス電圧を印加しないと、X線が検出できないという問題があった。
- ・周辺構造とピクセルアレイ領域の両方で、埋め込みNウェル (BNW) を形成したことが原因。
- ・その解決のため、FY2018に改良型PDDを開発した。その結果、低いバックバイアスでも正常に動作することを確認した。
- ・さらに改良を加え、バックバイアスとBPW間のリーク電流を削減した試作素子が、今年度末に完成する予定である。

量子効率



- ・空乏層厚み 200μmを実証。
- ・軟X線の感度は不感層厚み換算で0.6μmである。今後裏面プロセスの改良を進める (従来未着手) 。
- ・イベント駆動では、しきい値回路のノイズが感度をリミットする。今後しきい値回路のノイズ削減を行う。

Digital XRPIX



FY2020
素子試作中

設計中

検討中

- ・ADC : FY2018-19に14 bit ADCの設計を行った。今年度小型素子として試作中。
- ・DAC: 今年度 12bit/6bit DAC の回路設計を実施中。次年度レイアウト設計と試作を行いたい
- ・制御信号部: 次年度HDLコーディングとFPGAでの実証。次々年度に自動配線ツールによる設計と試作を行いたい。