

宇宙機搭載用半導体メモリ装置の研究

Research of Solid State Recorder for Spacecraft

エレクトロニクス技術グループ (Spacecraft Electrical Engineering group)

白倉政志、市川愉、笹田武志、大橋永嗣

Masahi shirakura, Satoshi ichikawa, Takeshi Sasada, Eiji Ohhashi

Abstract

This research is to develop advanced, small, light-weight and low power consumption solid state recorder (SSR) on spacecraft utilizing the newest commercial semi-conductor memory device. We have manufactured, tested and evaluated next generation solid state recorder, researched high-efficient error detection and correction code (EDAC) . And also experimented and analyzed mission data of SSR on Mission Demonstration Satellite-1 (MDS-1) on orbit

1. はじめに

本研究は、集積度の増大を続ける民生メモリ素子を利用し、高機能、小型／軽量、低消費電力な宇宙機搭載用半導体メモリ装置の開発を行うものである。半導体メモリ素子には、最新の民生部品の活用を図るとともに、メモリ素子を大量に実装するメモリモジュール部にも民生分野における先端的な高密度実装技術を活用し、小型／軽量化を図る。これらを実現するために、次世代半導体メモリ装置の制作・試験・評価、高効率な誤り訂正符号の研究、MDS-1 搭載半導体レコーダ実験装置(SSR)による軌道上実験・評価解析、将来型記録媒体の検討を行った。

2. 研究の概要

平成 16 年度は以下の項目について研究を行った。

2. 1 搭載用次世代半導体メモリ装置の研究

次世代半導体メモリ装置の搭載化へ向けた研究の完成度を高める為、平成 15 年において抽出された課題（コネクタ評価、EMC 評価、MPU 評価）の対処と軌道上運用を模擬した長期動作試験や今後のプロジェクトにおける EM 開発に供給するためのゲートアレイの開発を実施した。Table 1 に SSR の主要諸元を示す。また、Figure 1 に SSR の外観を示す。

Table 1 Specifications of SSR

Item	Specification
Type	Solid Sate Recorder
Rec. Speed	640Mbps(Max)/ch
Rep. Speed	640Mbps(Max)/ch
Volume	200G Byte(BOL)
Mass	25 kg
Size	256×460×250 mm
Power consumption	120W (Max)

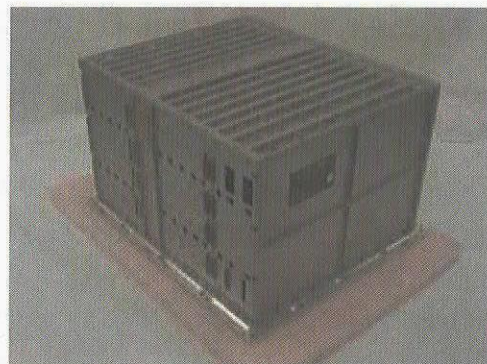


Figure 1 SSR prototype model

2. 2 誤り訂正符号の研究

半導体メモリ装置の為の誤り制御符号を確立するため、東京工業大学と共同研究を行うとともに、その成果を基にアルゴリズム評価を行う評価回路を製作した。

2. 3 MDS-1 半導体レコーダ実験装置の軌道上実験

MDS-1 に搭載した半導体レコーダ実験装置のデータ解析を行った。

2. 4 将来型記録媒体の検討

DRAM 系メモリの揮発性を補う将来型記録媒体の検討として、磁気記録（ハードディスク）及びフラッシュ・メモリ型記録装置について宇宙機搭載化の予備評価・検討を行った。

3. 成果の概要

3. 1 搭載用次世代半導体メモリ装置の研究

(1) プロジェクトでの使用を想定した EM 用ゲートアレイの開発

プロジェクトでの EM フェーズでの使用を想定し、以下のゲートアレイを JAXA 認定宇宙用 1M ゲートアレイの試験条件を参考に開発した。特に PCI ホストブリッジゲートアレイに関しては、新規設計品であるため FPGA 上に回路を実装し SSR 試作品との組合せ試験を行い設計及び動作の妥当性を評価した後、製造を実施した。

(2) SSR の EMC 環境を評価するための電源部 (PSU) の開発

前年度の SSR 内の電源の分配方式、及び低電圧大電力の電源システムの最適構成の検討結果に基づき、SSR 用 PSU の詳細設計、開発を行った。

開発の結果、電気的特性として要求される機能・性能を満足する結果が得られ、今後のプロジェクトへの適用に向けた設計の妥当性を確認した。また、耐振動特性についても PSU 動作状態で振動試験を実施し電圧／電流の特性に変化がないことを確認した。

(3) PCI バス用コネクタの評価試験

前年度の軽量化筐体の耐環境性評価試験において発生した Airborn コネクタリード破断不具合を受けてコネクタリード成型方法を変更し、再評価試験を実施した。その結果、振動加振中においても Airborn コネクタ導通モニタに瞬断等は発生せず、また、振動試験後のコネクタリード部の外観検査でも問題は無かった。本結果から、前年度の Airborn コネクタリード破断に関する原因推定と不具合対策処置の妥当性が確認された。これより、プリント基板厚に最適化したリード成型 Airborn コネクタを使用すれば、次世代 SSR の想定されるフライト環境においても使用可能であることが確認できた。

(4) EMC 環境の評価及び長期動作試験

① EMC 評価

今年度開発した PSU を SSR 試作品に組み込み EMC 環境の評価と長期動作試験を実施した。EMC 特性において、伝導雑音 (CE) 特性については、これまでのプロジェクト等で用いられている規格を満足する結果が得られた。伝導感受性 (CS) 特性については、一部規格を満足出来ない結果が得られたが、電源部のコンデンサのチューニングを実施し再評価を行った結果、規格を満足することを確認した。放射雑音 (RE) 特性及び放射感受性 (RS) 特性に関しては規格を満足する結果が得られた。これらの結果より、SSR 装置としてプロジェクトで要求される EMC 規格を満足する目処が得られた。

② 長期動作試験

これまでの研究は、要求される機能・性能を確認することに主眼をおいていた為、長期的な動作確認等はあまり実施されていない。次世代 SSR の研究ではプロジェクトにおける開発リスクを極力排除する目的で軌道上での運用を模擬した長期動作試験を実施した。その結果、発生頻度が 1 日に 1 回程度のメモリ記録再生エラーが発生することが確認された。本事象は、これまでの短時間の機能・性能評価においては確認されていない事象であり、長期動作試験を実施したことにより発見できたと言える。今後は、本事象の原因究明・対策作業を行い、プロジェクトでの搭載機器開発に向け SSR の完成度と信頼性の向上を図る。

(5) MPU 評価のための CPU ボードの開発及び試験

前年度製作した CPU ボードの 200MIPS 級 MPU を QT 品に変更し CPU ボードを製作した。試験の結果より常温における動作では、前年度製作の ES 品 CPU ボードと機能・性能の面で同様の試験結果が得られたが、MPU コア電圧 1.8V 系の消費電流が 3 倍強増大していることが確認できた。また、今年度の MPU 評価試験を通じて以下の知見が得られた。

①200MIPS 級 MPU の QT サンプル品の発熱については、MPU の動作周波数により増減するが、熱解析を実施し、適切な放熱対策を実施することで SSR で使用する 100MHz の動作周波数においても温度条件を満足することが確認できた。

②200MIPS 級 MPU の低温における動作異常については、調査の結果、データバスに接続される容量性負荷が大きい場合に MPU チップ内の電源／グラウンドに影響を与え誤動作を誘発している可能性がもっとも高いことが判明した。これに対する対応としてプロジェクトで使用する際には、MPU-SRAM 間データバスへのバッファ IC 挿入や基板のパターン長を極力短くすることによる容量性負荷の削減などを設計において考慮することが必要である。

③上記の知見は今後、200MIPS 級 MPU を用いたコンポーネントを開発する場合に有益となる。

(6) PCI ホストブリッジ評価試験

新規の設計開発となる PCI ホストブリッジゲートアレイの設計の妥当性評価を行う為に、CPU ボード上の FPGA に PCI ホストブリッジ回路を実装し SSR 試作品との組合せ状態において機能・性能の総合確認を実施し、確実な開発を実施した。

3. 2 誤り訂正符号の研究

前年度までの研究の成果として得られたスポッティバイト誤り制御符号について、能力評価を行う目的で FPGA による評価回路を製作した。本試作回路を用いて、6 種類の誤り制御符号の評価を実施中である。Figure 2 に評価回路の外観を示す。また、誤り制御符号を応用した画像圧縮のアルゴリズムについても研究を行った。これらの詳細については、成果報告書内「宇宙用誤り制御符号と画像圧縮方式の研究」に記載している。

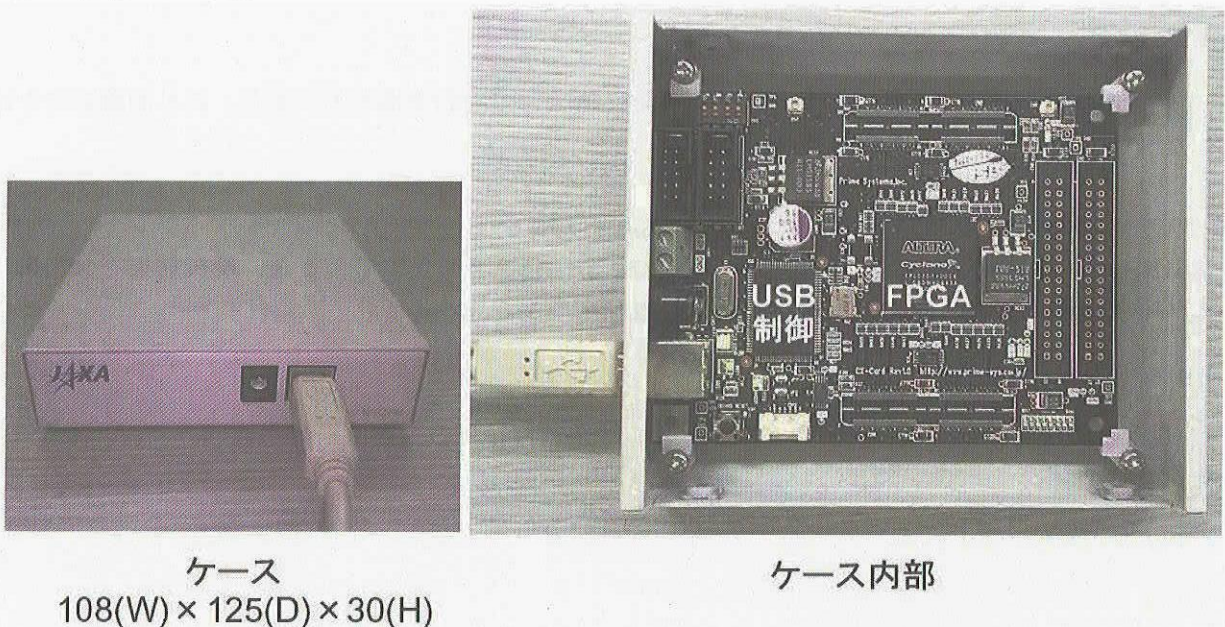


Figure 2 EDAC Evaluation circuit board

3. 3 MDS-1 用半導体レコーダ実験装置の軌道上実験

平成 15 年 9 月に運用を終了した MDS-1 について、取得したデータを事後解析した。シングルイベント効果については、搭載した全メモリについてビット単位で精査したところ、マルチビットエラーが

発生しており、その個数および論理アドレスを特定できた。またメモリチップ毎のエラーレート、陽子・電子線との相関、軌道高度による発生分布等について解析した。さらに、CREME モデルでのシミュレーション解析、トータルドーズと宇宙環境データ (SEDA) との相関性等のデータ評価を行った。

3. 4 将来型記録媒体の検討

(1) フラッシュ・メモリの宇宙機搭載化の予備評価として平成 16 年度は以下の作業を実施した。

- ①プロトン照射試験@放医研
- ② γ 線照射試験@原研高崎
- ③ランダム振動試験

(2) HDDの宇宙機搭載化の予備評価として平成 16 年度は以下の作業を実施した。

- ①温度性能確認試験 (-20 度~30 度まで変動)
- ②気圧変動確認試験 (密閉容器の製作、真空槽での評価)

(2) の詳細については、成果報告書内「ハードディスクドライブの耐環境性の評価」に記載している。

4. まとめ

4. 1 搭載用次世代半導体メモリ装置の研究

次世代半導体メモリ装置の研究は、プロジェクトでの搭載機器の開発リスク低減を目的に機械環境試験、EMC 試験及び長期動作試験を実施し、研究開発段階での問題点の早期洗い出しと対処を行った。

今回の次世代半導体メモリ装置の研究での評価項目の充実により、プロジェクトにおいては新規採用技術であっても開発リスクを抑えることが可能になる。また、エレクトロニクス技術グループとして、今回の研究開発で得られたノウハウ等を基に関連プロジェクトの開発を支援していく計画である。

今後は、次世代半導体メモリ装置の研究成果をさらに発展させ、長期ビジョン等の動向も考慮しつつ、開発コストや信頼性の観点で高度化されたサブシステムの研究を進めていく計画である。

4. 2 誤り制御符号の研究

誤り制御符号の評価を進め、宇宙機への適用性について検討を進める。また、誤り制御符号を応用した画像圧縮技術の研究も引き続き進める。

4. 3 MDS-1 用半導体レコーダ実験装置の軌道上実験

MDS-1 の軌道上実験のデータ解析結果をまとめ学会等で発表する。また、解析結果を今後の半導体メモリ装置の研究・開発に反映させ、確実な研究開発を進める。

4. 4 将来型記録媒体の検討

16 年度の作業結果を基に、フラッシュ・メモリ及びHDDの宇宙機搭載化に向けた、システム検討を行う。

以上