

# アンチヒューズ型 FPGA<sup>1)</sup> の評価試験結果

## Evaluation Results of Antifuse type FPGA

宇宙用部品開発共同センター(Space Component Engineering Center)

山田理子, 新藤浩之, 久保山智司, 松田純夫

Noriko YAMADA, Hiroyuki SHINDO, Satoshi KUBOYAMA, and Sumio MATSUDA

1) FPGA: Field Programmable Gate Array

### Abstracts

Several failures of a new generation of Antifuse type FPGAs (RTSX-S,SX-A) were reported subsequent to successful programming in the U.S. in 2003. It was inferred that the degradation of Antifuses causes the signal delay after the investigations and evaluations performed by NASA, Industry Tiger Team (ITT) and so forth. It was also suggested that the structure of FPGA die produced by MEC (Matsushita Electric Corp.) has an internal defect. The manufacturer recommends exchange to UMC die devices which are functionally compatible with MEC die devices.

These devices are used by nearly several programs in JAXA with recently built hardware. Rapid identification of root-cause and remediation are needed to keep programs on schedule.

The evaluation of Antifuse type FPGAs has been started at the beginning of 2005 in JAXA. In FY 2004, evaluation test preparation (the design of FPGA circuit and the program for an electrical parameter test) and the initial evaluation test to A54SX32A were carried out. The signal delay caused by antifuse degradation was successfully detected.

### 1. はじめに

2003年初頭から米国においてアンチヒューズ型 FPGA (RTSX-S,SX-A の MEC ダイ) の不具合が報告されるようになり、製造メーカとユーザで構成される不具合調査チーム (Industry Tiger Team:ITT) と NASA 等が原因究明及び評価試験を実施している。米国における評価試験結果から FPGA の不具合現象はアンチヒューズの抵抗増加による遅延と推定された。またその原因として MEC ダイの構造に本質的な欠陥があることが示唆されており、製造メーカは MEC ダイデバイスと互換性を有する UMC ダイデバイスへの変更を推奨している。UMC ダイデバイスは平成 16 年 10 月に QML 認定を受けたばかりであり、宇宙機器で使用された実績は無い。

本業務では、JAXA のプロジェクトですでにプリント基板に実装され機器に組込まれている MEC ダイデバイスの故障リスクを判断するため、寿命試験及び熱衝撃試験を実施し、アンチヒューズ故障に関する加速係数データ及び故障率を取得する。また代替品の UMC ダイデバイスについては宇宙適用実績が無いため評価試験を実施する。

### アンチヒューズ型 FPGA :

論理モジュール(Logic Module)と接続モジュール(Connection Module)を規則正しく並べておき、ユーザが電氣的な方法でそれらを任意に接続(プログラム)することによって、目的とする機能を有する LSI を現場(Field)で実現できる LSI。使用量の限られている宇宙機器では専用の LSI を作る場合に比べて格段にコスト低減・スケジュール短縮が可能になる。

## 2. 研究の概要

平成 16 年度は MEC ダイデバイス(A54SX32A 及び A54SX72A)に対して研究を行った。

A54SX32A については評価試験準備及び初期評価試験、A54SX72A については評価試験準備のみ(FPGA 評価回路の設計及び評価用プログラム作成)を実施した。

### 2.1 評価試験準備

評価サンプルとして A54SX32A 及び A54SX72A を調達した (Table-1 及び Fig. 1)。サンプルサイズを大きくして確度の高いデータを取得するため、MEC ダイデバイスについては民生品の A54 シリーズを使用した。A54 シリーズは宇宙用デバイス (RTSX シリーズ)とアンチヒューズそのものの構造は変わらない。

Table 1- List of the samples

Part Number	Manufacturer	Sample Size	Remark
A54SX32A-CQ256M	Actel Corp.	190	MEC
A54SX72A-CQ256M	Actel Corp.	320	MEC

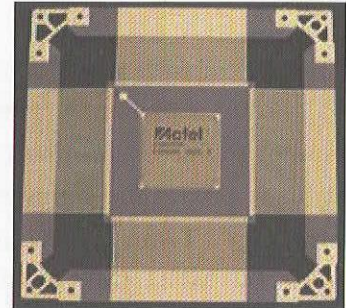


Fig. 1 Antifuse type FPGA (A54SX32A)

#### 2.1.1 FPGA 評価回路の設計

以下の 4 条件での寿命試験を実施することを想定して FPGA 評価用回路の配置設計・回路設計を行い、回路図を作成した。評価回路は、評価デバイスに対応したゲートチェーン (他励発振) とし、設計に際しては各条件に対し、論理シミュレーション、配置配線及び遅延シミュレーションを実施した。

条件 1 25°C、1MHz

条件 2 70°C、1MHz

条件 3 125°C、1MHz

条件 4 25°C、33MHz

#### 2.1.2 専用治工具の設計・製造

初期評価試験及び寿命試験において使用可能な試験用ボードの設計及び製造を実施した。設計に際しては中間観測として波形観測が可能な仕様とし、製造した試験用ボードの動作検証を実施した

#### 2.1.3 評価用プログラム作成

LSI テスタによる電気的特性試験において使用する電気的特性評価用プログラム及び初期評価試験及び寿命試験用プログラムを作成した。初期評価試験及び寿命試験用プログラムは共通化し、各プログラムに対して動作検証を実施した。

## 2.2 初期評価試験

### 2.2.1 評価回路書込み

2.2.1 項で設計した回路の書込みを行った。

### 2.2.2 初期電気的特性試験

2.1.3 項で準備した電気的特性評価用プログラムを使用して LSI テスタによる電気的特性試験を実施した。

### 2.2.3 初期評価試験

A54SX32A に対する寿命試験を 2.1.1 項に示した 4 条件で開始した。いずれの条件に対しても初期評価試験として累積時間 240[hr]を実施した。初期評価試験中は波形を観測し、デバイスの動作状態を監視した。また電気的特性を三回以上測定した。

## 3. 成果の概要

### 3.1 評価試験準備

#### 3.1.1 FPGA 評価回路の設計

アンチヒューズ故障を効率よく検出するために 1 デバイス当りのアンチヒューズの使用率が最大になるようにゲートチェーンを用いた。試験回路の概略図を Fig. 2 に示す。また、この試験回路において使用するアンチヒューズの数をも米国でこれまでに実施された評価試験での数と比較して Table-2 に示す。

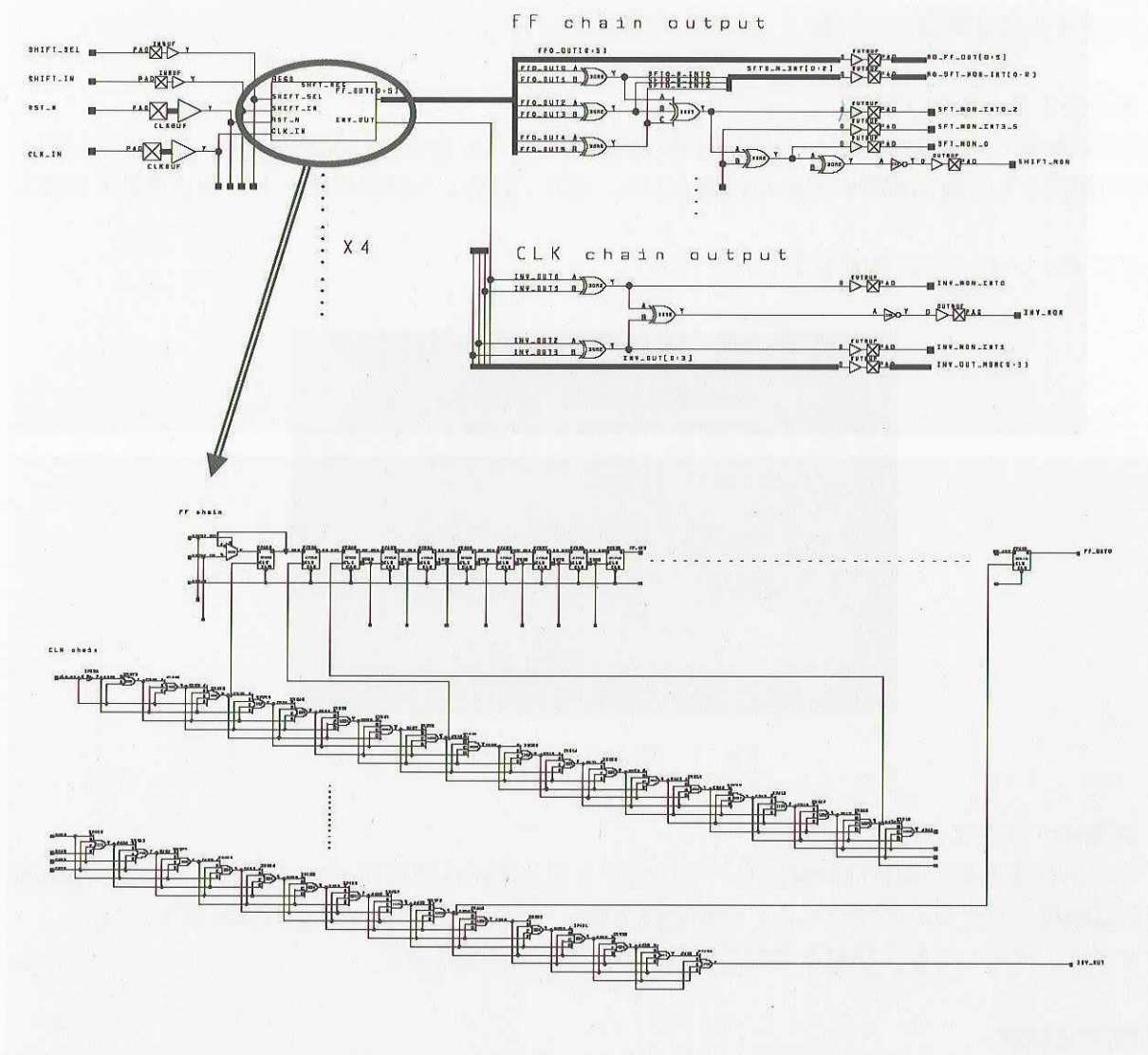


Fig. 1 Evaluation test circuit – Diagram

Table-2 The number of antifuses in test vehicles

Design type	# High current fuse (I, S, K, B)	# Low current fuse (F, X, G, V, H, W)	# Dynamic fuse (total)
JAXA	9975	7931	17906
Colonel test	7818	5197	13015
General test	7834	5178	13012
NASA	7406	4696	12102

回路の特長：

- ・ 試験回路で使用するアンチヒューズ数が最大 → 4-input AND-OR chains
- ・ 他励発振とすることにより安定動作が実現 → 故障検出が容易
- ・ R-cell をスキュード・クロックでドライブ → 10ns 以下の遅延検出が可能
- ・ 同一回路ブロックからのアウトプットの排他的論理和 (XOR) を常に比較 → リアルタイムな故障検出が可能

### 3.1.2 専用治工具の設計・製造

初期評価試験及び寿命試験に於いて使用可能な試験用ボードの設計及び製造を実施した。設計に際しては、中間観測として波形観測が可能な仕様とした。また、製造した試験用ボードの動作検証を実施した。

Fig. 3 にメインボードの写真を示した。

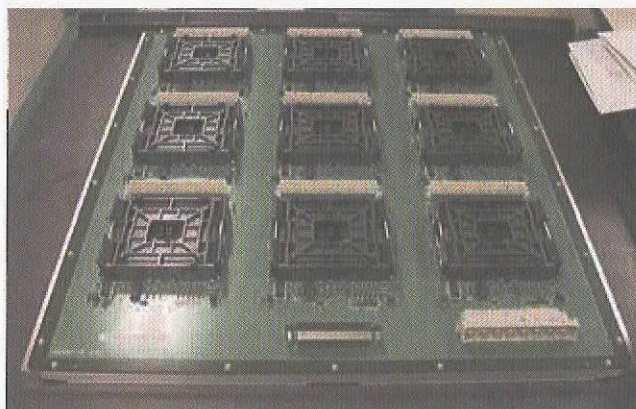


Fig. 3 Main test board

### 3.1.3 評価用プログラム作成

LSI テスタによる電気的特性試験において使用する電気的特性評価用プログラム及び初期評価試験及び寿命試験用プログラムを作成した。初期評価試験及び寿命試験用プログラムは共通化した。

各プログラムに対して動作検証を実施し問題の無いことを確認した。

## 3.2 初期評価試験

A54SX32A について寿命試験をスタートした。

評価試験の試験項目と条件を Table-3 に示した。

Table-3 Test Conditions and Items

Test Items	Test Conditions	Sample Size	Remarks
Programming	Old Algorithm(Ver4.42.0)	190	
Electrical Parameter Test (initial)	25°C・1MHz	190	Function Test・DC・AC
Long-term Life Test	25°C・1MHz・240H	45	Daily checkup: Voltage・Current・Temperature・Waveform
	70°C・1MHz・240H	45	Daily checkup: Voltage・Current・Temperature・Waveform
	125°C・1MHz・240H	45	Daily checkup: Voltage・Current・Temperature・Waveform
	25°C・33MHz・240H	45	Daily checkup: Voltage・Current・Temperature・Waveform
Electrical Parameter Test (after 240hrs)	25°C・1MHz	180	Function Test・DC・AC

### 3.2.1 評価回路書込み

- ・初期評価試験の実施に先立ち、デバイスの受入検査を実施した。

受入検査結果

良品／不良品：179 個／1 個

- ・合格品に対して、旧アルゴリズムを使用して 3.1.1 項で設計した回路を書込こんだ。  
書込み時に使用したるアルゴリズム及び書込みソフトウェアは以下の通り。

- ・MEC ダイ用 Old Algorithm(Ver4.42.0)

書込み結果

良品／不良品：179 個／0 個

### 3.2.2 初期電気的特性試験

LSI テスタを使用し、以下の項目の測定を行った。

- (1)機能試験：常温・1 MHz で期待値の通り動作するかを確認
- (2)DC 測定：静特性の測定（常温）
- (3)AC 測定：出力信号の動特性の測定（常温）

測定結果

投入：180 個

不良及び 3σ はずれ：11 個

コンタクト不良：1 個（オープン）

機能不良：5 個

AC 測定 3σ はずれ：4 個

その他：1 個

良品：169 個

### 3.2.3 初期評価試験

寿命試験を開始した。電源電圧は  $2.5\text{ V} + \alpha$ （トランジェントも含めて最大 2.75V になるように調整）とし、2.1.1 項に示した 4 条件で初期評価を行った。

試験ボードのモニタ端子より、各デバイスの波形の確認をリアルタイムで行った。初期状態の波形を記録し、±5ns 以上の変動が確認された場合はデバイスに何らかの異常があったとして、その状態を記録した。

また LSI テスタを使用し、以下の項目につき電気的特性測定を行った。

- (1)機能試験：常温・1 MHz で期待値の通り動作するかを確認
- (2)DC 測定：静特性の測定（常温）
- (3)AC 測定：出力信号の動特性の測定（常温）

各試験条件における結果をTable-4 (a)~(d)に示した。

Table-4 Test Results

(a) 25°C・1MHz

Test Point(hrs)	Failures	Failure Mode
1	5	1 Shift register 4 Inverter
12.5	0	
30.7	0	
96	1	1 Shift register
236.95	0	
Total	6	

(b) 70°C・1MHz

Test Point(hrs)	Failures	Failure Mode
0.5	2	2 Inverter
2.1	0	
4.9	0	
13	0	
37.7	1	1 Inverter
109.2	1	1 Inverter
281	0	
Total	4	

(c) 125°C・1MHz

Test Point(hrs)	Failures	Failure Mode
0.5	1	1 Inverter
1.5	1	1 Shift register
4.8	0	
12.8	0	
33.5	0	
44.5	1	1 Inverter
105	0	
256.5	0	
Total	3	

(d) 25°C・33MHz

Test Point(hrs)	Failures	Failure Mode
0.5	1	1 Inverter
1.3	0	
3.3	0	
10.3	0	
30.3	0	
100.3	0	
294	1	1 Inverter
Total	2	

#### 4. まとめ

アンチヒューズ型FPGA（MECダイデバイス）の評価試験を開始した。

A54SX32A及びA54SX72Aの寿命試験を行うためのFPGAの回路を作成した。この回路においてはアンチヒューズ故障による5ns以上の遅延の変化が検出できる。設計した回路について論理シミュレーション、配置配線及び遅延シミュレーションを実施した。

寿命試験を行う為の測定方法・仕様を検討し、試験用ボード・治工具を整備した。

LSI テスタによる電気的特性試験において使用する電気的特性評価用プログラム及び初期評価試験及び寿命試験用プログラムを作成した。初期評価試験及び寿命試験用プログラムは共通化し、各プログラムに対して動作検証を実施した。

A54SX32Aに対して初期評価試験を実施した。温度・周波数を割りふった4条件全てで遅延故障が発生した。本業務において設計したFPGA回路により、米国と同様のアンチヒューズ遅延現象の発生を確認することができた。

平成17年度はMEC製ダイデバイスについて評価試験を継続するとともに、UMCダイデバイスについて評価を実施する。