

バーストSRAMの開発

High-Speed burst Static RAMs for space use

総合技術研究本部 宇宙用部品開発共同センター
Space Component Engineering Center, Institute of Space Technology and Aeronautics
新藤 浩之, 浅井弘彰, 山田理子, 久保山 智司, 松田 純夫
Hiroyuki Shindo, Hiroaki Asai, Noriko Yamada, Satoshi Kuboyama, Sumio Matsuda

Abstract

A Committee for space part/component technologies has been set up since 2002 in JAXA (NASDA in those days). The committee was established to discuss about how we can acquire and maintain the world's most advanced technology with independence and flexibility in the area of space parts/components. Burst SRAM was selected as one of the important parts, and began developing in 2003 fiscal year. The design and manufacturing the engineering sample were executed at current year.

1. はじめに

我が国の宇宙活動を継続し自立性を確保することを目的として「宇宙用部品技術委員会」が平成14年度10月に設置された。この委員会では戦略性を考慮しながら中長期的視点に立った部品の基盤技術の強化を図るため、今後の宇宙用部品の対応について様々な議論がなされている。その結果、基本方針として“自立性の確保”, “信頼性の確保”, “国際協調および国際競争力の確保”という観点から、今後国内で開発すべき重要部品が選定された。

バーストSRAM (burst Static Random Access Memory) はこの重要部品として選定された部品のひとつである。バーストSRAMとは、バースト転送モードを有するクロック同期式のSRAMである。バースト転送モードとは、データ転送時にアドレス指定を最初の1回で済ませ、以後はデータを連続的に送信する方式のことである。この方式では、アドレス指定を省略する分、データの転送速度が速くなる。宇宙用計算機システムを構築するメモリとしては、簡潔な構成で低消費電力化が容易という観点から従来では非同期式SRAMが用いられてきたが、100MHz以上のデータバスによる高速アクセスには対応できないという問題があった。これを解決するために、平成15年度よりバーストSRAMの開発を開始した。

2. 研究の概要

昨年度はバーストSRAMのメモリ部の仕様検討を行い、異なるSRAMマクロ構成で3種類のバーストSRAM (メモリ容量は小さい) をレイアウト設計し、遅延解析を行った上でSiチップの試作を実施した。このトライアルによって、実現できる動作速度、レイアウトを実施するうえで最適なマクロ構成等、技術的目処をつけることができた。本年度は、以下の項目について実施した。

- バーストSRAMの全体仕様検討
- バーストSRAMの設計および試作結果
- パッケージ開発

3. 成果の概要

3.1 バーストSRAMの全体仕様検討

昨年度に実施した部分試作では、SRAMメモリ部の回路構成について検討を実施し、レイアウトの容易性および低消費電力化の観点から、使用するSRAMメモリマクロを決定した。このマクロを使用した場合、10mm×10mmのチップに最大で9Mbitのメモリ容量が実現可能であるとの見通しを得た。

宇宙用バーストSRAMの最終製品は、メモリの大容量化をはかるためにチップの積層を想定している。そのため、チップ間の信号伝達を可能にするインターフェース回路を検討する必要がある。また、200MIPS級64bitMPUとの接続を想定したインターフェースである必要がある。さらに、宇宙放射線によるシングルイベント現象に対する対応策も導入する必要がある。本年度は、これらの点について着目し、バーストSRAMの最終仕様の検討を実施した。

3.1.1 チップ積層化の検討

設計する宇宙用バーストSRAMは、1チップのメモリ容量が9Mbit (512Kword × 18bit) であるが、32bitもしくは64bitデータバスに対応した外付けメモリとして使用する際は、3または4チップを1パッケージに搭載したメモリモジュールとして使用する仕様とした。3チップ構成の場合のメモリ容量は、20Mbit (512Kword × (32bit + 8bit ECC)) となり、4チップ構成の場合は、36Mbit (512Kword × (64bit + 8bit ECC)) となる。チップの積層数は2とし、これを2組並べてパッケージに搭載する方式とした。

3.1.2 インターフェース回路の検討

本バーストSRAMをコントロールするMPUから見た場合、メモリ側の入力ピンの負荷は出来るだけ小さい方が好ましい。このことから、4チップモジュールの場合を例に考えた場合、外部とのインターフェースは、4チップ中1チップのみとし、外部からの信号を3.3Vバッファで受け、これを1.8Vバッファで出力し、各チップに配信する仕様とした。

3.1.3 インヒビット機能の検討

前述のとおり、SRAMモジュールとしては、36Mbit と20Mbitの2品種を検討中であるが、20Mbitの場合、3枚チップを搭載してもこの内1チップは9Mbit 中2Mbitしか使用しないことになる。このように1チップ中の一部のみを使用する場合、消費電力削減のため使用しないビット領域をスタンバイ状態にできるよう、インヒビット制御ピンを設ける仕様とした。

3.1.4 放射線対策の検討

今回使用しているSRAMマクロ自体は、一般民生用マクロをそのまま適用しているため、放射線対策は施されていない。従ってまず、レイアウトの工夫によって、1ワード中の複数ビットが同時にシングルイベントを発生しないような対策（つまり、ビット毎にメモリブロックを分け、物理的に距離を離すことで複数ビット反転を防ぐ方式）を施すこととした。また、制御回路部やアドレス生成回路当のロジック部で使用されるフリップフロップ回路やラッチ回路に対しては、独自に設計した耐放射線性強化セルを使用することで放射線耐性を強化することとした。

以上の検討結果によって導き出された仕様に基づき、0.18 μ m CMOSプロセスをターゲットとして宇宙用バーストSRAMの設計を実施することとした。

3.2 バーストSRAMの設計および試作結果

3.1項に述べた検討結果をもとに、宇宙用バーストSRAMの回路設計を行った。設計にはVHDL言語を使用した。回路の全体構成図をFig.1に示す。設計・検証の後に、論理合成、レイアウト設計を実施した(Fig. 2)。タイミング検証については、レイアウト後の実配線遅延付きのゲートレベル検証において実施し、想定したタイミングで問題なく動作することを確認した。検証の後、チップ製造に必要なGDSデータを作成した。

チップ製造にあたっては、200MIPS 64bitMPUと同じ0.18 μ m CMOSプロセスを使用した。製造したチップは、汎用のセラミックピングリッドパッケージに組み立てた。試作したサンプルの外観写真をFig.3に示す。

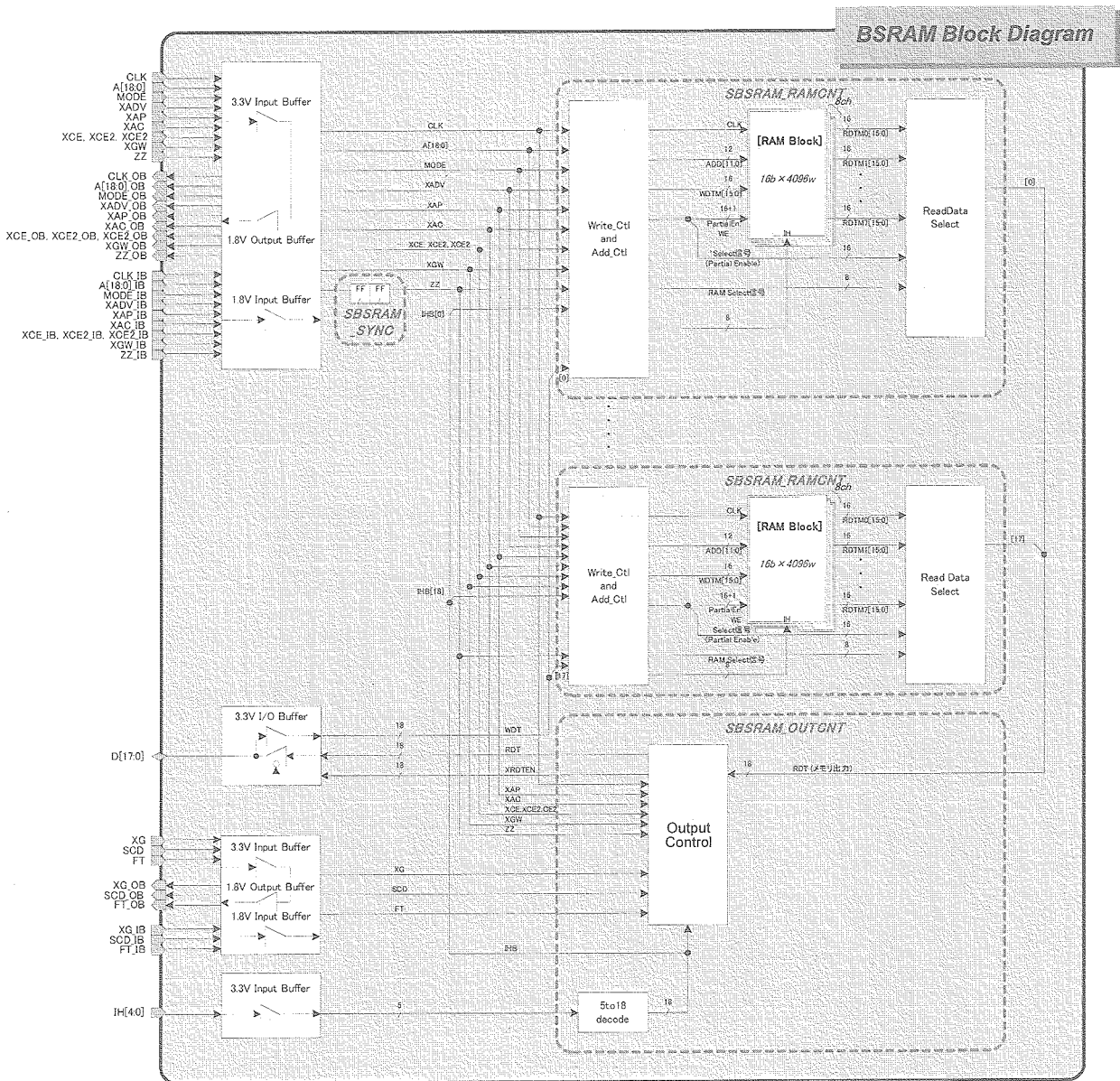


Fig.1 Block diagram of burst SRAM

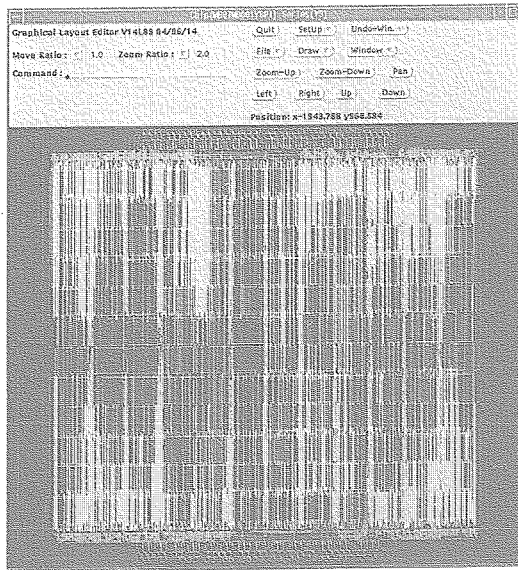


Fig.2 Chip layout

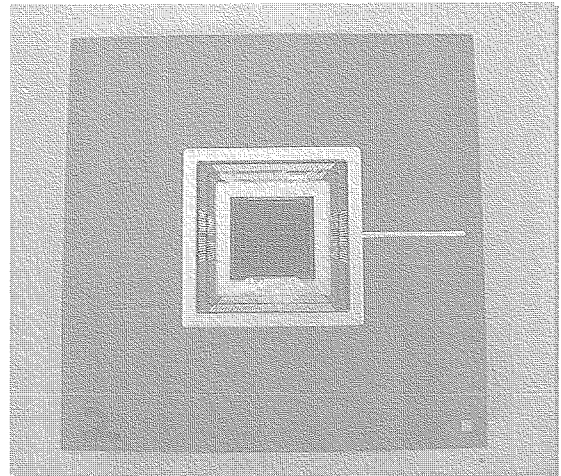


Fig.3 ES sample (1chip, 9Mbit)

3.3 パッケージ開発

上記で設計したバーストSRAMチップを搭載するためのパッケージの設計開発を実施した。チップを搭載するキャビティ部の寸法は、4チップを1パッケージに実装可能な仕様とした。パッケージ外形は126ピンフラットパッケージとし、本体材質をセラミック、シールリングおよびリード材質をコバルト（Fe-Ni-Co合金）、ヒートシンクをCu-W合金とした。また、すべての金属部はNi + Auメッキ（電解メッキ）による表面処理を施した。

製造したパッケージの外観写真をFig.4に示す。製造過程および完成後の外観にも問題はなく、パッケージの製造を完了した。

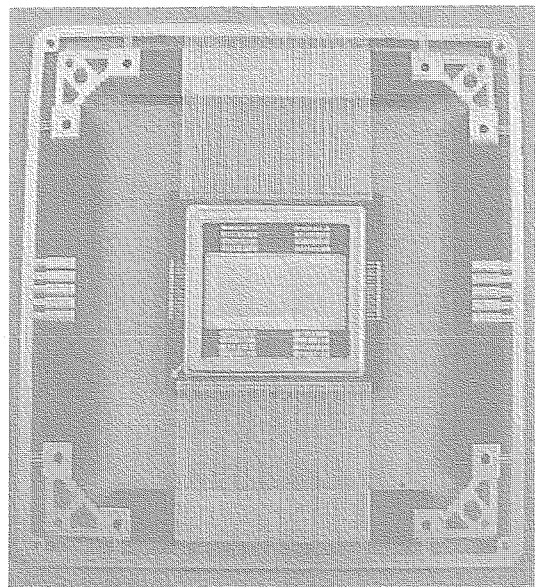


Fig.4 126pin Ceramic flat package for burst

4. まとめ

宇宙用バーストSRAMの実現に向け、本年度は回路設計、チップ試作およびパッケージの開発を実施した。最終製品に向けた技術検討としてチップの積層化が残されているが、この点に関しては次年度試作を実施し、最終製品版の製造へとつなげていく予定である。