

航技研数値シミュレータ III の性能と特性

松尾裕一*1

Performance and Characteristics of NAL NSIII

by

Yuichi MATSUO*1



ABSTRACT

NAL introduces a new supercomputer system called Numerical Simulator III (NSIII) October 2002 whose peak performance is 9.3 TFLOPS with 3.6TB user memory. In this paper, the performance evaluation results for NSIII, particularly for the Central NS System called CeNSS, are shown. These include the full system LINPACK measurement is 5.406TFLOPS, for single CPU results are 400-700MFLOPS, and for the actual NAL parallel applications the sustained performance is over 1TFLOPS.

1. はじめに

航空宇宙技術研究所（以下「航技研」）では、スーパーコンピュータの高速計算処理能力を利用して、計算流体力学（Computational Fluid Dynamics; CFD）に代表される数値シミュレーション技術の発展と普及、ならびに航空宇宙機の国際共同開発における我が国の技術競争力の向上と確立を目指して、昭和62年（1987年）より「数値シミュレータ（Numerical Simulator; NS）」計画を推進している。航技研のスパコンと言えば「数値風洞」の名を思い浮かべられる方も多いと思うが、数値風洞を中核とする第2期数値シミュレータは、平成14年（2002年）7月をもって運用を終了し、設備更新工事の後、平成14年（2002年）10月より、新たなHPCサーバを中核とする第3期数値シミュレータ NSIII を本格稼働させた。NSIII は、平成15年（2003年）10月に実現する宇宙3機関統合においても、ロケット等の開発や信頼性向上において重要な役割を果たして行くことが期待されている。

本稿では、航技研の第3期数値シミュレータ NSIII の稼働後、ほぼ1年が経つのを機に、その性能と特性について報告する。以下、2. で NSIII の概要に言及した後、3. で NSIII の中核エンジンたる CeNSS の性能と特性に絞って述べる。

2. 第3期数値シミュレータの概要

第3期数値シミュレータ（NSIII）の全体構成を図1に示す。NSIII のハードウェアとしては、計算サブシステム（Computing subsystem）、大容量ストレージサブシステム（Mass storage subsystem）、可視化サブシステム（Visualization subsystem）、ネットワークサブシステム（Network subsystem）の4サブシステムから成る。以下、それぞれのサブシステムの詳細を説明する。

計算サブシステムは、中央 NS システム（Central Numerical Simulation System; CeNSS）と呼ばれ、富士通製 PRIMEPOWER HPC2500 の18筐体が単段クロスバ・スイッチで結合されたものである。1筐体には、128個のスカラ CPU（SPARC64 V）が搭載されており、最大256GBのメモリを共有する128wayのSMP（Symmetric Multi Processor）を構成することができる。筐体の

構成単位は、システムボード（SB）と呼ばれ、1システムボードに8CPU、1筐体にSB16枚が実装されている。システム構築の柔軟性から、1筐体を64way SMP×2ノードまたは32way SMP×4ノードに分割できる。それぞれのノードには独立のOSを有したSMPを構成している。ここでは、18筐体のうちの14筐体を32CPUずつ4つのSMPノードに分割し、全部で56ノードを計算用に割り当てている。残りの4筐体のうち3筐体は、それぞれ64CPUのSMPに分割し、全部で6ノードのうち4ノードは、サービスノードとして、コンパイル、小規模処理、アプリケーション実行などの様々なサーバ処理を担当させ、残りの2ノードは、ログインノードとして、ユーザがシステムを利用するための入り口処理を担当させている。このようにした背景には、NWTにおける独立したフロントエンドシステムの使いにくさの反省がある。最後の1筐体は、128way SMPとして、I/Oノードに割り当てている。CPUのクロックは1.3GHzで、プリフェッチ、out-of-order実行、浮動小数点演算の4命令同時実行などのスカラ高速化技術が取り入れられている。筐体の処理性能はトータルで665.6Gflop/s、システム全体として9.3Tflop/sの計算処理性能、3.6TBのメモリを有する。各ノードは、DTU（Data Transfer Unit；数は、各ノード1個、I/Oノードのみ2個）を通じてクロスバに結合されている。クロスバは往復それぞれ4GB/秒の転送性能を有する。CeNSSの構成を図2に、主要緒元を表1に示した。

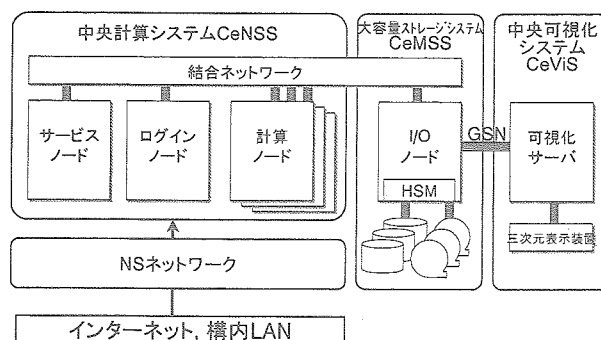


図1 NSIIIのシステム構成

*1 航空宇宙技術研究所

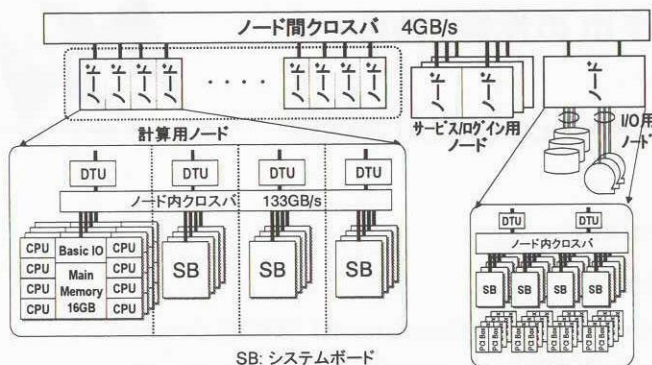


図2 中央 NS システム (CeNSS) の構成

表1 中央 NS システム (CeNSS) の主要緒元

理論ピーク計算処理性能	9.3Tflop/s
計算処理用メモリ量	3.6TB
CPUアーキテクチャ	SPARC64 V
計算用CPU数	1792
計算用ノード数 (構成)	56 (32way SMP)
サービス用ノード数 (構成)	4 (64way SMP)
ログイン用ノード数 (構成)	2 (64way SMP)
I/O用ノード数 (構成)	1 (128way SMP)
総CPU数	2304
結合ネットワーク (性能)	クロスバ (4GB/秒×2)

大容量ストレージサブシステムは、中央マスタストレージシステム (Central Mass Storage System: CeMSS) と呼ばれている。CeMSSは、57TBのRAID5ディスク (富士通製PW-D500B1) が80本のファイバチャネルでI/Oノードに接続されている。テープライブラリ (IBM製IBM3584) は、40台のドライブを有し、40本のファイバチャネルでI/Oノードに接続され、総容量620TBを有する。ストライピング技術によりI/Oノードとディスク間の1GB/秒の実効バンド幅を実現している。ストライプ数は、ベンチマークテストから16とした。テープ媒体には、LTO Ultriumという規格のものを採用した。LTOは、巻あたり100GB (非圧縮) の容量、15MB/秒の転送速度を有する。ディスクとテープ間については、階層管理(Hierarchical Storage Management: HSM、ソフトウェアとしてはSAM-QFS)を導入し、ユーザからはディスクとテープの区別なく利用できるようにしている。テープ装置の運用は、転送は4ストライプとして60MB/秒の転送速度を確保するとともに、安全性を考慮し2コピーを持つことにしている。このような構成とすることで、ファイルの物理的な分散を避けることができる。ただし、I/Oノードのダウンが全システムダウンに繋がる危険性もあるので、DTUを冗長にする、ソフトウェア構造を簡単にするといった耐障害性の工夫を施している。

可視化サブシステムは、中央可視化システム (Central Visualization System: CeViS) と呼ばれている。このシステムは平成13年度 (2001年度) に導入され、可視化サーバ (SGI製Onyx3400) は、32個のCPU、64GBの共有メモリ、1.5TBのデ

ィスク容量を有し、4.6m×1.5mの画面を持つ大型3次元表示装置AeroVisionやグラフィックス端末から成る。(図2) AeroVisionは、通常のCRTの3倍の解像度とステレオ表示などの機能を有し、AVSやEnSightといった市販の可視化ソフトを利用できる。さらに、CeNSSの大規模計算データをメモリ to メモリで転送し、リアルタイム可視化を行えるように、GSN (Gigabyte System Network) を用いてI/Oノードと実効500MB/秒のバンド幅により接続 (GSNLink) している。GSNは、別名HiPPI6400とも呼ばれ、ピーク転送性能800MB/秒の規格である。ここでは、実効500MB/秒を得るために4ストライプで実装している。また、この速度をIPプロトコルで表現するのは困難なので、STプロトコルによるライブラリ (STF) を被せている。CeViSの詳細は文献1を参照されたい。

ネットワークサブシステムは、NSネット (NS System Network: NSnet) と呼ばれる。ギガビットスイッチを中心に基本的にギガビット・イーサネット回線で接続されている。運用性と保全性を担保するためにユーザホーム領域はネットワークディスクNASとし、NISサーバ等のサーバ類も別立てとしている。また、運用アプリの通信用に管理ネット (冗長構成) を別に設けて各筐体を接続し運用性を向上させるとともに、ハードの異常検出、自動運転を行う制御ネット (冗長構成) をやはり別に設けている。

図3に、計算機室のレイアウトを示した。可視化システムは計算機室に隣接する可視化センターに設置されている。



図2 中央可視化システム (CeViS) の構成

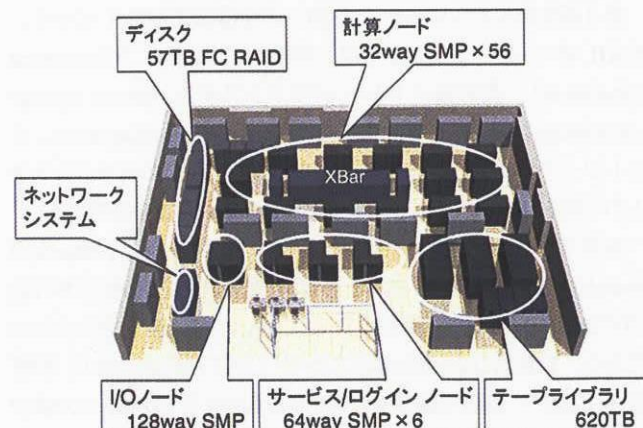


図3 計算機室のレイアウト

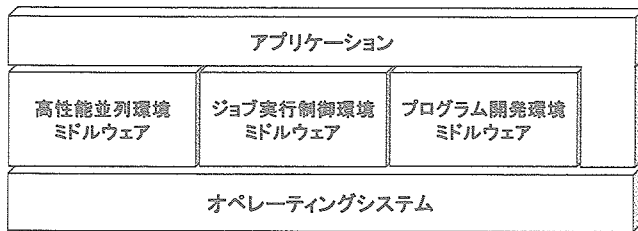


図4 中央NSシステム (CeNSS) のソフトウェア構成

次に、NSIIIのソフトウェアについて述べる。まず、中央NSシステムCeNSSのソフトウェア構成を図4に示す。オペレーティングシステム(OS)には、業界標準の64ビットUNIX OSの一つであるSolaris 8が採用されている。これにより、大容量メモリ及び4GB以上のファイルを扱うことができる。また、各ノードにOSを持たせることで、いずれかのノードがダウンしても全システム停止に至ることのない障害に強いシステムを構築している。CeNSSのソフトウェアとして特徴的なのは、機能性の観点からミドルウェア層を設けていることである。高性能並列環境ミドルウェアは、大規模並列計算を実行するためのラージページと呼ばれるメモリを効率的に利用する環境などを提供する。また、SRFS (Shared Rapid File System) と呼ばれる高速ネットワークファイルシステムを提供し、どのノードからもCeNSS上同一のファイルシステムを参照できる。SAM-QFS、SRFSともに理論ピークの80%程度の実効性能が確かめられている。ただし、SAM-QFSについては、小さなファイルのI/Oは性能が出ないので、大規模ファイルシステム(large)の標準ブロックサイズを大きく(512KB)し、大規模I/Oの実効性能ができるだけ高くなるようにしている。プログラムなどの小さなファイルは、専用NASの小規模ファイルシステム(home)に置くようにしている。一方、ジョブ実行制御環境ミドルウェアは、各種ジョブを効率的に実行する環境を提供する。CeNSSでは、通常のバッチジョブクラス(QJOB)の他に、パラメータを対話的に入力可能なジョブクラス(QTSS)を設定している。(表2) キューイングはNQSを基本とするが、航技研独自開発のジョブスケジューラ(NSJS)を介して小ジョブから大規模ジョブまで、空いているCPUを極力少なくし計算リソースを有効活用する環境を構築している。最後に、プログラム開発環境ミドルウェアは、コンパイラやツールを提供する。コンパイラとしては、FORTRAN、C、C++を有する。CeNSSでは、並列プログラミングの標準として、ノード内ではスレッド並列、ノード間ではプロセス並列というスタイルを採用している。スレッド並列は、共有メモリ計算機特有の並列化手法であり、並列化のオーバーヘッドが小さい特長がある。並列プログラミング支援として、スレッド並列には自動並列とOpenMP、プロセス並列にはMPIとXPFortranを提供している。XPFortranはNWTFortranと互換で、NWTFortranで書かれた並列プログラムは、再コンパイルのみで使用できる。図5に、CeNSSの並列プログラミング体系を示す。

表2 ジョブクラスと制限値

ジョブクラス		リクエストの資源使用制限値 (MAX)					
		経過時間 (秒)	プロセス数	スレッド数	総CPU使用台数 (台)	メモリ使用量 (GB)	
QTSS	キュード型 TSS	FIFO	300	128	16	256	512
	デバッグ						
QJOB	長時間 実行優先権	20000	255	16	1024	2048	

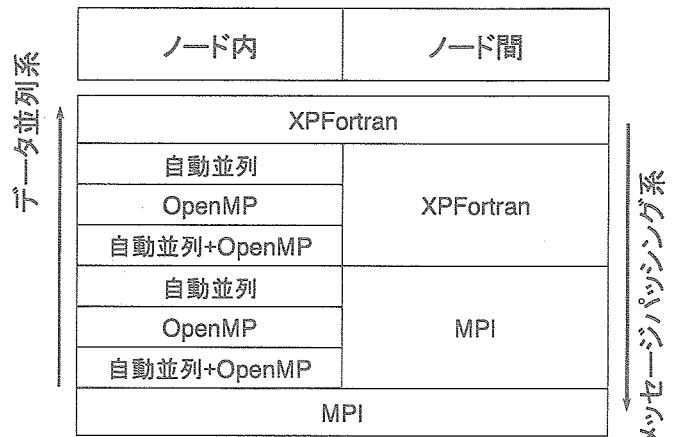


図5 CeNSSにおける並列プログラミング体系

```

:
: XOCL PARALLEL REGION NWT-F, MPIによる並列化
:
: XOCL SPREAD DO /IPN
do 1000 n = 1, nblock
do 1 l = 1, lmax
do 1 k = 1, kmax
do 1 j = 1, jmax
di = 1./q(j,k,l,1,n)
u(j,k,l) = q(j,k,l,2,n)*di
:
: rmu(j,k,l,n) = (cc*1.5)*c2bp/(cc*c2b)
: turmu(j,k,l,n) = 0.
v 1 continue
1000 continue
: XOCL END SPREAD DO
:
: XOCL END PARALLEL REGION
:

```

NSII

```

:
: XOCL PARALLEL REGION XPFor, MPIによる並列化
:
: XOCL SPREAD DO /IPN
do 1000 n = 1, nblock
do 1 l = 1, lmax
do 1 k = 1, kmax
do 1 j = 1, jmax
di = 1./q(j,k,l,1,n)
u(j,k,l) = q(j,k,l,2,n)*di
:
: rmu(j,k,l,n) = (cc*1.5)*c2bp/(cc*c2b)
: turmu(j,k,l,n) = 0.
p 1 continue
1000 continue
: XOCL END SPREAD DO
:
: XOCL END PARALLEL REGION
:

```

NSIII

図6 並列プログラムの移行

図6は、CFDコードでよく現れる3重Doループを例に、NSII (NWT) からNSIII (CeNSS) へのプログラミング・スタイルの典型的なマッピングを示す。NWTでは、最外側ループが並列化され、内側ループがベクトル化されるというパターンであったのが、CeNSSでは、最外側は同様に並列化されるのは変わらないものの、内側がスレッド並列化される点が異なる。自動並列は、実行時に環境変数で指定するので、ソースの変更は生じない。また、CeNSSでは、Parallelnavi Workbenchと呼ばれる統合的なソフトウェア開発環境が提供されている。グラフィカルエディタ、デバッグ、プロファイラ、ソース解析、などのツールを利用できる。数学ライブラリとして、SSL II、C-SSL II、BLAS、LAPACK、ScaLAPACKを利用できる。中央可視化システム CeVis のソフトウェアについては、NSIII のポータルサイト (<http://censs.nal.go.jp>) を参照されたい。NSIII の構成に関するさらなる詳細は文献2-6を参照されたい。

3. 第3期数値シミュレータの性能評価

ここでは主に中央計算機システム CeNSS (富士通製 PRIMEPOWER HPC2500) の性能評価結果について述べる。CeNSS の基礎性能について、図7は MPI ping-pong (MPI_SENDRECV 関数による1体1通信) テストの結果を示す。最大で3.58GB/秒 (ピーク4GB/秒の89.5%) を達成している。これは、ノード間の転送性能を示す目安であるが、一方ノード内のメモリアクセスに関しては、STREAM ベンチで CPU あたり Triad 2.254GB/秒 という値を得ている。図8は、MPI バリア (MPI_Barrier 関数) のテスト結果であり、ハードバリアに関しては、CPU 数に係わらずほぼ7μsec という短い値を得ている。一方、図9は、Euroben ベンチマークの Kernel7 の結果を、著名な CPU と今回の CPU で比較したものである。SPARC64 V は、他の CPU と比べて単体性能としては遜色ない。(著名な CPU の値は、ホームページ <http://www.euroben.nl> から持ってきたものであり測定はしていない。)

LINPACK ベンチマークについては、実効で $R_{\max}=5.406\text{Tflop/s}$ という数値を記録した。このとき $N_{\max}=658,800$ であり、すべての筐体を (64way SMP) $\times 2$ に再構成し、63 スレッド \times 36 プロセスという形態で計測している。ここに、 $R_{\text{peak}}=11.98\text{Tflop/s}$ である。 $R_{\max}=5.406\text{Tflop/s}$ という値は、表3に示したように、top500において、2003年6月の時点で世界第7位となる数字である。地球シミュレータや ASCII マシンといったカスタムメイドのシステムが多い中で、ハイエンドサーバで構築したものとしては世界トップに位置づけられる。ただ、 $R_{\max}/R_{\text{peak}}=0.451$ と、他のシステムに比べて実効効率が低く、性能向上に向けての関係者のより一層の努力を望みたい。

航技研のアプリケーションについては、5本の非並列 NS コードを選び、単体 CPU の性能を測定した。図10は、VPP300 と CeNSS での ASIS 版、CeNSS でのチューニング版の3者間での比較を示す。VPP300 は、航技研が所有していたベクトル計算機であり、PE あたり 2.2Gflop/s の性能を有する。図からわかる通り、CeNSS チューニング版で $400 - 700\text{Mflop/s}$ の性能が出ており、VPP300

とほぼ同等の性能といえる。SPARC64 V の単体ピーク性能が 5.2Gflop/s なので、 700Mflop/s という数字は悪くない。施しているチューニングは、例えば、配列の1次元化や添字の入れ替え、ループ交換・融合等のループの見直しといった L2 キャッシュミス低減のためのスカラーチューニングが主であり、複雑なチューニングは行っていない。

次に、航技研の並列アプリケーションの性能測定結果を示す。表4に示したように、メモリアクセスや転送量の異なる4つのアプリケーションを選んだ。各々のコードの性格をプロットしたのが図11である。ここで、CPU、メモリアクセス、データ転送への依存度は、あくまで相対的なものであることに注意されたい。例えば、コード P2 は P1 に比べ、相対的に CPU への依存度、すなわち計算量が多いことを意味するだけである。ただ、明らかにコード P4 は、システムにとっては厳しいものであることに相違ない。また、それぞれのコードには、前述のキャッシュチューニングの他に、並列と転送のチューニングを施してある。実施した並列チューニングは、並列化の促進 (主にスレッド並列の促進=OpenMP 化) と転送の効率化 (重ね合わせ、等) であり、基本的にはユーザの了解のもののみである。ユーザが理解できないようなチューニングは行っていない。図12は、コード P1 のスケールアップ性能を示したものである。すべての筐体を (64way SMP) $\times 2$ に再構成し、スレッドは30に固定、プロセスを1-72と変更し性能測定した。格子数は、 $40 \times 150 \times 90 \times$ プロセス数である。図に示されている通り、このアプリケーションではきわめて良いスケラビリティを示しており、最大性能として 1014.8Gflop/s を達成している。図13は、コード P2 につき、ほど同様のテストを行った結果であり、図からも見てとれるようにコード P1 より計算量が多い分、最大性能も高く 1225.3Gflop/s を達成している。この2つのアプリケーションで実効性能 1Tflop/s を越えるのは、当初の目標でもあり、これが達成されたのは意義深い。実効効率では、コード P1 で9%、コード P2 で11%と、現状のチューニング内容とこの計算規模としては、まづまづといったところではないだろうか。

一方、図14は、コード P3 のスピードアップ性能を示したものである。格子サイズは、 $2048 \times 32 \times 1536$ 固定であり、2048 方向をプロセス並列化、1536 方向をスレッド並列化している。スレッドを固定してプロセスを変更する測定を何回か行った。ノードの再構成はせず、最大4ノードまで使用した。この場合、CPU 数が同じでも、スレッド数が多い場合の方が性能が良いケースが現れている。たとえば、1スレッド \times 16 プロセスの性能より4スレッド \times 4 プロセスの性能の方が実質的に高い。これは、このアプリケーションでは、FFT の転送量が多いために、プロセス間の転送速度よりスレッド間のメモリコピーの方が速いことに因ると考えられる。一方、図15は、コード P4 のスピードアップ性能を示したものである。格子サイズは、均一でなく $70 \times 20 \times 70$ 規模のブロックを7個用いている。スレッド性能が上がっていないのは、キャッシュミス率が高いことが原因と考えられる。また、データ転送の面でもプロセス性能のスケラビリティはあまり良くない。コード P3、P4 のような場合の性能向上は今後の課題と捉えている。

表3 LINPACK ベンチマークの世界 10 傑 (2003 年 6 月現在)

No	システム/CPU数	インストール (国、時期)	メーカ	Gflop/s
1	地球シミュレータ/5120	地球シミュレーションセンター (日本, 2002)	NEC	35860
2	ASCI Q - AlphaServer SC ES45 1.25GHz/8192	LLNL (米国, 2002)	HP	13880
3	MCR Linux Cluster Xeon 2.4GHz Quadrics/2304	LLNL (米国, 2002)	Linux Networks	7634
4	ASCI White SP Power3 375MHz/8192	LLNL (米国, 2000)	IBM	7304
5	SP Power3 375MHz 16way/6656	NERSC LBNL (米国, 2002)	IBM	7304
6	xSeries Cluster Xeon 2.4GHz Quadrics/1920	LLNL (米国, 2003)	IBM	6586
7	PRIMEPOWER HPC2500 1.3GHz/2304	NAL Japan (日本, 2002)	Fujitsu	5408
8	Rx2600 Itanium2 1GHz Cluster Quadrics/1540	Pacific Northwest National Lab. (米国, 2003)	HP	4881
9	AlphaServer SC ES45 1GHz/3016	Pittsburgh Supercomputer Center (米国, 2001)	HP	4463
10	AlphaServer SC ES45 1GHz/2560	CEA (フランス, 2001)	HP	3980

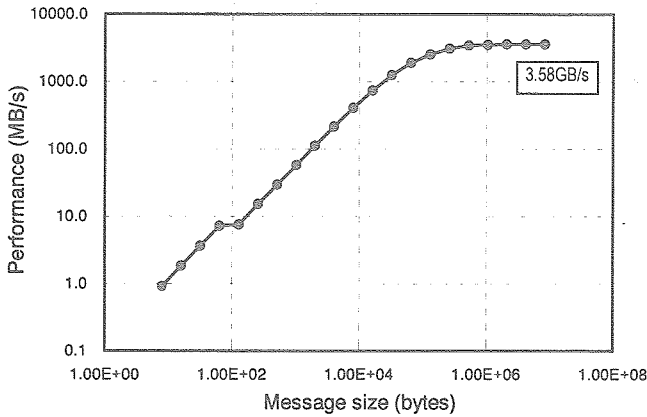


図7 MPI ping-pong 性能

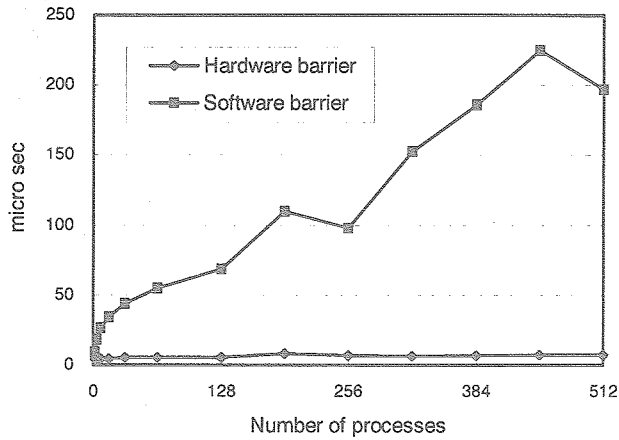


図8 MPI バリア性能

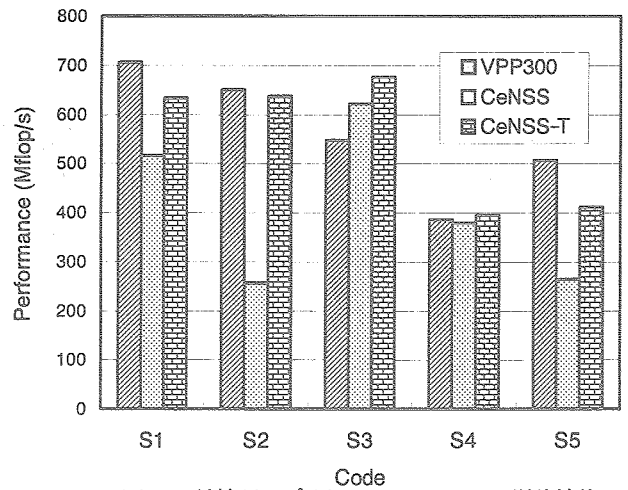


図10 航技研アプリケーションの CPU 単体性能

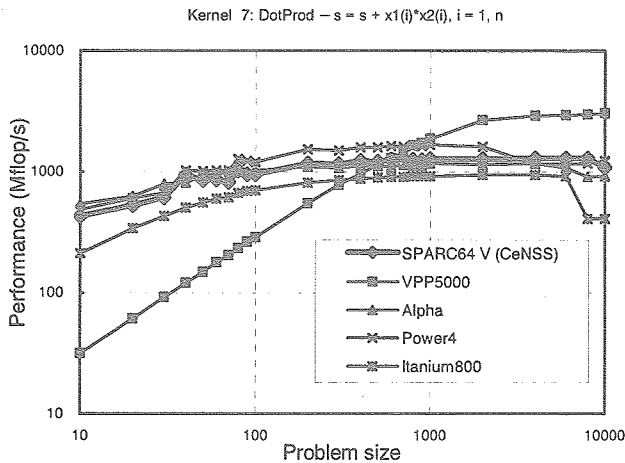


図9 Euroben ベンチマーク Kernel7 性能

表4 性能評価した航技研並列アプリケーション

Code	Application	Simulation Model	Numerical Method	Parallel strategy	Language
P1	Aircraft (Engineering)	LES	FDM	OpenMP+MPI	F77
P2	Combustion (Science)	DNS	FDM	OpenMP+MPI	F77
P3	Turbulence (Science)	DNS	FDM+FFT	OpenMP+XPF	F77
P4	Helicopter (Engineering)	URANS	FDM	AutoParallel+XPF	F77

LES: Large-Eddy Simulation

DNS: Direct Numerical Simulation

URANS: Unsteady Reynolds-Averaged Navier-Stokes

FDM: Finite Difference Method

FFT: Fast Fourier Transform

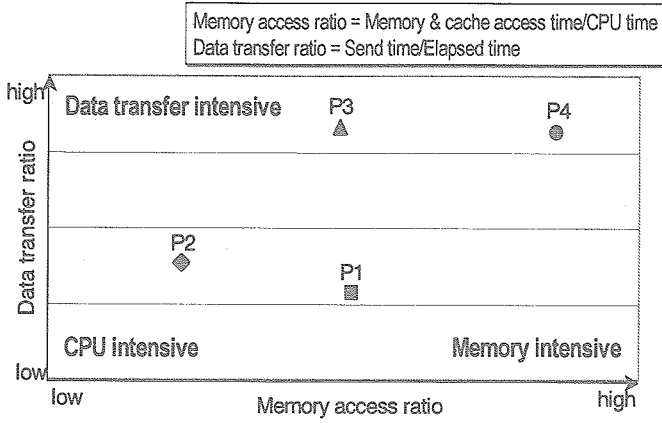


図 11 航技研並列アプリケーションの性質

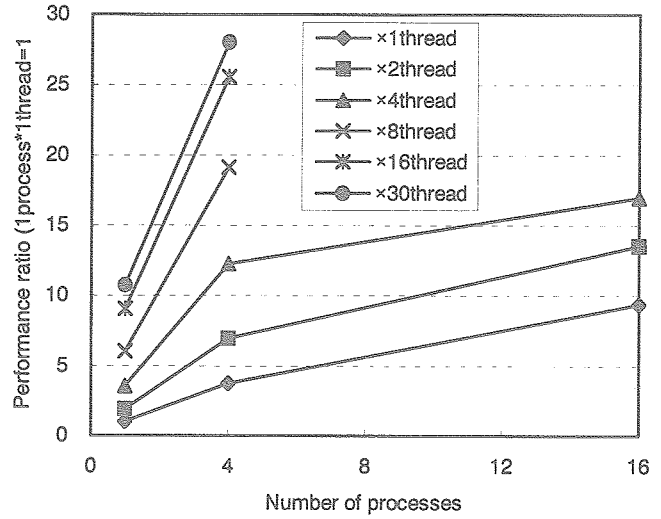


図 14 コード P3 のスピードアップ性能

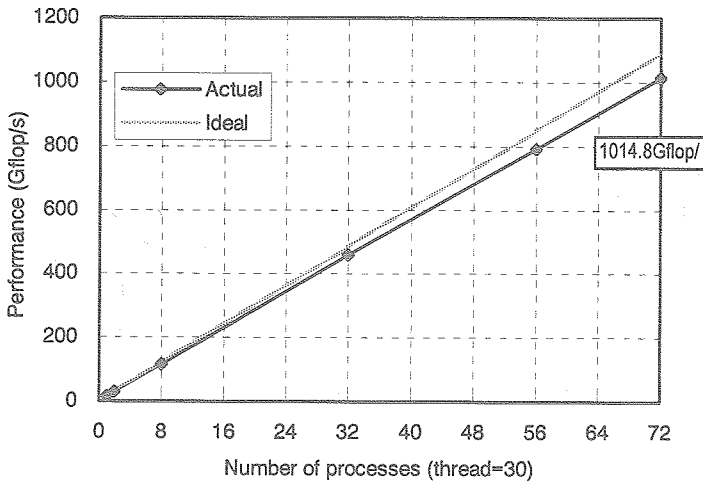


図 12 コード P1 のスケールアップ性能

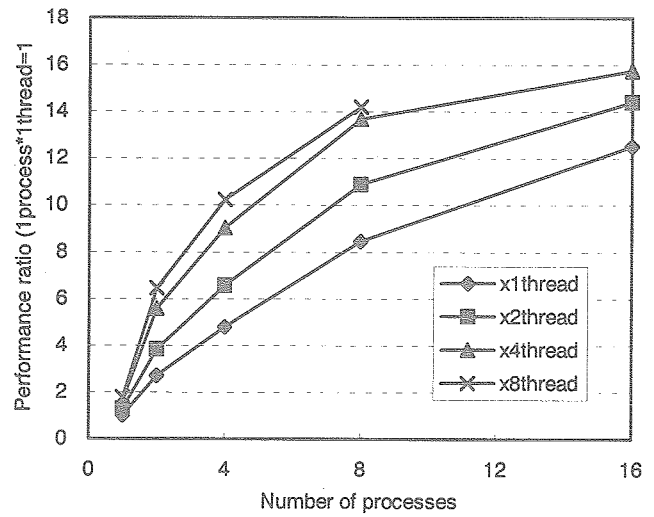


図 15 コード P4 のスピードアップ性能

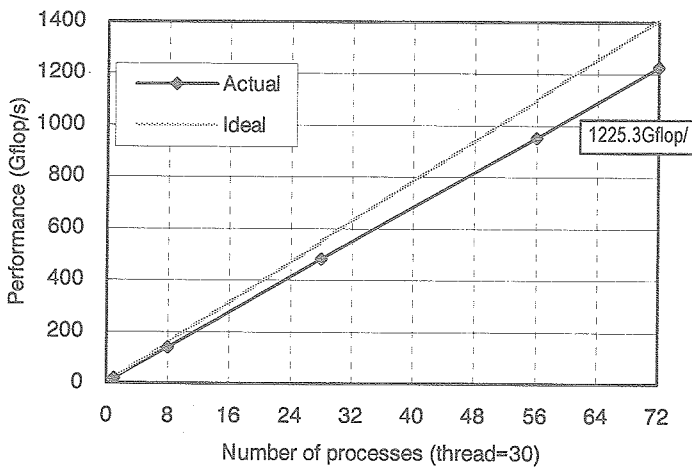


図 13 コード P2 のスケールアップ性能

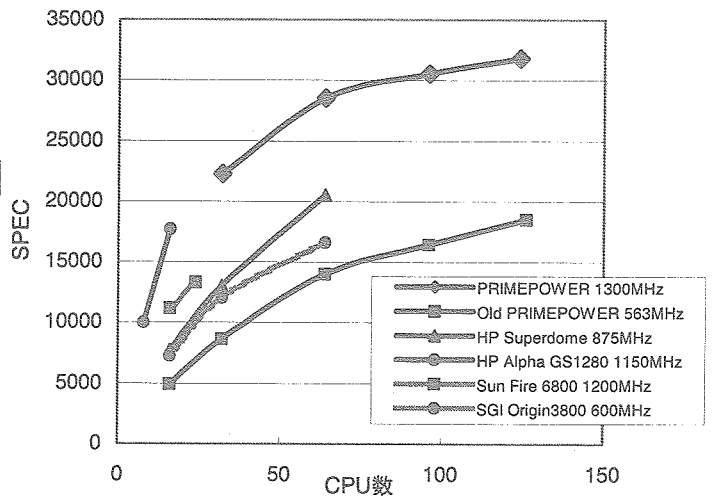


図 16 SPEC OMPM2001 の測定結果

	プロセス	スレッド
メモリ空間	独立	共有
変数	ローカル	グローバル/ローカル
マシン形態	分散メモリ/共有メモリ	共有メモリ
並列化	プログラム全体	一部でも可
データ通信	明示的	なし
言語	XPFortran, MPI	自動並列, OpenMP

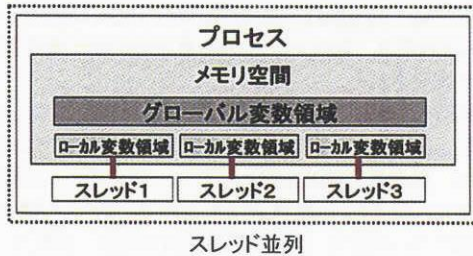


図 17 プロセス並列とスレッド並列の比較

スレッド並列を基本とする。スレッド並列は、図 17 に示すように手続きの並列化のみを指定する。(自動並列の場合は指定不要。) 図 16 は、SPEC OMP2001 の測定結果を示したものである。SPEC OMP は共有メモリマシンの OpenMP スレッド並列性能を見る標準的なベンチマークプログラムであるが、CeNSS は他のシステムに比べても高スレッド並列まで非常に高い性能を示している。図 18 は、姫野ベンチマークの M サイズに対するスピードアップ性能を示したものである。同一の CPU 数では、オーバーヘッドが少ない分、スレッド並列を併用した方が性能は向上している。しかし、8 スレッド以上ではメモリ競合により効率は低下する。このように、高スレッド並列は、特に実アプリケーションでは、メモリ競合によりスケラビリティが悪くなる。航技研では、このような状況を踏まえ、現時点では利用者に 2 から 4 スレッド並列を推奨している。

5. おわりに

本稿では、CeNSS を中核とする航技研の第 3 期数値シミュレータ NSIII の性能と特性について概要を述べた。本稿で示したアプリケーションの性能測定は、性能向上のためのタスクフォース活動の中で実施したものであり、各種の課題も明らかになって来ている。その中には、数学関数の性能向上、配列次元入れ替え機能の実装等、既に改善に向けて動いているものもあり、今後の性能改善や課題の克服について順次報告して行きたい。また、現在 (2003 年 6 月)、10 億点以上の格子点を用いた世界最大規模の平行平板間乱流の DNS、8000 万点規模の格子点数を用いた航空エンジンの多段 (7 段) 非定常解析、化学反応を考慮したメタンの燃焼解析などの世界的にも最先端の結果が出始めており、今後の成果が期待される。航技研では、今後とも NSIII のさらなる性能向上、利用性の改善に努めて行く予定である。

謝辞

本稿をまとめるにあたり、航技研の NSIII 運用関係者、富士通の関係者の方々にご協力いただいた。ここに記して謝意を表する。

参考文献

- 1) 松尾: 航技研新中央可視化システムの概要とその戦略, 航技研特別資料 SP-53, 2001, pp.149-154.
- 2) Matsuo, Y., et.al. "Numerical Simulator III - Building a Terascale Distributed Parallel Computing Environment for Aerospace Science and Engineering," *Parallel Computational Fluid Dynamics, New Frontiers and Multidisciplinary Applications*, North-Holland, 2003.
- 3) 松尾: 航技研次期数値シミュレータシステム (NSIII) の概要, 航技研特別資料 SP-57, 2003, pp.15-21.
- 4) 藤田: NSIII における大規模ストレージシステムの設計と性能, 航技研特別資料 SP-57, 2003, pp.22-27.
- 5) 高木: NSIII におけるソフトウェア開発環境とユーザ利用環境, 航技研特別資料 SP-57, 2003, pp.28-32.
- 6) 大川: NSIII におけるネットワークの設計と実装, 航技研特別資料 SP-57, 2003, pp.33-36.

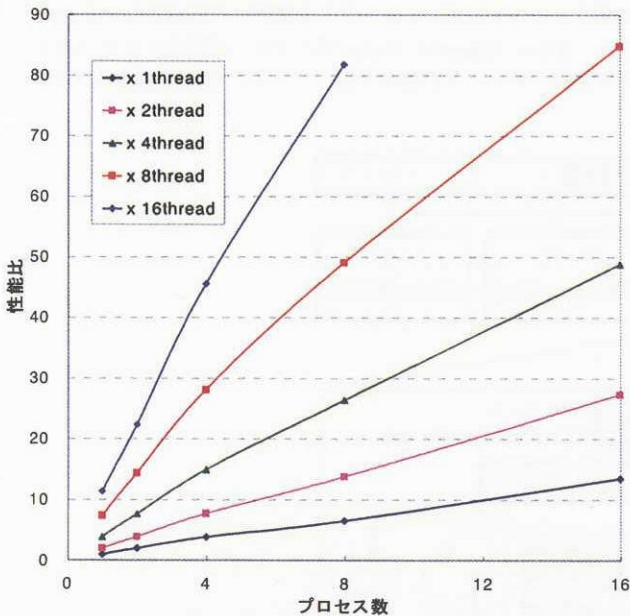


図 18 姫野ベンチの測定結果

4. 第3期数値シミュレータの特性

次に、CeNSS の特性について触れておく。上述のように、CeNSS のノードは共有メモリを有する SMP であり、ノード内の並列化は