



ISSN 1349-1148
JAXA-CR-12-002

宇宙航空研究開発機構契約報告

JAXA Contract Report

最新デバイスの耐放射線性強化技術に関する検討委員会

平成23年度 成果報告書

2013年2月

宇宙航空研究開発機構

Japan Aerospace Exploration Agency

**最新デバイスの耐放射線性強化技術に関する検討委員会
平成 23 年度 成果報告書**

作成元 HIREC 株式会社

Prepared by

High-Reliability Engineering & Components Corporation

2013年2月

February 2013

宇宙航空研究開発機構

Japan Aerospace Exploration Agency

目次

	ページ
1 はじめに.....	1
2 業務の目的.....	1
3 業務実施結果.....	1
3.1 耐放射線性強化技術.....	1
3.1.1 耐放射線強化技術に関する検討材料の調査.....	1
3.1.2 検討委員会の設置.....	4
3.1.3 委員会活動.....	5
3.1.4 耐放射線強化技術.....	6
3.1.4.1 半導体素子に対する放射線照射効果の動向.....	6
3.1.4.2 調査文献.....	6
3.1.4.3 SET 関連の発表.....	7
3.1.4.4 SEU 関連の発表.....	11
3.1.4.5 SEB/SEL 関連の発表.....	15
3.1.4.6 TID 関連の発表.....	18
3.1.4.7 まとめ.....	24
3.2 検討文献.....	25
3.2.1 Sub-100nm Bulk CMOS プロセスにおける SET 電圧パルス幅のスケールトレンド.....	25
3.2.2 65nm CMOS における nMOS, pMOS 照射時の SET パルス幅の独立測定.....	29
3.2.3 45nm SOI CMOS におけるシングルイベント過渡応答に関するボディコンタクト 設計の影響評価.....	35
3.2.4 45 nm SOI SRAM の SEU 断面積に影響するパラメータのばらつき.....	42
3.2.5 放射線試験と故障注入試験結果の組合せによる SRAM ベース FPGA のアプリケー ションレベルのエラー率の予測法.....	48
3.2.6 ソフトエラー加速試験に使用される広域エネルギー中性子源の理論的相関性.....	55
3.2.7 パワー-MOSFET の SEB 特性における Charge Collection 手法について.....	66
3.2.8 16-300K での CMOS 集積回路中で観察したシングルイベントラッチアップのメカニズムと 温度依存性.....	75
3.2.9 シャロートレンチアイソレーションにおける低ドーズレート効果.....	84
3.2.10 プロトンにより誘発された製造工程に依存した GaN HEMT の劣化.....	94
3.2.11 CMOS イメージセンサーの界面状態とトラップ電荷密度測定によるトータルドーズ誘起 の暗電流の解析.....	102

3.2.12 事前に TID 照射されたフローティングゲートセルにおける重イオン照射によるアップ セット発生断面積の増加	109
4 検討委員会の運営	115
5 成果のまとめ	116
6 添付資料	116

<添付>

添付 6-1 検討委員会 議事録

添付 6-2 検討委員会 配付資料

添付 6-3 最新デバイスの耐放射線性強化技術に関する検討委員会の成果と意義

(副題:宇宙用半導体デバイスの放射線の影響に関する世界動向の把握と今後の見通し)

1 はじめに

本書は、JAXA 殿の業務委託 JX-PSPC-329249「平成 23 年度 部品プログラム業務 調達仕様書(請負)」の 4.5 項(1)に基づいて HIREC 株式会社が実施した「最新デバイスの耐放射線性強化技術に関する検討委員会の開催支援」の業務結果についてまとめたものである。

2 業務の目的

半導体デバイスは、高機能化／高集積化の要求に伴い微細化、低消費電力化が進んでいる一方で、放射線による影響も受けやすくなってきており、放射線によって発生する様々な現象も従来のものと異なってきている。また、従来の耐放射線性試験方法についても、適正に判断できる試験方法を調査し確立していく必要がある。これらについて有識者で構成される検討委員会を設置し、国内外の文献等を調査した上で試験方法を含めた耐放射線性強化技術動向に関する調査検討を行った。

3 業務実施結果

3.1 耐放射線性強化技術

3.1.1 耐放射線強化技術に関する検討材料の調査

半導体デバイスの微細化、高密度化及び高機能化は目覚ましいものがあり、それに伴い、新たに確認された放射線照射効果もあり世界中の学会で活発に議論されている。また従来、問題視されなかった宇宙線に起因した中性子による地上半導体デバイスのシングルイベント現象も報告されている。このような技術革新が進む中、いかに半導体デバイスの耐放射線性を適正に評価するかが重要な課題となっている。

これらの背景を踏まえて、本年度の耐放射線性強化技術に関する検討材料の調査は、対象デバイスとして SOI デバイス、バルクデバイス、FPGA、フラッシュメモリ、パワーデバイス、HBT などについて、現象としてトータルドーズ現象、シングルイベント現象、陽子・中性子核反応シングルイベントについての情報を調査した。

調査の結果、半導体デバイスに対する耐放射線性を研究する学会では世界最高峰の IEEE Nuclear and Space Radiation Effects Conference (NSREC:2010年7月 Sheraton Denver で開催)で発表された論文から特に重要なものをピックアップし、計12件を検討材料として選定した。

選定した検討材料の文献一覧を表 3.1.1-1 に示す。

表 3.1.1-1 検討材料の文献一覧

分類	文 献 名	対応の本書項番
		出典(1)ページ数
SET	Sub-100nm Bulk CMOS プロセスにおける SET 電圧パルス幅のスケールトレンド	3.2.1 項
	Scaling Trends in SET Pulse Widths in Sub-100 nm Bulk CMOS Processes	P3336
SET	65nm CMOS における nMOS, pMOS 照射時の SET パルス幅の独立測定	3.2.2 項
	Independent Measurement of SET Pulse Widths From N-Hits and P-Hits in 65-nm CMOS	P3386
SET	45nm SOI CMOS におけるシングルイベント過渡応答に関するボディコンタクト設計の影響評価	3.2.3 項
	Evaluating the Influence of Various Body-Contacting Schemes on Single Event Transients in 45-nm SOI CMOS	P3366
SEU	45 nm SOI SRAM の SEU 断面積に影響するパラメータのばらつき	3.2.4 項
	Parametric Variability Affecting 45 nm SOI SRAM Single Event Upset Cross-Sections	P3228
SEU	放射線試験と故障注入試験結果の組合せによる SRAM ベース FPGA のアプリケーションレベルのエラー率の予測法	3.2.5 項
	Combining Results of Accelerated Radiation Tests and Fault Injections to Predict the Error Rate of an Application Implemented in	P3500
SEU	ソフトエラー加速試験に使用される広域エネルギー中性子源の理論的相関性	3.2.6 項
	Theoretical Correlation of Broad Spectrum Neutron Sources for Accelerated Soft Error Testing	P3163
SEB	パワー-MOSFET の SEB 特性における Charge Collection 手法について	3.2.7 項
	Charge Collection in Power MOSFETs for SEB Characterisation - Evidence of Energy Effects	P3515
SEL	16-300K での CMOS 集積回路中で観察したシングルイベントラッチアップのメカニズムと温度依存性	3.2.8 項
	Mechanisms and Temperature Dependence of Single Event Latchup Observed in a CMOS Readout Integrated Circuit From 16-300 K	P3078
TID	シャロートレンチアイソレーションにおける低ドーズレート効果	3.2.9 項
	Low Dose Rate Effects in Shallow Trench Isolation Regions	P3279
TID	プロトンにより誘発された製造工程に依存した GaN HEMT の劣化	3.2.10 項
	Process Dependence of Proton-Induced Degradation in GaN HEMTs	P3060
TID	CMOS イメージセンサーの界面状態とトラップ電荷密度測定によるトータルドーズ誘起の暗電流の解析	3.2.11 項
	Analysis of Total Dose-Induced Dark Current in CMOS Image Sensors From Interface State and Trapped Charge Density Measurements	P3087
TID	事前に TID 照射されたフローティングゲートセルにおける重イオン照射によるアップセット発生断面積の増加	3.2.12 項
	Increase in the Heavy-Ion Upset Cross Section of Floating Gate Cells Previously Exposed to TID	P3407

(1)出典: IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL.57, NO.6, DEC.2010

3.1.2 検討委員会の設置

3.1.1 項で選定した検討材料を検討するために、大学、公的研究機関、企業等の学識有識者から構成される検討委員会を組織し、各委員に委嘱した。委嘱した委員名と所属、役職を表 3.1.2-1 に示す。

表 3.1.2-1 検討委員一覧表(敬称略)

	区分	委員名	所属名	役職
1	委員長	伊部 英史	株式会社日立製作所 横浜研究所	研究主幹
2	副委員長	高橋 芳浩	日本大学	教授
3	委員	平尾 敏雄	日本原子力研究開発機構	研究副主幹
4	委員	石井 茂	三菱重工業株式会社	主席技師
5	委員	深田 孝司	みずほ情報総研株式会社	シニアコンサルタント
6	委員	坪山 透	高エネルギー加速器研究機構	講師
7	委員	猪俣 輝司	NEC 東芝スペースシステム (株)	主任
8	委員	加藤 一成	三菱電機株式会社 鎌倉製作所	担当
9	委員	三浦 規之	ラピスセミコンダクタ宮城株式会社	サブグループリーダー
10	委員	新保 健一	株式会社日立製作所 横浜研究所	研究員
11	委員	北村 明夫	富士電機株式会社	マネージャー
12	委員	蓮池 篤	三菱電機株式会社 高周波光デバイス製作所	—

3.1.3 委員会活動

3.1.1 項で選定した検討材料は、各委員に割り当て検討を依頼した。各委員の報告する検討内容について当該委員会にて討議し、それらを議事録としてまとめた。

表 3.1.1-1 に示した論文の調査検討に加え、さらに国際会議やシンポジウムなども調査し、以下の通り報告した。

・第 1 回(伊部委員長より):SELSE*1(2011 年 3 月@米国)／IRPS*2(2011 年 4 月@米国)

・第 2 回(事務局より):NSREC(2011 年 7 月@米国ラスベガス)

(伊部委員長より):IOLTS*3(2011 年 7 月@ギリシャ)

・第 4 回(事務局より):RADECS*4(2011 年 9 月@スペインセビリア)

また最終回では、伊部委員長から、本委員会を統括して本年度の耐放射線分野の動向についてまとめを報告し、事務局より委員会運営結果について報告した。

第 1 回～第 5 回における委員会の日時・議題等を表 3.1.3-1 に示す。

表 3.1.3-1 委員会の日時、議題など

回数	日時、議題など
第 1 回	開催日時:2011 年 6 月 24 日(金) 開催場所:HIREC(株) 川崎事業所 主な議題:本年度検討内容の概要 事務局による論文発表及び討議(1 件) 2011 年 SELSE/IRPS 報告
第 2 回	開催日時:2011 年 10 月 7 日(金) 開催場所:HIREC(株) 川崎事業所 主な議題:各委員担当論文の発表及び討議(3 件) 2011 年 NSREC 報告 2011 年 IOLTS 報告
第 3 回	開催日時:2011 年 11 月 11 日(金) 開催場所:HIREC(株) 川崎事業所 主な議題:各委員担当論文の発表及び討議(4 件) 2011 年 RADECS 報告
第 4 回	開催日時:2011 年 12 月 16 日(金) 開催場所:HIREC(株) 川崎事業所 主な議題:各委員担当論文の発表及び討議(4 件)
第 5 回	開催日時:2012 年 3 月 2 日(金) 開催場所:HIREC(株) 川崎事業所 主な議題:各委員担当論文の発表及び討議(2 件) 委員会運営の報告 本年度の検討論文に関するまとめ

*1: Workshop on Silicon Errors in Logic-System Effects

*2: International Reliability Physics Symposium

*3: International On-Line Testing Symposium

*4: European Workshop on Radiation Effects on Components and Systems

3.1.4 耐放射線強化技術

3.1.4.1 半導体素子に対する放射線照射効果の動向

半導体素子の微細化が進む中で、集積回路の高密度化、大規模化が進んでいる。これまでは宇宙用半導体素子で重要な問題点であった集積回路の放射線による劣化(TID, NIEL)、誤動作が、地上で使われる素子においても、宇宙線中性子によるシングルイベントとして問題が顕在化してきている。半導体素子に使用される材料も多岐にわたっており、それらを宇宙放射線環境で用いる場合の問題を明らかにする取り組みも行われている。また、耐放射線強化技術も、材料、素子構造、回路的な面から多くの提案がなされている。さらに新しい傾向として、より階層が上のアプリケーションで対策を講じるアプローチも増加しつつある。今年度はこのような状況の中から、2010年7月に米国ネバダ州ラスベガスで開催された、IEEE(The Institute of Electrical and Electronics Engineers)の2010 NSREC(Nuclear and Space Radiation Conference, Las Vegas, Nevada, July 25-29)で発表された論文で IEEE Trans. Nuc. Sci., Vol. 57, No.6 に掲載されたものから、重要と思われるものを選択して調査した。

3.1.4.2 調査文献

今年度の調査文献は次表の12編で、SET(Single Event Transient)関係3編、SEU(Single Event Upset)関係3編、TID(Total Ionizing Dose)関係4編、SEB(Single Event Burnout)、SEL(Single Event Latchup)各1件である。

個別の内容については3.2節で項番に従って詳述するが次節以降で、分類項目ごとの概況とトピックスをまとめる。

表 3.1.4-1 調査文献一覧

分類	Chapter	ページ	タイトル	著者
SET	3.2.1	3336-3341	Scaling Trends in SET Pulse Widths in Sub-100 nm Bulk CMOS Processes	M. J. Gadlage<NSWC>, J. R. Ahlbin, B. Narasimham, B. L. Bhuvu, L. W. Massengill, R. A. Reed, R. D. Schrimpf, and G. Vizkelethy
	3.2.2	3386-3391	Independent Measurement of SET Pulse Widths From N-Hits and P-Hits in 65-nm CMOS	S. Jagannathan<Vanderbilt Univ.>, M. J. Gadlage, B. L. Bhuvu, R. D. Schrimpf, B. Narasimham, J. Chetia, J. R. Ahlbin, and L. W. Massengill
	3.2.3	3366-3372	Evaluating the Influence of Various Body-Contacting Schemes on Single Event Transients in 45-nm SOI CMOS	K. A. Moen<Georgia Institute of Tech.>, S. D. Phillips, E. P. Wilcox, J. D. Cressler, H. Nayfeh, A. K. Sutton, J. H. Warner, S. P. Buchner, D. McMorrow, G. Vizkelethy, and P. Dodd
SEU	3.2.4	3228-3233	Parametric Variability Affecting 45 nm SOI SRAM Single Event Upset Cross-Sections	T. D. Loveless<Vanderbilt Univ.>, M. L. Alles, D. R. Ball, K. M. Warren, and L. W. Massengill
	3.2.5	3500-3505	Combining Results of Accelerated Radiation Tests and Fault Injections to Predict the Error Rate of an Application Implemented in SRAM-Based FPGAs	R. Velazco<TIMA>, G. Foucard, and P. Peronnard
	3.2.6	3163-3168	Theoretical Correlation of Broad Spectrum Neutron Sources for Accelerated Soft Error Testing	C. W. Slayman<Ops A La Carte>
SEB	3.2.7	3515-3527	Charge Collection in Power MOSFETs for SEB Characterisation—Evidence of Energy Effects	V. Ferlet-Cavrois<ESA/ESTEC>, F. Stureson, A. Zadeh, G. Santin, P. Truscott, C. Poivey, J. R. Schwank, D. Peyre, C. Binois, T. Beutier, A. Luu, M. Poizat, G. Chaumont, R. Harboe-Sorensen, F. Bezerra, and R. Ecoffet
SEL	3.2.8	3078-3086	Mechanisms and Temperature Dependence of Single Event Latchup Observed in a CMOS Readout Integrated Circuit From 16–300 K	C. J. Marshall<NASA/GSFC>, P. W. Marshall, R. L. Ladbury, A. Waczynski, R. Arora, R. D. Foltz, J. D. Cressler, D. M. Kahle, D. Chen, G. S. Delo, N. A. Dodds, J. A. Pellish, E. Kan, N. Boehm, R. A. Reed, and K. A. LaBel
TID	3.2.9	3279-3287	Low Dose Rate Effects in Shallow Trench Isolation Regions	A. H. Johnston<JPL>, R. T. Swimm, and T. F. Miyahira
	3.2.10	3060-3065	Process Dependence of Proton-Induced Degradation in GaN HEMTs	T. Roy<Vanderbilt Univ.>, E. X. Zhang, Y. S. Puzyrev, D. M. Fleetwood, R. D. Schrimpf, B. K. Choi, A. B. Hmelo, and S. T. Pantelides
	3.2.11	3087-3094	Analysis of Total Dose-Induced Dark Current in CMOS Image Sensors From Interface State and Trapped Charge Density Measurements	V. Goiffon<Université de Toulouse>, C. Virmontois, P. Magnan, S. Girard, and P. Paillet
	3.2.12	3407-3413	Increase in the Heavy-Ion Upset Cross Section of Floating Gate Cells Previously Exposed to TID	M. Bagatin<Padova Univ.>, S. Gerardin, A. Paccagnella, G. Cellere, A. Visconti, and M. Bonanomi

3.1.4.3 SET 関連の発表

表 3.1.4-2 に SET 関連の発表概要をまとめる。

表 3.1.4-2 SET 関連の発表概要

項番	概要
3. 2. 1 Sub-100nm Bulk CMOSプロセスにおけるSET電圧パルス幅のスケールトレンド	<ul style="list-style-type: none"> ■ Bulkテクノロジーにおける、SETパルス幅のトレンドは、複数の要素の組み合わせの結果であるため、確定することが難しい。 ■ 要素の一つが、Pulse broadeningであり、broadeningレートに着目すると、テクノロジースケールが小さくなるほどに、短くなっていく傾向が見える。 ■ もうひとつの要素が、Parasitic bipolar amplificationであり、これはテクノロジースケールよりも、PMOSの周りにいかにN-Wellコンタクトを付けるか、テスト回路のレイアウトによる傾向が見える。 ■ 結論として、SETパルス幅のテクノロジースケールに対するトレンドを論じる場合は、テスト回路のN-Wellコンタクトのレイアウトを、横並びに一定にした上で、そのようなテスト回路を使ってSETパルス幅の実測の試験を行い、その結果を持って論じる必要がある。
3. 2. 2 65nm CMOSにおけるnMOS, pMOS照射時のSETパルス幅の独立測定	<ul style="list-style-type: none"> ■ 65 nm Bulk CMOSの重イオン照射誘起SETパルス幅を、N-hitsとP-hitsで分離して評価(異なる回路の使用による) <p>結果:</p> <ul style="list-style-type: none"> ・低LET: N-hitsのパルス幅は、P-hitsよりも10%程度長い(収集長: nMOS > pMOSのため) ・高LET: P-hitsのパルス幅が増大(∵寄生バイポーラ効果) <p>(斜入射で、nMOSよりも60%程度増大)</p> <ul style="list-style-type: none"> ・SETイベント数: 各Trの感応領域に比例→先端デバイスの耐放射線向上において有益なデータ
3. 2. 3 45nm SOICMOSにおけるシングルイベント過渡応答に関するボディコンタクト設計の影響評価	<ul style="list-style-type: none"> ■ 45nm SOICMOSにおいて、T型及びノッチ型ボディコンタクトMOSFETのSET反応を調査する。 ■ これらの結果は、nmスケールMOSFETボディコンタクト手法に関して、RF特性 vs TID vs SEEトレードオフの新しい知見を与えるものである。 ■ T型ボディに比べて、ノッチ型ボディはSEE感度が低減できる。それは、レーザ光入射及びマイクロビーム重イオン入射での過渡応答から示される。

(1) Sub-100nm Bulk CMOS プロセスにおける SET 電圧パルス幅のスケールトレンド

Gadlage (NSWC) らは、Sub-100nm 世代のバルクデバイスの SET パルス幅の測定値が、表

3.1.4-3 にまとめるように一貫性が無いことに着目し、その原因を検討した。図 3.1.4-1 に示すように SET パルス幅の LET 依存性にも一貫性が無く(65nm のデータは本研究)、特に 90nm デバイスでは LET=0MeV cm²/mg でもパルス幅が 1ns 程度あり、物理的に辻褄が合わない結果となっている。90nm では、1000 段直列インバータを使っているので PB(Pulse Broadening) が起きていると考えられるのに対し、130nm は 100 段なので PB の程度は小さい。

LET=0MeV cm²/mg でのパルス幅を PB による寄与と考えてその分を差し引くと図 3.1.4-2 が得られる。一見すると、パルス幅は 130nm→65nm で小さくなっているように見える。

表 3.1.4-3. SET パルス幅の報告値(スケールリングに対し一貫性が見られない)

130-nm Bulk	: <500ps	[Baze, 2006]
130-nm Bulk	: <2ns	[Benedetto, 2006]
90-nm Bulk	: >1ns	[Narasimham, 2007]
90-nm Bulk	: <400ps	[Cannon, 2009]

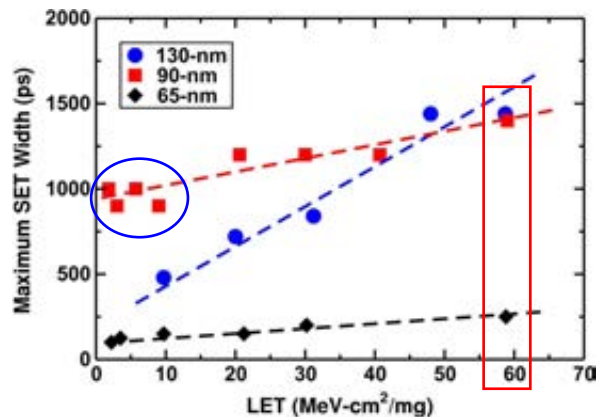


図 3.1.4-1. イオン照射実験による SET パルス幅測定値まとめ

著者らは、SET はツインウェル構造の n-well におけるバイポーラ増幅で発生すると考え、n-well コンタクトの大きさに着目した。図 3.1.4-3 は実際の n-well コンタクトの相対的大きさを示したもので、世代が進むほど相対的に n-well コンタクトの面積が大きくなっていることが分かる。図 3.1.4-4 は SET パルス幅の最大値 (LET=60MeV cm²/mg) を n-well コンタクトの相対値の関数として示したもので n-well 面積比が大きいほど SET パルス幅の最大値が小さくなっていることが分かる。著者らは n-well コンタクト面積の相対的大きさがバイポーラ効果の大きさを決めるので、SET 幅のスケールング効果は一概に確定できないと結論づけている。

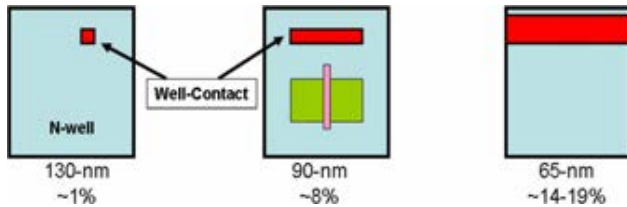


図 3.1.4-3. SET はバイポーラ増幅で発生し、n-well コンタクト面積が相対的に大きいほど起きにくい

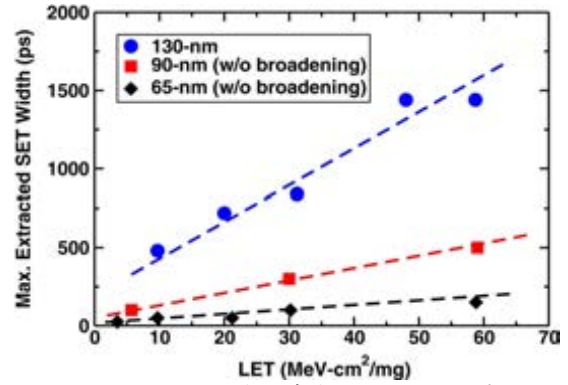


図 3.1.4-2. PB分を除去。SETパルス幅はスケールングで小さくなっているように見える。

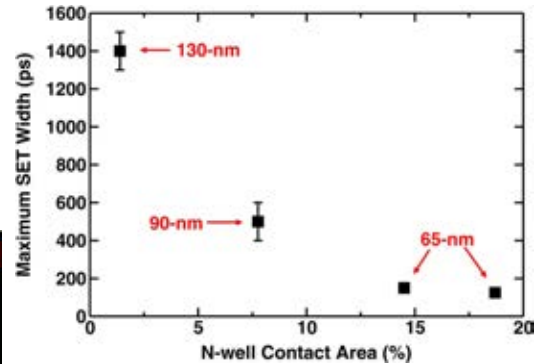


図 3.1.4-4. n-well コンタクト面積比と SET パルス幅最大値の相関

(2) 65nm CMOS における nMOS, pMOS 照射時の SET パルス幅の独立測定

Jagannathan (Vanderbilt 大) らは CMOSFET の pMOS と nMOS に重イオンが当たった場合の SET パルス幅の相違を図 3.1.4-5 に示す 100 段チェーン (PB 抑制のため短く設定) で計測した。pMOSFET 測定用の NOR とインバータチェーンの pHit 回路 (図 3.1.4-6)、nMOSFET 測定用の NAND とインバータチェーンの nHit 回路 (図 3.1.4-7) は、いずれも NOR、NAND ゲートでなくインバータ (図の前段) の off 状態の MOS 2 個に同時にフォールトが入ると SET になる。これを防ぐためインバータを離して (>3.5um) 配置した。

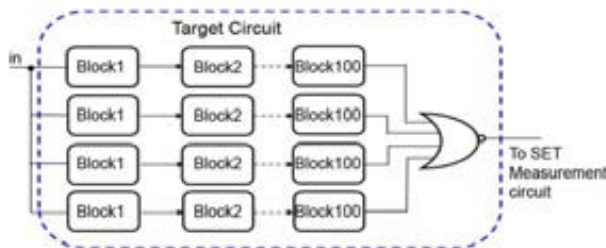


図 3.1.4-5. PB 抑制型ブロックチェーン

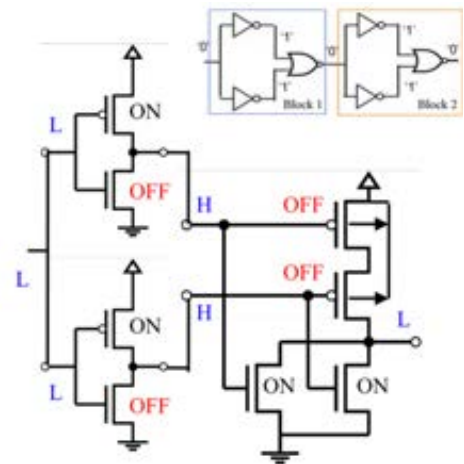


図 3.1.4-6. pHit 回路

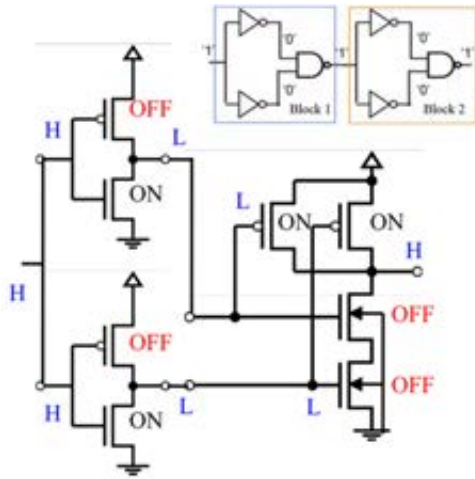


図 3.1.4-7. nHit 回路:インバータの一方の nMOS にイオンが当たっても出力変化しない。Off 状態の NAND の nMOS に当たると SET 発生。

図 3.1.4-8 パルス幅の LET 依存性を、pMOSFET(pHit)、nMOSFET(nHit) 毎にまとめた。全体的に pMOSFET, nMOSFET で大きな差はない。低 LET では nHit が pHit より若干高めになるが、高 LET ではバイポーラ効果が大きくなって、pHit の方が nHit よりも長くなることがわかる。

60° 斜め入射の場合(図 3.1.4-9)は、バイポーラ効果がより強まって、高 LET での pHit のパルス幅が一層長くなる。

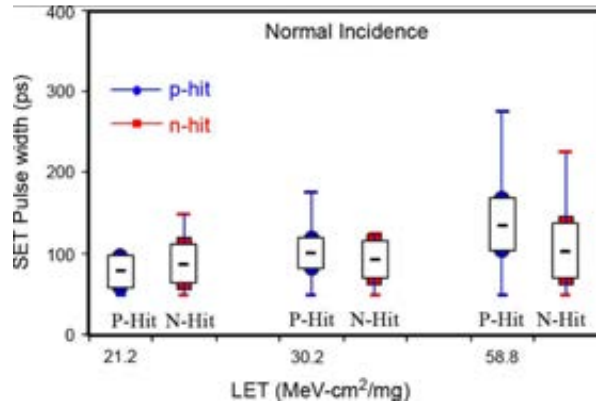


図 3.1.4-8. 低 LET : pHit<nHit、高 LET : pHit>nHit・高 LET では寄生バイポーラ効果大(ツインウェル)

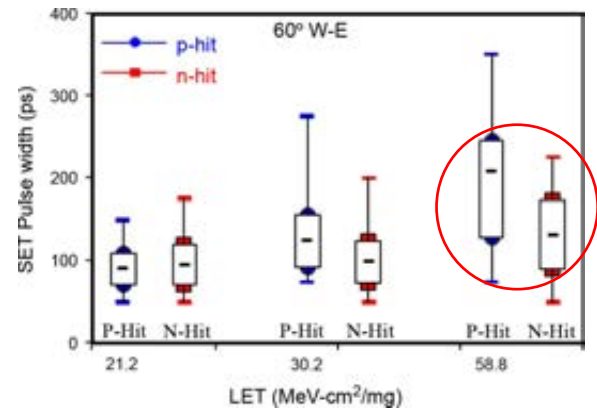


図 3.1.4-9. 60°斜め入射:高 LET での pHit のパルス幅がより増大

(3) 45nm SOI CMOS におけるシングルイベント過渡応答に関するボディコンタクト設計の影響評価

Georgia Institute of Technology の Moen らは、T 型およびノッチ型 p+ボディコンタクト

(バイポーラ効果抑制)を持つ 45nm PD SOI CMOS の SET 特性を測定した。DUT は図 3.1.4-10 に示すように body-Tie の形状が異なるダイオードである(L=56nm、Tox=1.16nm)。

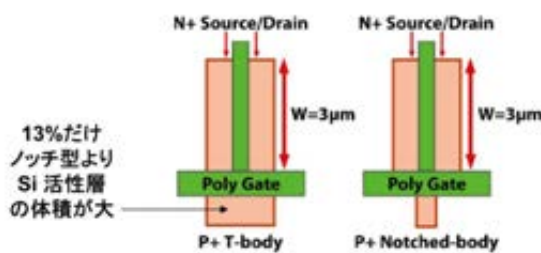
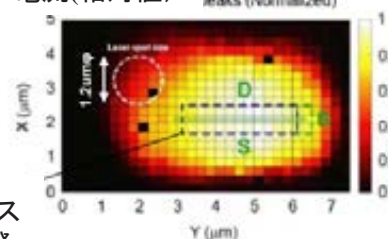


図 3.1.4-10. DUT 形状

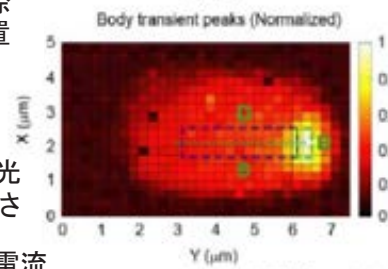
ドレイン電流(相対値)



デバイスの実際の位置



レーザ光の大きさ



ボディ電流

(a) T型ボディコンタクト

図 3.1.4-11. 収束レーザ光による発生電流強度分布(T 型ボディコンタクト)

P-T body 型は p+notched body 型より 13%だけ、Si 活性層の体積が大きくなる。

図 3.1.4-11 は直径 $1.2\mu\text{m}$ の集束レーザービームにより、発生するドレイン電流とボディ電流の強度(相対値)分布を T 型ボディコンタクト DUT について示したもので、ドレイン電流は入射位置によらず一様であるが、ボディ電流はボディ部に入射した場合特に強度が高くなるが分かる。

図 3.1.4-12 はノッチ型ボディコンタクト DUT にレーザー光を入射した場合、図 3.1.4-13 は 36MeV の酸素イオンを入射した場合の電流パルス応答を示したもので、電流値には差があるが、パルス幅はレーザー光入射が 36MeV 酸素イオン入射の良い近似になっている。実験の結果、ノッチ型の方が SET、TID 特性双方で良くなる。RF 特性は良くないが、最善の選択と結論。

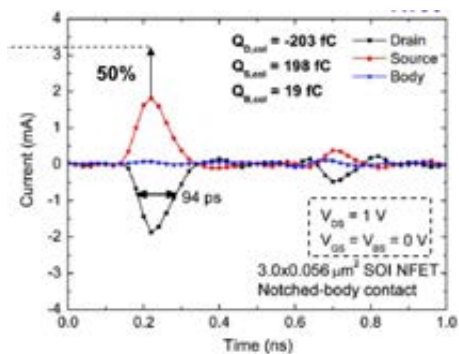


図 3.1.4-12. ボディ部近傍にレーザーを入射した時の SET 電流時間応答

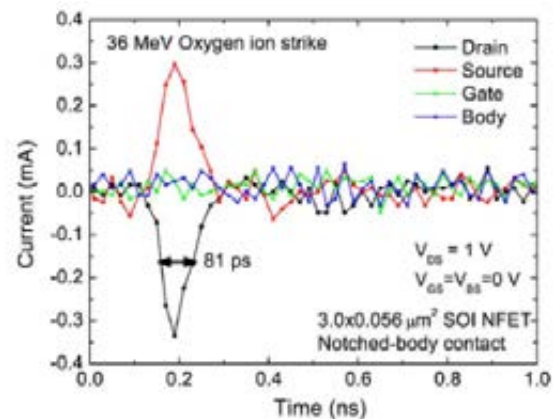


図 3.1.4-13. 36MeV 酸素イオン (LET $5.4\text{MeV}\cdot\text{cm}^2/\text{mg}$)入射時の SET パルス応答: 電流値は LET が小さいので低いですが、レーザーはパルス幅をよく模擬できている(94ps vs. 81ps)

3.1.4.4 SEU 関連の発表

表 3.1.4-4 に SEU 関連の発表概要をまとめる

表 3.1.4-4. SEU 関連の発表概要

項番	概要
3. 2. 4 45 nm SOISRAM の SEU 断面積に影響するパラメータのばらつき	<ul style="list-style-type: none"> ■45 nm SOI など先進プロセスのトランジスタパラメータの変動(ばらつき)が 45 nm SOISRAM の、陽子を含む 10 MeVcm²/mg 以下の LET 領域に於ける SEU 応答の推定に重要な影響を与えている。 ■低 LET での SEU 断面積はセルの SEU 感度から推定できる。LET は定義上「平均値」を示しているが、SOI などの微少領域では、エネルギー損失の部位やセルの特性によるばらつきが SEU 閾値に影響を与える。 ■SEU の測定データからエラー頻度を計算する場合は、閾値電荷にセルの温度やスピードによってばらつきがあることを考慮するべきである。
3. 2. 5 放射線試験と故障注入試験の組合せによる SRAM ベース FPGA のアプリケーションレベルのエラー率予測	<ul style="list-style-type: none"> ■SRAM ベースの FPGA Virtex II に実装された暗号化コアの TMRバージョンへのフォールトインジェクションと重イオン照射で得られた SEU 断面積により、アプリケーション実行中のソフトウェアエラー率推定法の有効性を確認。 ■このアプローチは、重要なアプリケーションの放射線効果に対する最終的な認定に代替することは目的ではない。 ■このアプローチの長所は、シミュレーション・レベルで適用される最新技術のアプローチと比較し、ほとんど時間的オーバーヘッドがなく、ハードウェア/ソフトウェアへの擬似的な SEU 故障注入を、ほぼリアルタイムで実施できることである。
3. 2. 6 ソフトウェア加速試験に使用される広域エネルギー中性子源の理論的相関性	<ul style="list-style-type: none"> ■NYC 海面および航空機高度の標準中性子スペクトルと広域エネルギー中性子源スペクトルを用いて各中性子源施設の妥当性を検証する。 ■マスキング効果等の複雑さを考えると現存施設の精度は満足すべき。(ISIS はかなり妥当性に問題あるが。) ■スケーリングが進むと現存 5 施設の妥当性は検討が必要。

(1) 45 nm SOI SRAM の SEU 断面積に影響するパラメータのばらつき

Loveless (Vanderbilt 大)らは、45nm SOI SRAM の SEU 断面積に及ぼすパラメータについて TCAD と SPICE シミュレーションおよび照射実験によって検討した。

図 3.1.4-14 は IBM SOI12S0 のプロセスデザインキットを用いてオフ状態の nMOS のゲートに LET を変えてイオンを注入した場合の TCAD シミュレーション結果を示したもので、アップセットが起きる場合(青)は、電荷の 90%は 2ps 以内に収集される。アップセットしない場合(赤)は、電流が流れ続け収集電荷の 4-5 倍の電荷が流れ、フローティングボディ状態になっていることを示唆している。

表 3.1.4-5 は、データ解析に用いたデバイスの特性をまとめた。pMOS より nMOS の閾値 LET が低い(弱い)ことが分かる。図 3.1.4-15 は、

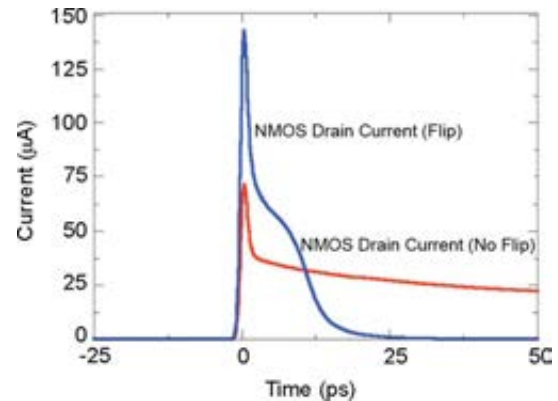


図 3.1.4-14. NMOS のドレイン電流波形

表 3.1.4-5. デバイス特性(3 段目は陽子)

Hit Device	Body	Operating Voltage (V)	Q _{crit} (fC) Deposited Charge	LET Threshold ((MeV·cm ²)/mg)
NMOS	Floating	1.0	0.28	0.4
NMOS	Floating	1.2	0.42	0.6
NMOS	Ideal Contact	1.2	0.77	1.1
PMOS	Floating	1.2	0.84	1.2
PMOS	Ideal Contact	1.2	>1.4	>2

45,65nm SOI の SEU 断面積データをまとめたものであるが、実測の閾値 LET に対して表 3.1.4-5 の閾値は大きくばらついていることが分かる。測定値は「平均」であって、当たった部位によって異なった特性が総合されている。閾値の実測値(0.4MeV cm²/mg)は最も弱い nMOS の TCAD 計算値と一致する。

図 3.1.4-16 は測定された断面積と種々の物理的な面積を比較。LET が高いほど Cell の active area の面積に近づく。100MeVcm²/mg ではセル面積に近づくが MCU や、基板に発生する電位の影響があるかもしれない。

図 3.1.4-17 は SPICE シミュレーションによって pMOS, nMOS の performance (スピード) と動作電圧、温度への臨界電荷量の依存性を解析したものであり、スピードが速い方が臨界電荷量は高いことがわかる。

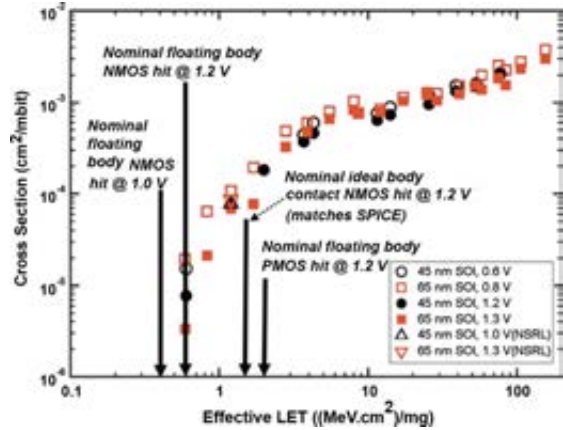


図 3.1.4-15. 45,65nm SOI デバイスの SEU 断面積の LET 依存性と SPICE 解析結果の比較

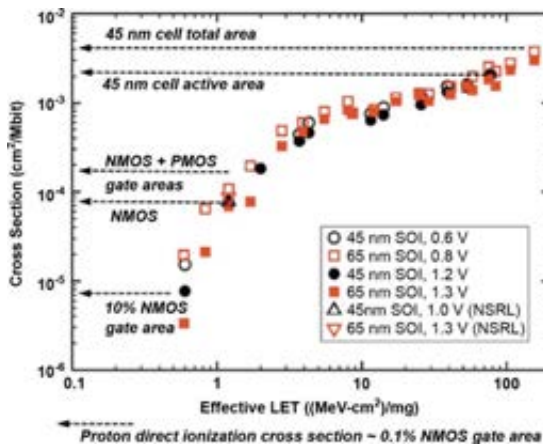


図 3.1.4-16. 45,65nm SOI デバイスの SEU 断面積の LET 依存性と解析モデルの種々の面積の比較

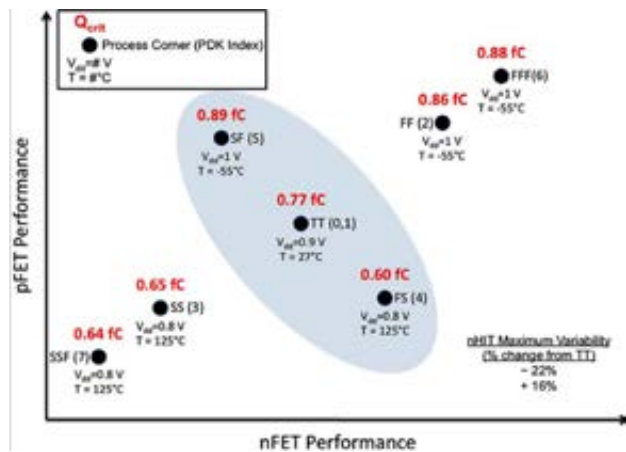


図 3.1.4-17. 臨界電荷量と pFET/nFET のパフォーマンスの相関の SPICE 解析結果

(2) 放射線試験と故障注入試験の組合せによる SRAM ベース FPGA のアプリケーションレベルのエラー率予測

Velazco(TIMA)らは、静的な SEU 断面積で求めるエラー率は、アプリケーションを実行している実際のエラー率に対して使用するリソースが限定的である等のため過大評価になることに着目し、FPGA で組んだシステムでフォールトインジェクションを行い、暗号化処理のアプリケーションレベルでの SEU 断面積を求めた。DUT に TMR を組み込み、

- 1 回目:ビットストリームにフォールトを注入し、アプリケーション(データ暗号化機能(DES3 アルゴリズム))を実行。
 - a) エラー検出有り → 3ビットレジスタが 1 ノードエラーを検知したが、データ出力は正しい。(TMR の多数決効果)

- b) エラー検出誤り → 3 ビットレジスタが N.A(2 出力以上誤り)だが、データ出力は正しい。
(3 ビットレジスタ自身の異常)
- c) エラー未検出 → 3 ビットレジスタはエラー無しだが、データ出力が異常。
(TMR の出力異常)

2 回目:フォールトはそのまま残し、同じアプリを実行としてエラーを分類した。

図 3.1.4-18 に FPGA で組んだ回路構成を示す。フォールトインジェクションを行った DUT は XilinxVirtex-II XC2V1000 である。図 3.1.4-19 に検出されたエラー総数のタイミング分布を示す。最初の 20 クロックほどは、Key 等の読み込み処理を行っているだけなので、エラー数は少ない。続く 48 クロックで暗号化処理を行っているため、エラー数は急増する。

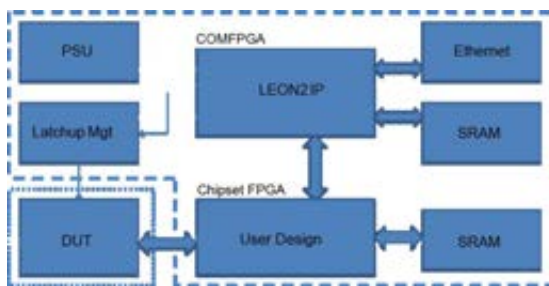


図 3.1.4-18. FPGA で組んだ回路構成。



図 3.1.4-19. エラーのタイミング分布 (クロック数)

図 3.1.4-20 は 1 回目エラーで 2 回目エラーが消えた場合のエラー数のタイミング分布を示したもので、動的ビットにフォールトを注入し、2 回目に正常値に書き換えられたことに対応する。

図 3.1.4-21 は 1 回目エラーで 2 回目もエラーが消えずに残った 1 回目のエラーのタイミングエラー分布で、静的ビットにエラーが注入されたことに対応する。

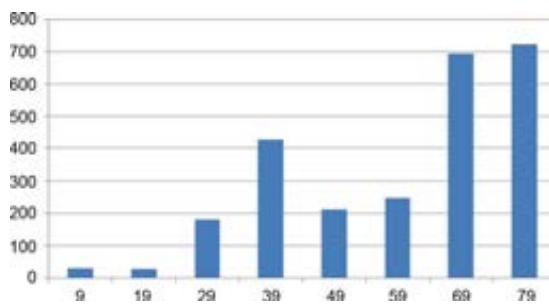


図 3.1.4-20. 1 回目エラーで 2 回目エラーが消えた1回目のエラー数(動的ビットに注入)

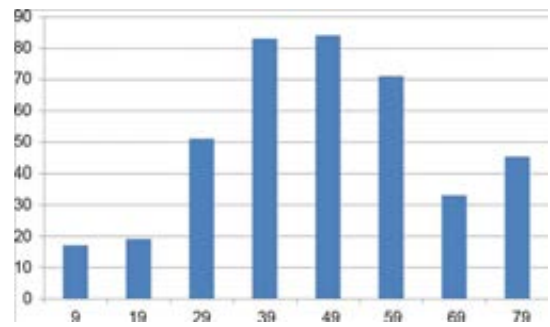


図 3.1.4-21. 1 回目エラーで 2 回目エラーが残った 1 回目のエラー数(静的ビットに注入)

表 3.1.4-6 はイオン照射実験との比較を示したもので、モード(b)がファクタ 5 で差があるものの、モード(a),(c)については、フォールトインジェクションは実測値に近い値を与える。

表 3.1.4-6. 照射試験(measured)との比較

Error rate	Particles	Detected errors	Falsely detected errors	Undetected errors
Measured	Carbon	1.04×10^{-4}	N/A	N/A
	Argon	2.84×10^{-3}	6.67×10^{-6}	7.78×10^{-5}
Predicted	Carbon	9.53×10^{-5}	1.55×10^{-6}	2.09×10^{-6}
	Argon	1.94×10^{-3}	3.16×10^{-5}	4.25×10^{-5}

Ar 結果:a)ほぼ等しい b)ファクタ 5 c)ほぼ等しい

*Predicted は静的 SEU 断面積 Carbon: 2.79×10^{-3} , Argon: 5.68×10^{-3} に 単位フォールト当たりのエラー数を掛けたもの。

(3) ソフトエラー加速試験に使用される広域エネルギー中性子源の理論的相関性

Slayman (Ops A La Carte)

は NYC 海面および航空機高度の標準中性子スペクトルと広域エネルギー中性子源スペクトルを用いて各中性子源施設の妥当性を検討した。JESD89A で規定された NYC 海面、IEC 基準の航空機高度世界 5 か所の Spallation (「白色」) 中性子源のスペクトルを図 3.1.4-22 にまとめる。

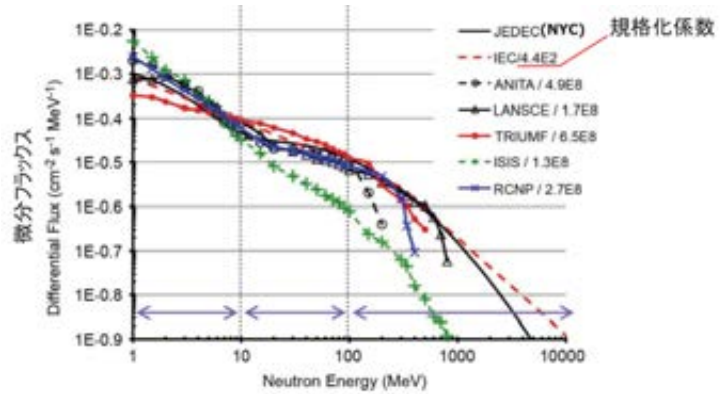


図 3.1.4-22. 中性子スペクトルの比較

表 3.1.4-7 に各中性子施設の中性子源の特徴を 1-10MeV, 10-100MeV, 100MeV 以上の 3 領域に分割し、それぞれの領域毎のフラックスの比率でまとめた。

表 3.1.4-7. 5 施設のエネルギー帯による特徴付け

SOURCE	NEUTRON FLUX			
	1-10MeV	10-100MeV	>100MeV	Total >1MeV
	%	%	%	N cm ⁻² hr ⁻¹
JEDEC(NYC)	35%	35%	30%	2.0 10 ¹
IEC(40k ft)	35%	35%	29%	8.76 10 ³
ANITA	65%	28%	7%	9.87 10 ⁹
LANSCE	52%	26%	22%	3.40 10 ⁹
TRIUMF	24%	54%	21%	1.29 10 ¹⁰
ISIS	92%	7%	1%	2.5 10 ⁹
RCNP	57%	25%	18%	5.37 10 ⁹

ソフトエラー率(SER)は、デバイスの SEU 断面積を中性子エネルギーの関数として表記したワイブルフィット(図 3.1.4-23)で近似し、各中性子源の微分中性子スペクトルと重畳積分することにより計算できる。

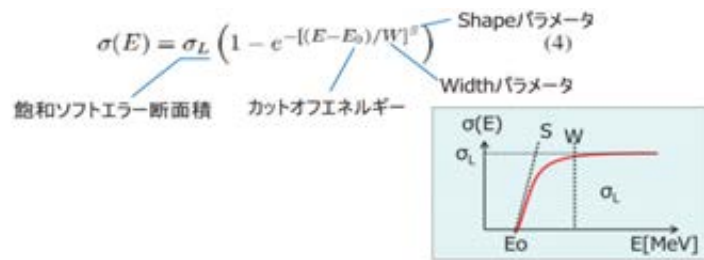


図 3.1.4-23. SEU 断面積のワイブル近似

図 3.1.4-24 は上述した方法で計算した各施設でのエラー率を JESD89A のスペクトルを用いて計算した場合に対する比をプロットしたものである。Width パラメータをパラメータとしているが、TRIUMF が全体的に高く、LANSCE,RCNP は Width パラメータが低い場合は概ね妥当な結果を与える。一方、ISIS は低エネルギー成分が主体のため、低めの結果を与える。

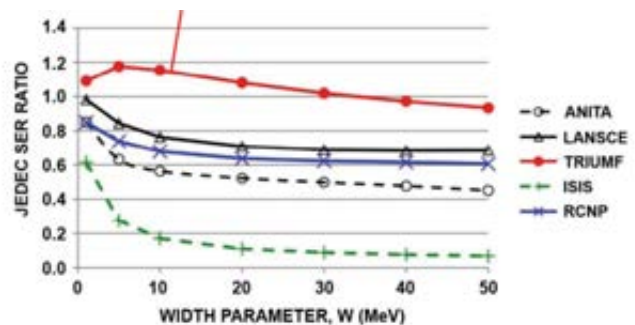


図 3.1.4-24. 加速施設でのスペクトルとワイブル近似から求めたエラー率の NYC 海面のスペクトルを用いて計算したエラー率に対する比(JEDEC SER RATIO)

この論文では、どの施設を使うにしても、あまり誤差には目を向けず早く対策に結びつけることが重要と結論づけている。

3.1.4.5 SEB/SEL 関連の発表

表 3.1.4-8 に SEB/SEL 関連の発表概要をまとめる

表 3.1.4-8. SEB/SEL 関連の発表概要

項番	概要
3. 2. 7 パワーMOSFETの SEB特性を決める 電荷収集-エネルギー 依存性	<ul style="list-style-type: none"> ■ Charge Collectionは縦型パワーMOSの照射イオンエネルギーに対するSEB率の統計的応答を分析する非破壊手法である。 ■ パワーMOSのドレイン層を形成するエピタキシャル層は厚いため、低エネルギーでは、エピタキシャル層中で減衰し、Charge Collection量が減少、SEB率を過小評価してしまう。(SEB耐量が高く出してしまう) ■ 高エネルギーでは、ソースワイヤが大きなシャドウ効果を示す。この効果によりCharge Collection量は増加する。 ■ パワーMOSでは上記双方を考慮する必要がある。
3. 2. 8 16-300Kにおける CMOS集積回路中 で観察されたシン グルイベントラッチ アップのメカニズ ムと温度依存性	<ul style="list-style-type: none"> ■ 読出し回路(ROIC)は粒子線、光、電磁波をアレイ状の検出器で捉え、電流に変換して画像化する。長波長の光を高感度で捉えるために30-40Kまで冷却する。 ■ ROIC(読出し集積回路)のSELはアレイ部やアナログ回路部では発生せず、最も微細化が進んだデジタル回路部(V_{DD}:どこか明記なし)で発生する。Shallow Level Impact Ionizationが基本メカニズム。 ■ 32-135KにSELを起さない遷移領域がある。22Kでは室温と変わらないSEL断面積になる。 ■ LETが大きいだけではSELにならない。飛程が40μm程度必要。

(1) パワーMOSFET の SEB 特性を決める電荷収集-エネルギー依存性

Cavrois (ESA)らは、パワーデバイスの SEB 耐性を電荷収集量測定により評価する手法を提案した。図 3.1.4-25 に DUT と電荷収集量測定装置の基本配置を、図 3.1.4-26 にパワーデバイスの基本構造を示す。

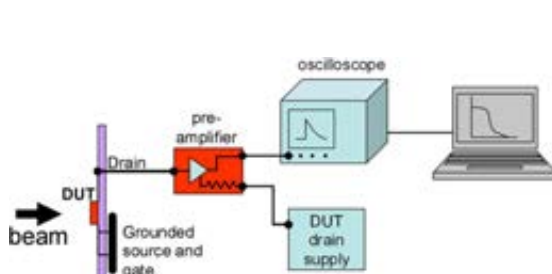


図 3.1.4-25. 電荷収集量測定装置

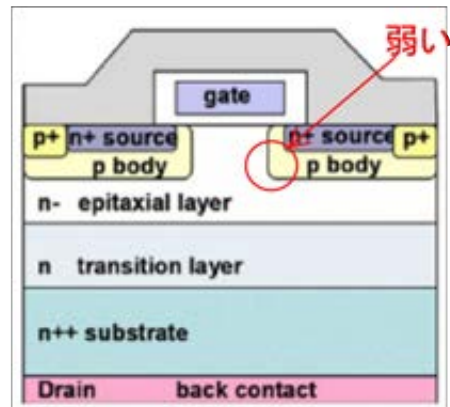


図 3.1.4-26. パワーデバイスの基本構造

表 3.1.4-9 は、実験に供したデバイスの定格電圧や n-epi 層の厚さなどをまとめたものである。

図 3.1.4-27 は、デバイスに Xe イオンを注入した場合の深さ方向の LET 分布の計算値をエネルギー(核子一個当たり)を変えて示したものである。3.48MeV/a

表 3.1.4-9. DUT 一覧

Device	シリーズ	定格	n-epi厚	n trans厚	Si上層膜厚
IRHNA57260SE	R5 (Gen.5) Rad-hard	200V	20μm	20μm	6μm/ゲート上 4μm/ソース上
HN2S	*** Rad-hard	200V	20μm	20μm	6μm/ゲート上 4μm/ソース上
MM2G	COTS Not hard	200V	20μm	20μm	6μm/ゲート上 4μm/ソース上

ではバイポーラ現象が起きる、n-epi と transition の領域に十分届かないが、24.5MeV/a の場合は距離は十分だが LET が低くなる。従って、9.3MeV/a 程度が最も好ましいことが分かる。

図 3.1.4-28 は Drain 電圧 20V 時の MM2G と IRHNA の電荷収集量の累積断面積の実測値をまとめたもので、IRHNA は MM2G のようにゲート反応部分とソース反応部分の 2 段階にならない。

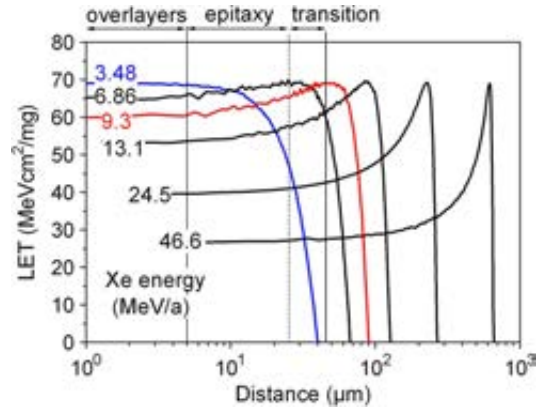


図 3.1.4-27. DUT内 LET 分布計算結果

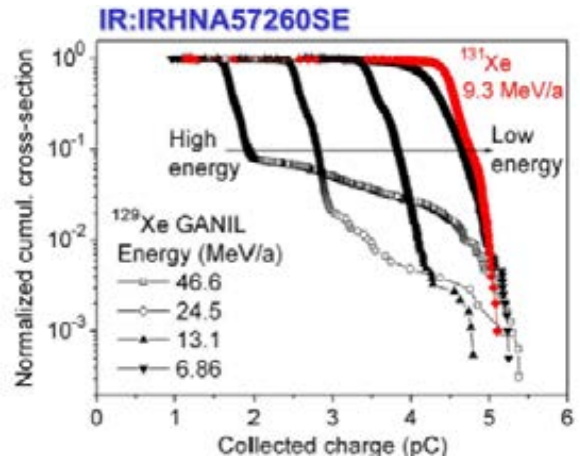
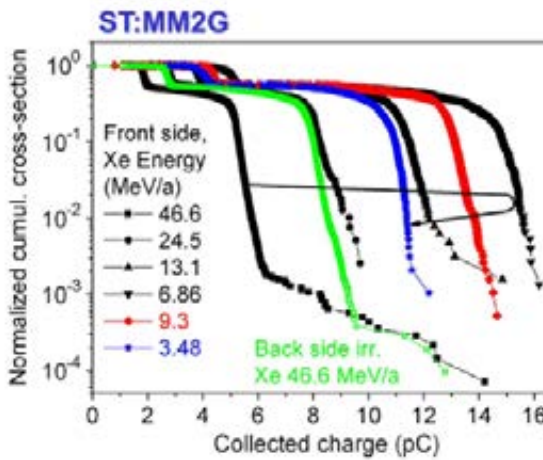


図 3.1.4-28. Drain 電圧 20V 時の MM2G と IRHNA の電荷収集量の累積断面積
IRHNA は MM2G のようにゲート反応部分とソース反応部分の 2 段階にならない

図 3.1.4-29 は Drain 電圧が高くなると急激に電荷収集量が増える結果を示しており、注入電荷量より増えるのでバイポーラ効果と看做することができる。

結論として、表 3.1.4-10 に示すように、SEB 試験の推奨条件をまとめた。

表 3.1.4-10. SEB 試験の推奨条件。
(根拠が良くわからない)

Max rated Vds (V)	Minimum ion range (µm)	Maximum ion range (µm)
Up to 100	60	120
101 to 200	90	180
201 to 400	150	300
401 to 1000	200	400

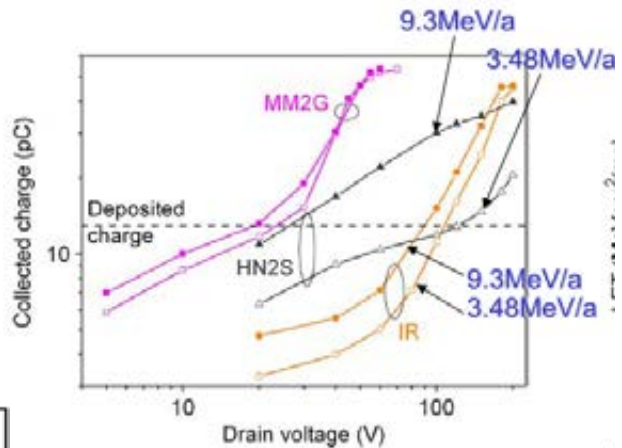


図 3.1.4-29. Drain 電圧が高くなると急激に電荷収集量が増える。注入電荷量より増えるのでバイポーラ効果。

(2) 16-300K における CMOS 読出し集積回路中で観察されたシングルイベントラッチアップのメカニズムと温度依存性

Marshall は、読出し回路 (ROIC) の低温 (24K 以下) でのラッチアップ現象を初めて報告。ROIC は粒子線、光、電磁波をアレイ状の検出器で捉え、電流に変換して画像化する。長波長の光を高感度で捉えるために 30-40K まで冷却する。ROIC の構成例、外観 (参考)、回路例をそれぞれ図 3.1.4-30、3.1.4-31 に示す。

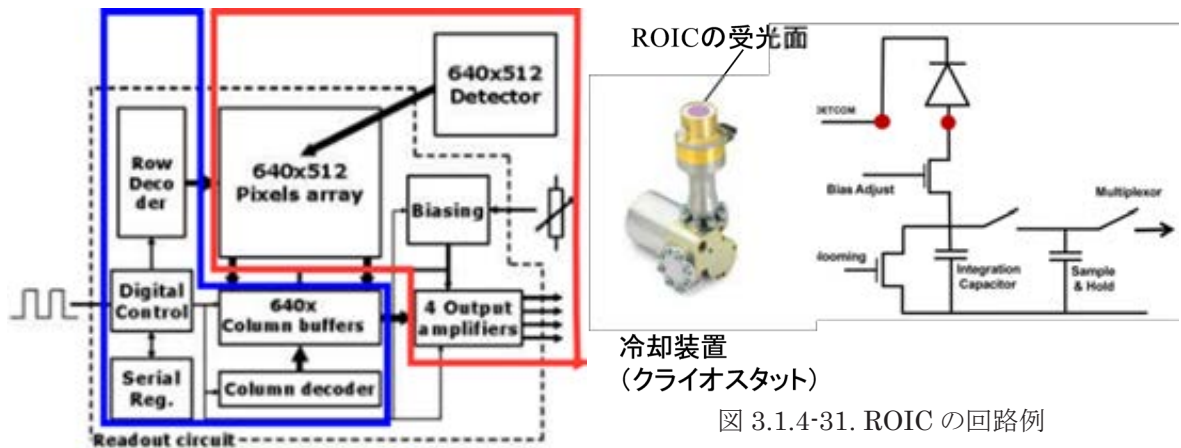


図 3.1.4-30. ROIC の構成例 (参考)

図 3.1.4-31. ROIC の回路例

図 3.1.4-32 に重イオン照射実験セットアップ、図 3.1.4.33 に断面積の実験結果を示す。24K 以下で初めて ROIC のラッチアップを確認し、32-135K に遷移領域があることを報告。SEL はアレイ部やアナログ回路部では発生せず、最も微細化が進んだデジタル回路部 (VPD:どこだか明記なし) で発生する。Shallow Level Impact Ionization が基本メカニズムとしている。

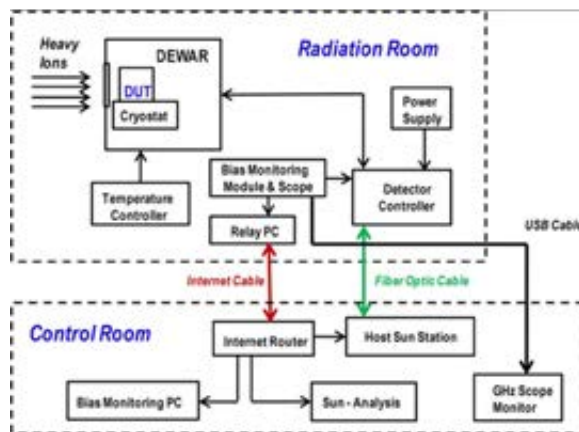


図 3.1.4-32. 重イオン照射実験セットアップ

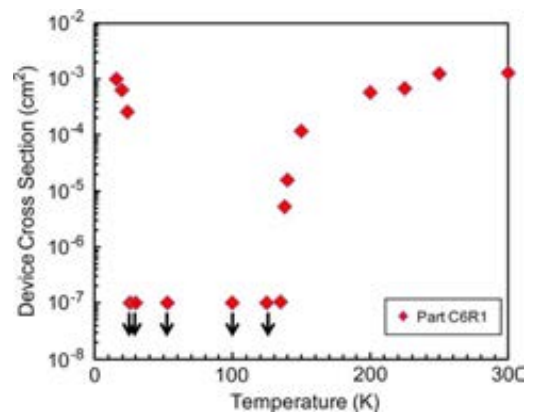


図 3.1.4-33. 32-135K に SEL を起さない遷移領域がある。22K では室温と変わらないレベルになる。Kr の飛程は 43mm、LE_{Teff}=64.4、斜め 60°

3.1.4.6 TID 関連の発表

表 3.1.4-11 に TID 関連の発表概要をまとめる

表 3.1.4-11 TID 関連の発表概要

項番	概要
3. 2. 9 STI領域における 低線量率効果	<ul style="list-style-type: none"> ■ STI構造を含むCMOSデバイスにおいて、ドーズレートによって反転するのに必要なTID量が顕著に異なる ■ この効果は照射中に電界印加される場合にのみ生じる ■ そのメカニズムは、低ドーズレート条件における電荷収率の増加から、説明することができる。 ■ コンピュータモデリングから <ul style="list-style-type: none"> ・ 捕捉電荷のピークはゲートの直下にある ・ 捕捉電荷による局所的な電界のため、捕捉電荷の位置は境界の内側深くに形成される
3. 2. 10 陽子により誘発された製造工程に依存したGaN HEMTの劣化	<ul style="list-style-type: none"> ■ 1.8MeVの陽子を10^{14} cm^{-2}のフルエンスまでAlGaIn/GaN HEMTに照射し、反応を調査した。NH₃リッチのMBE下で成長した素子はGaリッチ、NリッチのMBEで成長した素子に比べて陽子により誘発された劣化に敏感であることがわかった。 ■ 陽子照射による素子劣化の特徴はホットエレクトロンストレスが起因の劣化と異なる。ホットエレクトロンのストレスではGaリッチ、Nリッチの素子はピンチオフ電圧が正にシフトし、アンモニアリッチの素子はピンチオフ電圧が負にシフトするが、陽子照射ではすべての素子でピンチオフ電圧が正にシフトしている。 ■ 1/f雑音は$7 \times 10^{13} \text{ cm}^{-2}$まで陽子照射すると増加する。アクセプタライク性質をもつN空孔が陽子の照射で生成され、放射線を照射した素子に雑音の増加をもたらしている。
3. 2. 11 CMOSイメージセンサーの界面状態とトラップ電荷密度測定によるトータルドーズ誘起の暗電流の解析	<ul style="list-style-type: none"> ■ 等時アニーリングにおいて、100°C以下では界面状態がアニールアウトする。300°C30分アニーリングでは、トラップ電荷の1/3が残る。 ■ 放射耐性向上のためには、①生成中心密度の増加、②TIDによる空乏領域の拡大、が緩和される必要がある。 ■ 放射誘起暗電流を減少させる最も直接的な方法は、接合部境界線を減らすことである(量子効果、電荷-電圧変換ファクター)。 ■ 先端CISの劣化の主要な原因は、STI界面状態の増強と電荷トラップである。 <p>QIS挙動の完全な理解の前に、照射とアニール後のSTI挙動を理解すべきである。</p>
3. 2. 12 事前にTID照射されたフローティングゲートセルにおける重イオン照射によるアップセット発生断面積の増加	<ul style="list-style-type: none"> ■ この論文では、事前にTID照射(< 50 krad)を受けたフローティングゲートセルについて、重イオン照射によるSEU発生断面積を示した <ul style="list-style-type: none"> - 低LET領域において、TIDによるSEU発生断面積の増加への寄与は大きい - 重イオンによるビットエラー数は、TID照射量に比例して大きくなる - これは、TIDと重イオン照射によるV_{th}分布のシフトの組み合わせに起因する ■ TID照射に続いて照射された重イオンによるSEU発生断面積の増加は、宇宙でのエラーレート予測について重要な帰結をもたらす <ul style="list-style-type: none"> - TIDと重イオンを組み合わせた効果は、別々に考えたとき(つまり単純に足し合わせた効果)に比べ、V_{th}のシフト量としては小さくなる - これは、TIDによるフローティングゲートからの電荷損失によって酸化膜内の電場が小さくなり、引き続いて照射された重イオンによるV_{th}のシフト量は、TIDを受けていない場合と比べ、小さくなるためである

(1) STI 領域における低線量率効果

Johnston (JPL) は、TID 効果で Gate 端の STI の中にホールが蓄積、電界が形成されるために界面近くに反転層が形成されソース・ドレイン間に電流が流れる効果に関する線量率の影響を評価した。

図 3.1.4-34 は試験構造を示したもので、ダイオードの周囲を STI が囲う構造となっている。STI と Gate の境界部分に電界による反転層が形成され、リーク電流が流れる。

図 3.1.4-35 は、250nmMOSFET の TID 効果を示したもので、照射中のゲート電圧が高いほどリーク電流 ($V_g=0V$ で測定) は大きくなる。反転閾値 (電流の増加し始める Dose) は電圧に反比例する。

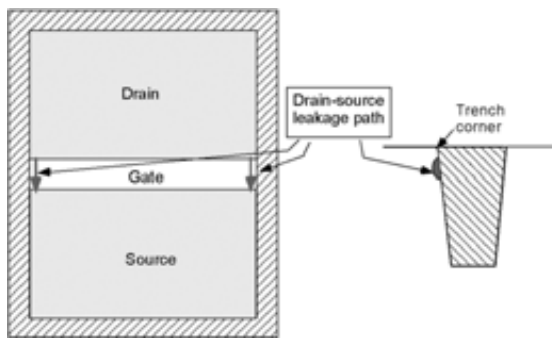


図 3.1.4-34. 試験構造

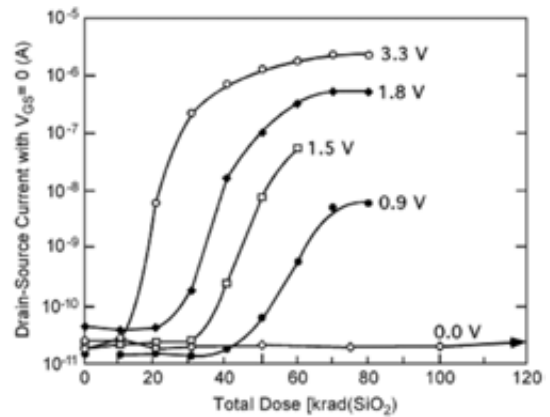


図 3.1.4-35. 250nmMOSFET の TID 効果。照射中のゲート電圧が高いほどリーク電流は大きくなる。反転閾値は電圧に反比例

図 3.1.4-36 は 250nmMOSFET のドーズレート効果を示したもので、低いドーズレートの方が閾値は低いことがわかる。

図 3.1.4-37 は X 線および Co-60 による 250nmMOSFET の TID 効果の違いを評価した結果を示したもので、X 線より、Co-60 の方が閾値は小さく顕著になる。これまでの評価 (X 線使用) は耐性を過大評価していたことになる。

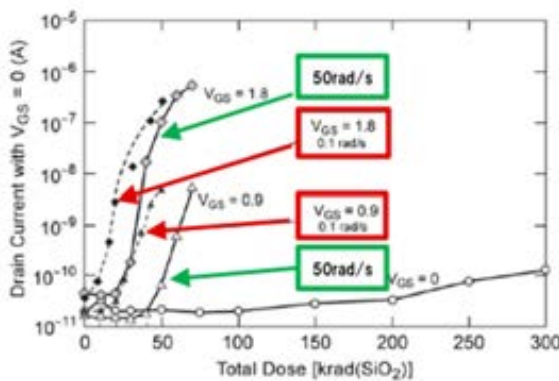


図 3.1.4-36. 250nmMOSFET のドーズレート効果。

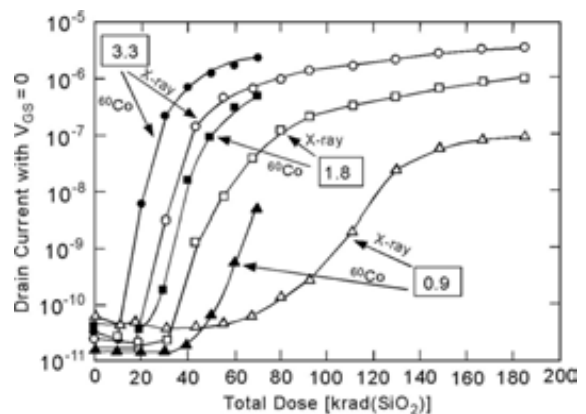


図 3.1.4-37. 250nmMOSFET の TID 効果: X 線と Co-60 の比較

図 3.1.4-38 は、250nmMOSFET のドレイン電流 (Co-60, 100rad/s) のアニーリング効果を示したもので、アニーリングによるドレイン電流が減少することがわかる。このアニーリング効果は、ELDRS のそれと比較して大きい。

図 3.1.4-39 は、90nmMOSFET の STI 内ホールの蓄積のシミュレーション結果を示したもので、Gate に近い領域でホールが高濃度で蓄積されていることを示す。ホールが形成する電場により界面近くで反転層ができ、リークパスを形成する。

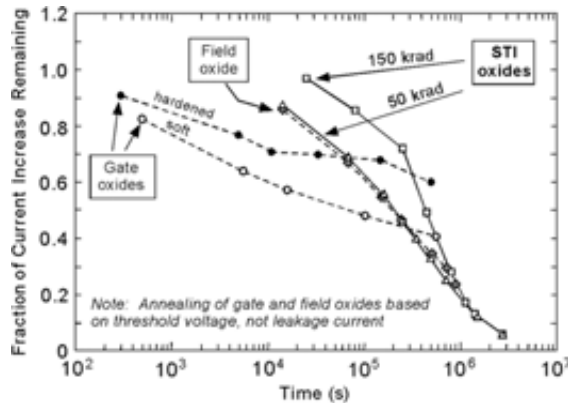


図 3.1.4-38. 250nmMOSFET のドレイン電流 (Co-60, 100rad/s)のアニーリングによる減少。

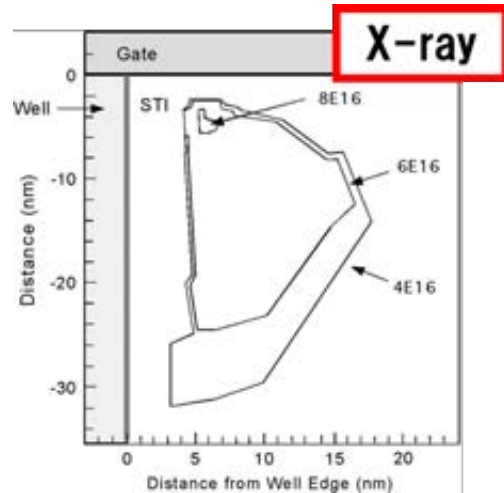


図 3.1.4-39. 90nmMOSFET の STI 内ホールの蓄積シミュレーション結果

(2) 陽子により誘発された製造工程に依存した GaN HEMT の劣化

Roy (Vanderbilt 大)らは、GaN HEMT の陽子(1.8MeV, 10^{14}cm^{-2}) 照射による DC 特性、1/f ノイズ特性の変化を測定し、AlGaIn/GaN のヘテロ構造層の製造工程 (MBE:(i)GaNリッチ (ii)Nリッチ (iii)NH₃リッチ)による相違を抽出した。

図 3.1.4-40 に GaN HEMT 構造を示す。図 3.1.4-41 に陽子照射により、1/f(傾き-1)強度が増加する様子をまとめる。

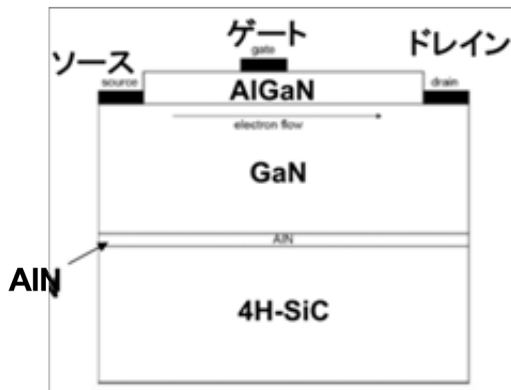


図 3.1.4-40. GaN HEMT 構造

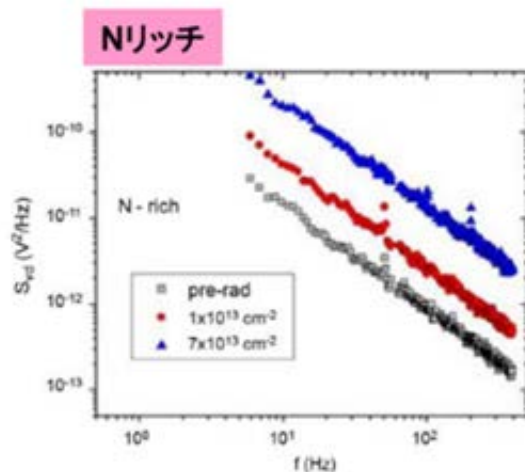


図 3.1.4-41. 陽子照射により、1/f ノイズ増加

図 3.1.4-42 は DC 特性の変化を示したもので、Ga リッチ、N リッチともにピンチオフが正に変化し I_{ds} は減少する一方、 NH_3 リッチではピンチオフ電圧、 I_{ds} とも $7 \times 10^{13} \text{cm}^{-2}$ まではほぼ変化せず、 10^{14} で素子破壊至ることがわかる。図 3.1.4-43 はパワースペクトル密度 S_{vd} の陽子照射による変化を示すもので、傾きが途中から変化することがわかる。図 3.1.4-44 は、N 空孔の生成エネルギーを表す。N 空孔の近傍で傾き(欠陥の荷電状態に対応)が変化するが、生成エネルギーは N 空孔が小さい。

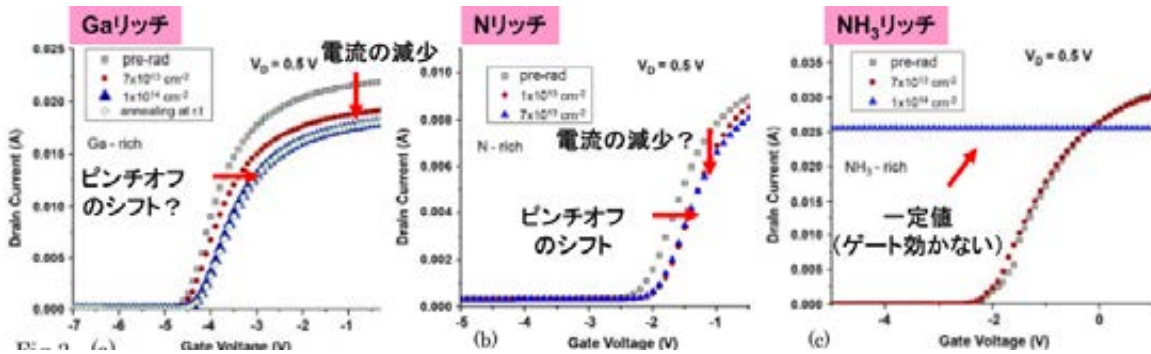


図 3.1.4-42. DC 特性の変化: Ga リッチ、N リッチともにピンチオフが正に変化、 I_{ds} が減少。 NH_3 リッチではピンチオフ電圧、 I_{ds} とも $7 \times 10^{13} \text{cm}^{-2}$ まではほぼ変化しないが、 10^{14} で素子破壊。

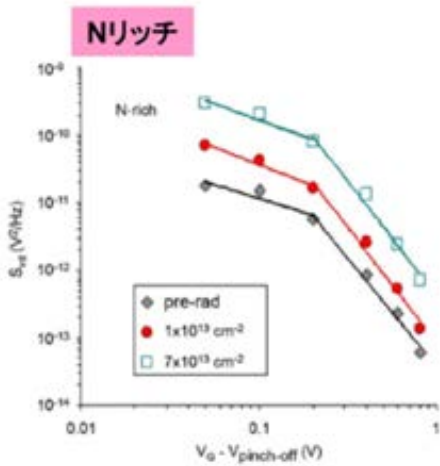


図 3.1.4-43. パワースペクトル密度 S_{vd} の陽子照射による変化。

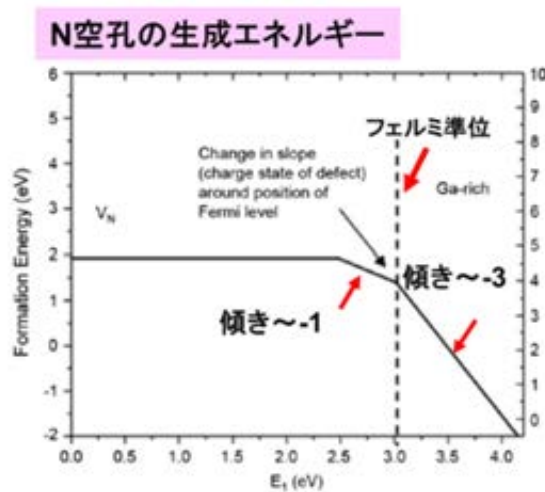


図 3.1.4-44. GaN 双空孔と N 空孔はどちらもフェルミ準位近傍で傾き(欠陥の荷電状態に対応)が変化するが、生成エネルギーは N 空孔が小さい。

(3) CMOS イメージセンサーの界面状態とトラップ電荷密度測定によるトータルドーズ誘起の暗電流の解析

Goiffon (Universite de Toulouse) らは、CMOS イメージセンサーの界面状態とトラップ電荷密度測定によるトータルドーズ誘起の暗電流の解析を行った。図 3.1.4-45 は、テストチップ (FET は PD 近傍の欠陥密度評価用に特別に製作したもの。) 図 3.1.4-46 は、3T ($0.18 \mu\text{m}$) ピクセルアレイ (300 個) の一部 (9 個) を示したもので、各セルの周長は、 $14 \mu\text{m}$ 、間隔は $5 \mu\text{m}$ である。

図 3.1.4-47 では、暗電流増加分は界面準位密度変化 ΔD_{it} に比例するべきところ、比例関係から外れるのでトラップ密度 ΔN_{ot} が寄与していると結論している。図 3.1.4-48 は、TID 効果による PD の暗電流測定結果であり、トータルドーズ量が多い方が暗電流は高い。

図 3.1.4-49 は、 ΔN_{ot} が増加する (TID6~300krad 相当) と空乏層幅が大幅に拡張する (TCAD の結果も定性的に一致) 結果を示す。

図 3.1.4-50 は、STI 部に TID で空乏層が広がり、チャンネルが形成される TCAD の結果を示し、TID の結果リーク電流が増加する現象を定性的に説明している。

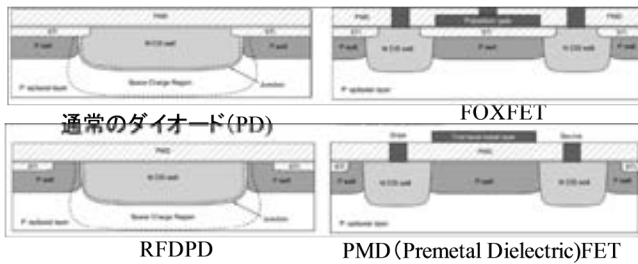


図 3.1.4-45. テストチップ (FETはPD近傍の欠陥密度評価用)

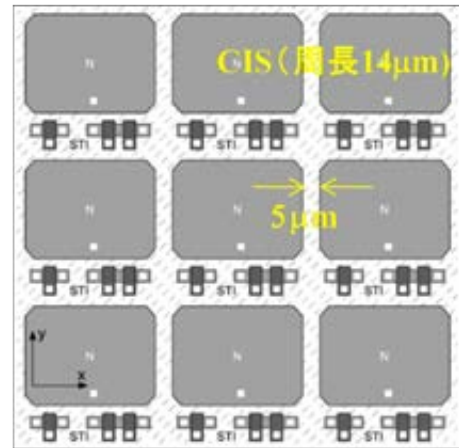


図 3.1.4-46. 3T (0.18μm) ピクセルアレイ (300 個) の一部

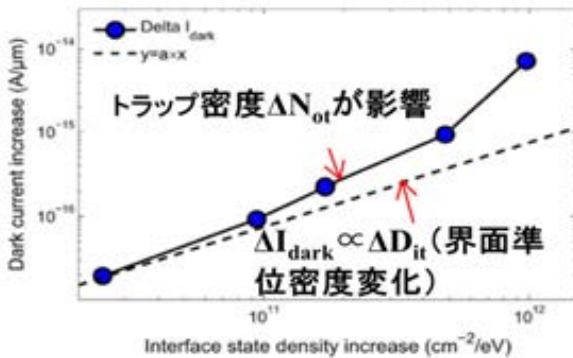


図 3.1.4-47. 暗電流増加に ΔD_{it} と ΔN_{ot} が寄与

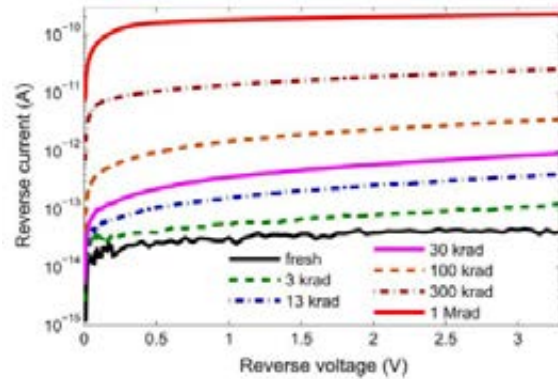
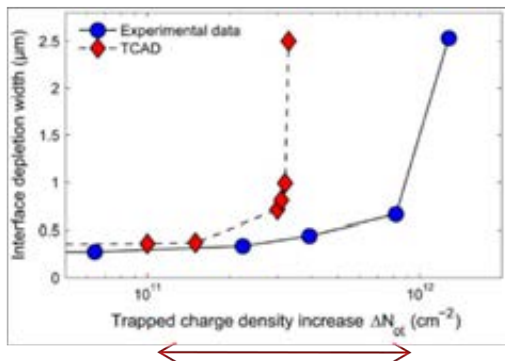
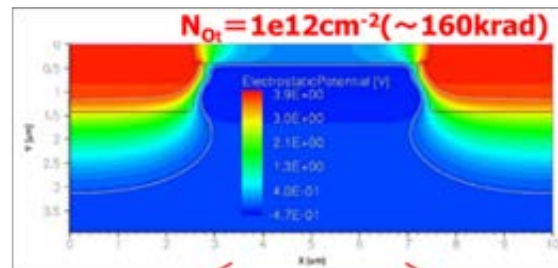


図 3.1.4-48. 通常の PD の TID による暗電流の増加



TID6~300kradに相当

図 3.1.4-49. ΔN_{ot} が増加すると空乏層幅が大幅に拡張する (TCAD の結果も定性的に一致)



STI範囲(5μm)

図 3.1.4-50. TCAD の結果: STI 部に TID で空乏層が広がり、チャンネルが形成される。

(4) 事前に TID 照射されたフローティングゲートセルにおける重イオン照射によるアップセット発生断面積の増加

Bagatin (Padova Univ) らは、4 値フローティングゲートセルについて、TID と重イオン SEU の重畳効果を定量化した。図 3.1.4-51 にフローティングゲートセルの構造(参考)を示す。

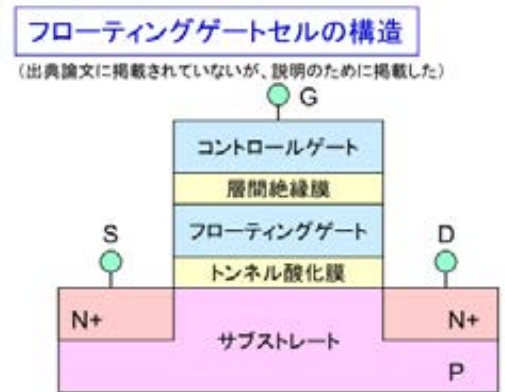


図 3.1.4-51. フローティングゲートセルの構造 (参考)

図 3.1.4-52 は、通常の4値フローティングゲートセルの V_{th} 分布を示したもので、荷電状態 (-3 → +1) で V_{th} が変わる。

図 3.1.4-53 は照射試験手順を示したものである。350rad(Si)/s で TID を実施(あるいはスキップ)後、イオン照射による SEU 試験を実施した。

図 3.1.4-54 は 65nm, 90nm デバイスに Si イオン照射後の SEU 断面積の測定値を示したもので、プログラムレベルが高い(-2, -3)ほど、また、TID がある場合ほど断面積が高くなる。

図 3.1.4-55 では試験後の V_{th} 分布を示したもので、 V_{th} シフトは TID (←) と SEU (↓) の効果が重畳した形となるが、単なる足し算にはならないと著者らは指摘している。

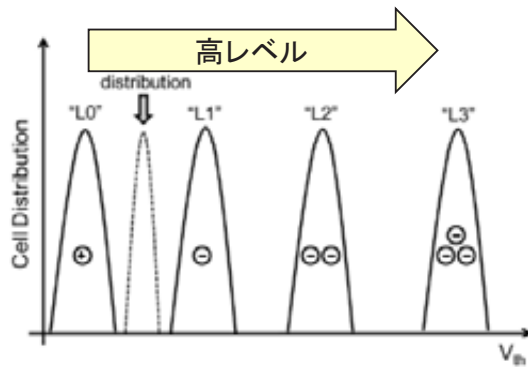


図 3.1.4-52. 荷電状態で V_{th} が変わる

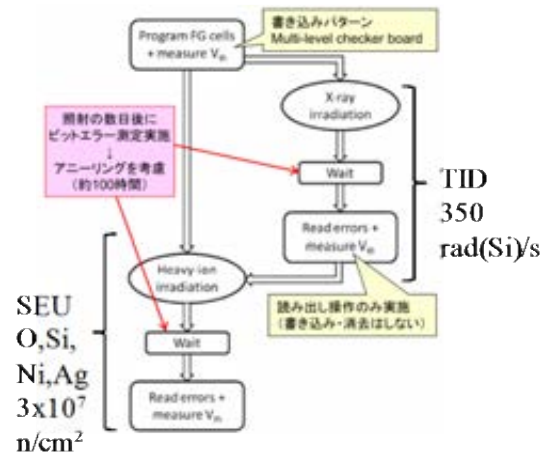


図 3.1.4-53. 照射試験手順

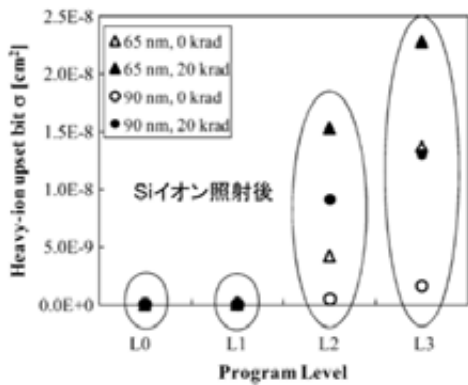


図 3.1.4-54. トンネル酸化膜内電位の高い高プログラムレベルほど TID(20krad)の影響顕著

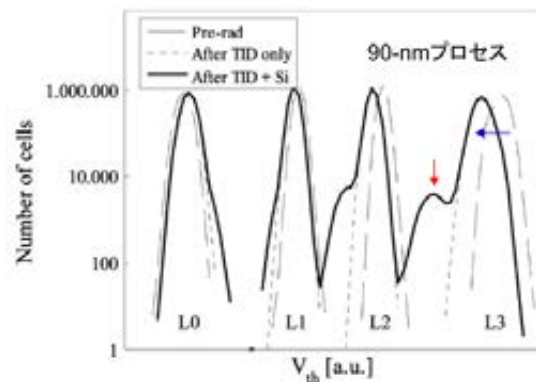


図 3.1.4-55. V_{th} シフトは TID (←) と SEU (↓) の効果が重畳。但し単なる足し算では無い

3.1.4.7 まとめ

- (1) 新しい傾向
 - ①TID 効果について、酸化膜中のトラップと界面準位による解析が定着。STI に着目する発表増加。
 - ②SEE、TID 評価対象デバイスの拡大(ROIC, CSI など)
 - ③計測系に工夫を凝らして、細かいデータを抽出する試み。
アプリケーションレベルの SER 測定
- (2) 継続的に関心増大傾向
 - ①SET パルス幅測定
 - ②フラッシュメモリの V_{th} シフト
 - ③SET の長いゲートチェーンによる SET 幅の増大
- (3) 地上の SEE に関しては、発表の場が NSREC から専門学会(IRPS, ICICDT,SELSE, DNS, IOLTS)にほぼ完全移行

3.2 検討文献

3.2.1 Sub-100nm Bulk CMOS プロセスにおける SET 電圧パルス幅のスケールトレンド

文献名	Scaling trends in SET Pulse Widths in Sub-100 nm Bulk CMOS Processes
出典	IEEE Transaction on Nuclear Science, Vol. 57, No. 6, pp. 3336-3341, Dec. 2010.
著者名	M. J. Gadlage, J. R. Ahlbin, B. Narasimham, B. L. Bhuvu, L. W. Massengill, R. A. Reed, R. D. Schrimpf, and G. Vizkelethy
対象デバイス	65/90/130-nmBulk, CMOS, SET キャプチャ回路(インバーターチェーン回路)
実験設備	Microbeam at Sandia National Lab.
照射線種及びエネルギーの区分	重イオン(Oxygen ions) 36MeV at constant LET of 5.4 MeV/(mg/cm ²)
単発現象又は積算線量効果の区分	単発現象
実験又は理論の区分	シミュレーション及び実験

(1) 概要

DSET(デジタル回路中に発生する SET パルス)のプロセススケールに対するトレンドについて、提言を述べた論文。

65nmBulk プロセスと、90nm 及び 130nmBulk プロセスを比較すると、重イオン照射試験より実測した SET パルス幅は、65nm の方がより小さく、90nm/130nm では比較的似ている結果となったが、回路中でのパルス幅伸縮(pulse broadening)や寄生バイポーラ効果(parasitic bipolar effect)等を考慮に入れると、プロセス間のトレンドには、もっと複合要因が重なり合ってくる。様々な研究グループが発表している様々なプロセスにおける SET パルス幅の実測値の違いは、テスト回路中の n-well コンタクトのとり方の違いに起因している可能性が考えられる。このようなテスト回路のレイアウトの違いが、これまで実測されてきた SET パルス幅のプロセス間のトレンドの矛盾を説明できる、一つのパラメータとなり得る。この問題を説明するため、本論文では、以下が述べられている。

- 本論文中で実測した SET パルス幅の紹介(65nm Bulk)
- SET パルス幅と各テクノロジー間で差がでるファクタ(Pulse broadening 等)との関係を説明
3 種類のテスト回路(n-well コンタクトのとり方の違い)で SET パルス幅を実測
- これまでの一貫性のない SET パルス幅のプロセス間トレンドに関して一考察

(2) 実験

SET パルス幅実測に使用した試験回路を図 3.2.1-1 に示す[1]。ターゲット部がイオン入射で SET を発生させる部分である。測定回路はラッチを直列接続したもので、SET パルスが第 1 段を通過してから、ある遅延時間経過すると'hold'信号を発生させ SET パルスを捕捉する。SET パルスが捕捉されてラッチのデータが読み取られたならば、リセットパルスにて次の SET を測定する状態に戻す。

SET パルス幅と LET の関係をプロセステクノロジーでまとめた実験結果を図 3.2.1-2 に示す。図 3.2.1-2 より、以下のことがわかった。

- SET パルス幅実測値に、明確なプロセス間トレンドがない。

- LET=60MeV/(mg/cm²)入射時の最大 SET パルス幅が、65-nm では 250ps しかないのに対し、90-nm/130-nm では 1.5ns 近くある。
- 90-nm のみ、低 LET で 1ns もの SET パルス発生が見られる。

90nm でのみ確認された低 LET での大きい SET パルス幅が発生した原因として、1000 段のインバータチェーンによる Pulse broadening 効果が考えられる(130nm は、100 段のインバータチェーン)。試験回路のインバータチェーンの数による可能性がある。従って、Pulse broadening 効果を確認するため、図 3.2.1-3 に示す試験回路でレーザ照射を実施した。レーザ照射実験結果を図 3.2.1-4 に示す。横軸にインバータチェーンの数(出力端子からの距離)をとり、縦軸は SET パルス幅である。この結果、Pulse broadening 効果があることを確認できた。なお、インバータチェーン 100 段の 130nm でレーザ照射を行ったが、Pulse broadening 効果は確認されなかった。

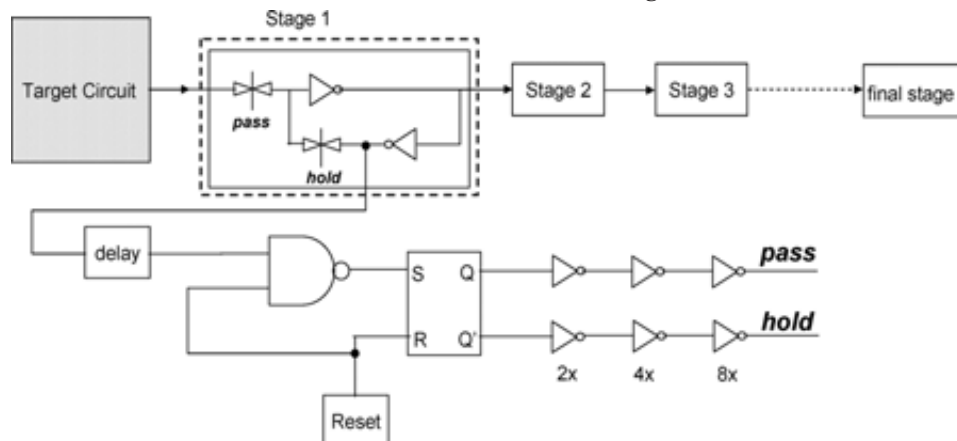


図 3.2.1-1. SET パルス幅実測に使用したテスト回路

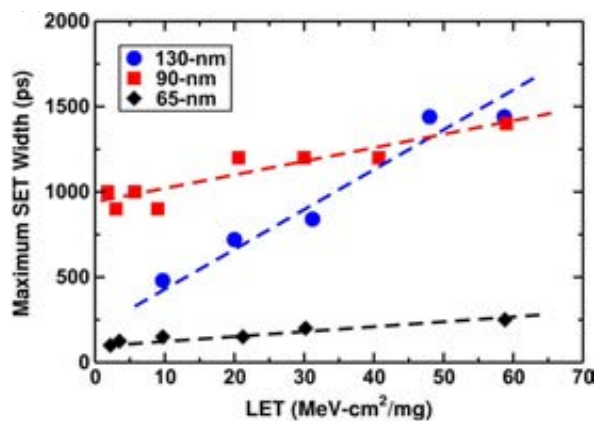


図 3.2.1-2. 重イオン照射による SET パルス幅測定 (過去の論文からの結果)

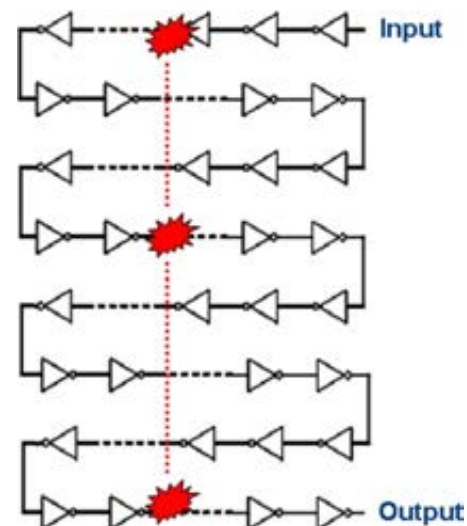


図 3.2.1-3. レーザ照射による SET パルス幅測定に使用された 90nm Bulk の回路

ところで、図 3.2.1-2 の結果で、65-nm の試験回路で用いたインバータチェーンの数は 90nm と同じ 1000 段であるにもかかわらず、何故 Pulse broadening が原因となる低 LET での大きな SET パルスの発生が観測されなかったかを確認するため、マイクロビームを用いて実験を行った。使用したイオン種は 36MeV の酸素イオンで、LET は 5.4MeV/(mg/cm²)。この実験の結果、Pulse broadening は発生することを確認したが、1inverter 当たりの broadening レートは、90nm と比較して 1桁小さい結果となった(0.1ps/inverter)。この 65nm と 90nm の broadening レートの違いは、

両者テスト回路での Well コンタクトと substrate コンタクトの取られ方の違いに起因している可能性が高い。Pulse broadening の影響を排除してオリジナルの SET パルス幅を再計算し、65nm/90nm/130nm のプロセス間のトレンドを図-5にまとめた。図 3.2.1-5 より、プロセス縮小に従って SET パルス幅は小さくなっていく傾向であることがわかった。

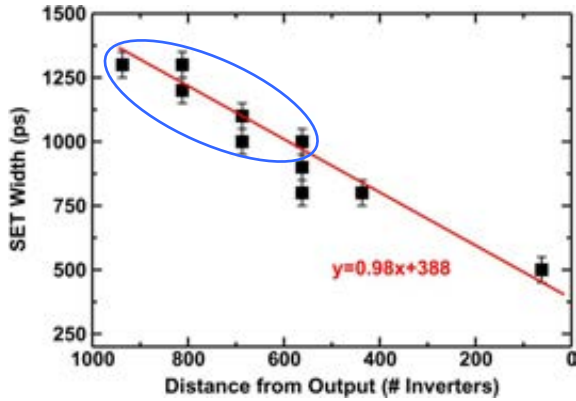


図 3.2.1-4. レーザ照射による SET パルス幅測定

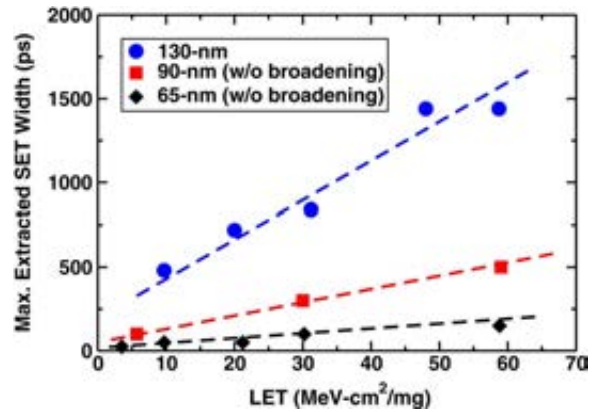


図 3.2.1-5. マイクロビーム照射による SET パルス幅測定

(3) シミュレーション (n-wellのSET発生に対する寄与)

大きな SET パルスが発生するもう一つの原因として寄生バイポーラ増幅が挙げられる。これは NMOS よりも PMOS の方が顕著に現れる。Amusan らは、90nm プロセスにおいて寄生バイポーラ増幅は、n-well コンタクトのサイズと非常に緊密な関係にあることを示し(図 3.2.1-6)、SET パルス幅の違いは、テクノロジーノードよりも試験回路のレイアウトにより起因すると提言している。各テクノロジーノードの試験回路における n-well コンタクトの割合(図 3.2.1-7)と、それぞれの最大 SET パルス幅をプロットした結果を図 3.2.1-8 に示す。図 3.2.1-8 より、Amusan らの提唱する n-well コンタクトサイズと SET パルス幅のトレンドと非常に似た傾向になることがわかった。

130-nm/65-nm について、90-nm 同様、n-well コンタクトサイズと SET パルスとの関係を調査するために TCAD による 3D Mixed-mode シミュレーションを実施した。シミュレーションで用いたイオンの LET は 58MeV/(mg/cm²) で固定した。Off 状態の PMOS を 3D の物理モデルに、他は SPICE ネットリストとし、Inverter chain を構成し、ターゲット PMOS の Drain 中心にガウス分布(1/e=50nm, 2ps)のイオンを照射した。このシミュレー

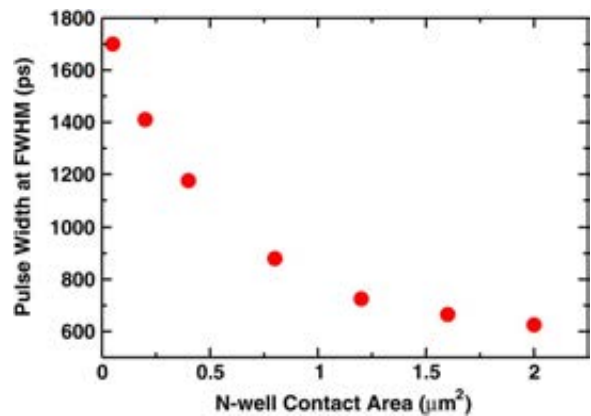


図 3.2.1-6. n-well コンタクトと SET パルス幅との関係 (Amusan らの研究結果)

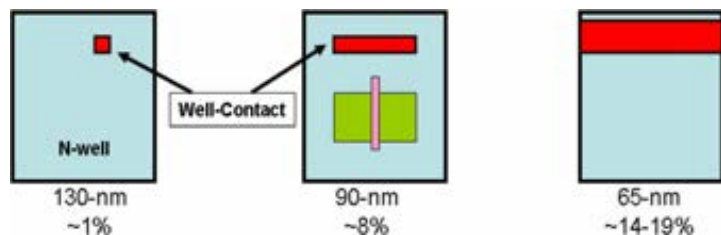


図 3.2.1-7. 試験回路における n-well コンタクトの割合のトレンド(130nm/90nm/65nm)

ション結果を図 3.2.1-9 に示す。図 3.2.1-9 より、130nm/65nm の結果は、Amusan らの結果(図 3.2.1-6)と非常に類似することがわかった。

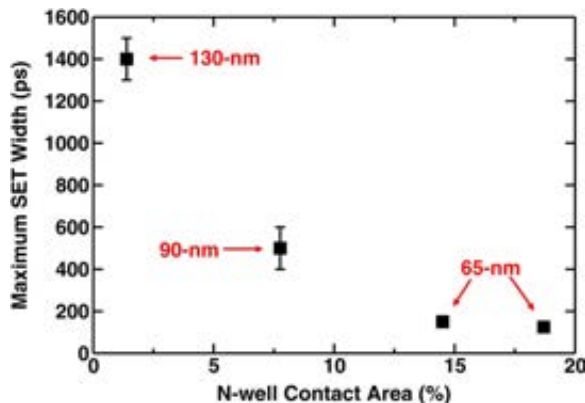


図 3.2.1-8. n-well コンタクト面積と SET パルス幅の関係

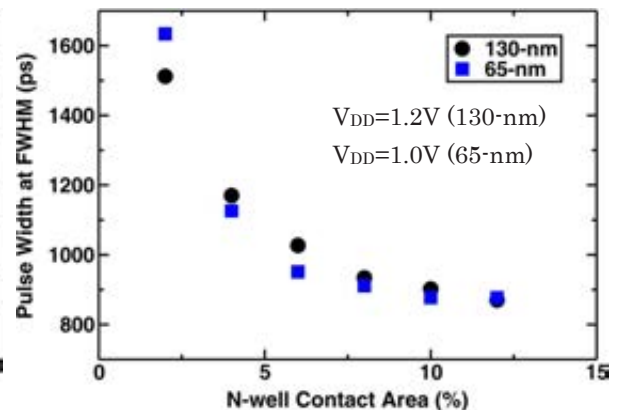


図 3.2.1-9. TCAD シミュレーション (n-well コンタクト面積と SET パルス幅の関係)

(4) 考察

図 3.2.1-6 及び図 3.2.1-9 から、n-well コンタクトの取り方により、同じテクノロジーでも実測される SET パルス幅に大きな違いがでてくることがわかる。様々な研究グループが行った SET パルス幅の実測値の間に、一貫性がないように見えるのは、試験回路のレイアウトが異なるためであると考えられる。従って、SET パルス幅実測用の試験回路には、①Broadening が発生しないように、SET 発生 Target 回路として、“短い”パスのチェーン回路を使用する、②異なる n-well コンタクトサイズの TEG を Target 回路に含めて、コンタクトによる SET パルス幅の違いを確認するべきである、ことを提案する。

(5) 結論

本論文の結論を以下に示す。

- Bulk テクノロジーにおける SET パルス幅のトレンドは、複数の要素の組み合わせの結果であるため、確定することが難しい。
- 要素の一つが Pulse broadening であり、broadening レートに着目すると、テクノロジースケールが小さくなるほどに短くなっていく傾向がある。
- もうひとつの要素が Parasitic bipolar amplification であり、これはテクノロジースケールよりも、PMOS の周りにいかに n-well コンタクトを付けるかで実測する SET パルス幅が異なるため、試験回路のレイアウトによる傾向がある。
- 結論として、SET パルス幅のテクノロジースケールに対するトレンドを論じる場合は、試験回路の n-well コンタクトのレイアウトを横並びに一定にした上で、そのような試験回路を使って SET パルス幅の実測の試験を行い、その結果を持って論じる必要がある。

参考文献

- [1] Narasimham et al, “Characterization of Digital Single Event Transient Pulse-Widths in 130-nm and 90-nm CMOS technology,” IEEE, Nucl. Sci., Vol.54, no. 6, Dec. 2007, pp.2506~2511

3.2.2 65nm CMOS における nMOS, pMOS 照射時の SET パルス幅の独立測定

文献名	Independent Measurement of SET Pulse Widths From N-Hits and P-Hits in 65-nm CMOS
出典	IEEE Transaction on Nuclear Science, Vol. 57, No. 6, pp. 3386-3391, Dec. 2010.
著者名	Srikanth Jagannathan (Vanderbilt Univ.), Matthew J. Gadlage, Bharat L. Bhuva, Ronald D. Schrimpf, Balaji Narasimham, Jugantor Chetia, Jonathan R. Ahlbin, and Lloyd W. Massengill
対象デバイス	CMOS NAND, NOR チェーン (65nm Bulk)
実験設備	Lawrence Berkeley National Laboratory (LBNL)
照射線種及びエネルギーの区分	各種重イオン (21.2~58.8 MeVcm ² /mg)
単発現象又は積算線量効果の区分	単発現象 (SET)
実験又は理論の区分	実験およびシミュレーション

(1) 概要

nMOS, pMOS 照射による SET の独立評価による新たな回路設計について述べる。65nm デバイスへの重イオン照射結果より、nMOS, pMOS 照射時の電荷収集メカニズムが各々異なることがわかった。低 LET イオンでは nMOS 照射時の SET パルス幅が長くなり、高 LET イオンではその逆になった。n-well の厚さや寄生バイポーラ効果が、SET 幅に大きな影響を与えることを示す。

Index Terms : N-hits, P-hits, pulse width, SET, single event transient, soft error.

(2) 序論

デバイスの縮小化および電源電圧の低圧化は、照射起因のソフトエラーを引き起こす。イオン入射によりノードで電荷が発生すると、ロジックゲートの出力が反転する可能性がある。組合せ回路では、出力 Tr 電流による電荷により最終的には初期状態に戻る。この出力変動が SET である。SET パルスが伝搬し、ラッチに誤データがストアされた時にのみ、エラーが発生する。ECC や耐性向上技術によりメモリやラッチ回路の SEU 耐性向上が図られており、SET 起因エラーはソフトエラーの主要因になるものと予想される。SET に対する脆弱性を決定する要素に SET パルス幅がある。パルス幅は Tr の回復力により決定される。

サブ 100nm CMOS デバイスでは、その寄生要素により pMOS と nMOS の電荷収集特性(過渡電流の時間特性)が異なり、nMOS 照射時(N-hits)と pMOS 照射時(P-hits)では SET パルス幅が変化する。Amusan らの 3D-TCAD シミュレーション結果では、n-well プロセスにより作製された pMOS 照射時に、寄生バイポーラ効果によりパルス幅が広がると報告している[1]。

N-hits と P-hits による SET の識別については報告が少ない。近年、Gouker らは、インバータチェーンへのパルスレーザ照射により N-hits と P-hits で SET パルス幅が異なると報告した(正確な照射位置制御によりターゲット Tr を選択) [2]。電荷収集メカニズムの理解および RHBD 技術の有効性評価のためには、N-hits と P-hits によるレスポンスの識別が重要である。nMOS と pMOS の数が異なる複雑な組み合わせ回路などでは特に重要となる。

本研究では、あらゆる放射線環境で使用可能な、N-hits と P-hits の分離法を提案する(照射位

置制御の必要なし)。IBM CMOS10SF 65nm バルク CMOS プロセスにより被測定回路を設計。テストチップは、MOSIS ファウンダリシステムにおいて作製した(65nm バルク CMOS の SET パルス幅測定は初めて)。高 LET の P-hits での電荷増幅現象の確認のため、斜め照射も実施した。

(3) N-hitsとP-hitsのSET測定回路

テスト回路は、Narasimham らによって開発された self-triggered SET パルス幅測定回路を基本とし[3]、ターゲット回路と SET パルス幅測定回路により構成される。パルス幅は、ラッチが接続された 80 段のインバータチェーンにより測定した。SET パルス幅は反転したインバータ(ラッチ)数により評価される。室温における各段のディレイは約 25ps であり、本回路により 25ps~2ns(分解能 12.5ps)の SET パルス幅測定が可能となる。

(1)N-hits 回路、(2)P-hits 回路により構成される 2 つのターゲット回路(図 3.2.2-1,図 3.2.2-2)を使用した。各回路は 4 列の 100 ブロックによるチェーンにより構成される。N-hits (P-hits)回路の各ブロックは NAND (NOR)ゲートと 2 つのインバータにより構成される。SET パルス伸長効果抑制のため、各チェーン長は 100 段とした(図 3.2.2-3)。N-hits ブロックの入力は”1”、P-hits では”0”とした。各回路においてインバータヘイオンが照射された時にはパルス伝搬は起きない。照射により、N-hits ブロックの 1 つのインバータ出力が変化しても、他方の NAND 入力が”0”のため NAND 出力は変化しない。よって、NAND ゲートの OFF 状態の nMOS に照射された場合のみ、SET パルスが伝搬する。同様に P-hits 回路では、NOR 回路内の OFF 状態の pMOS に照射された際のみ SET が伝搬する。

NAND と NOR の構造の違いが、出力 SET パルス幅に影響を及ぼすことを避けるため、全てのロジックゲートの駆動力を同一となるように設計した。Cadence Spectre simulator を用いて、同一駆動力を有する 65nm CMOS による NAND, NOR, インバータチェーン(図 3.2.2-4)における N-hits 時の SET パルス幅を評価した

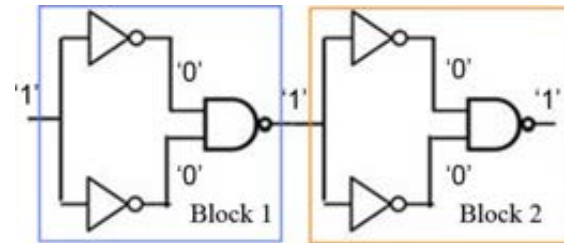


図3.2.2-1. N-hitターゲット回路(2ブロックを表示)。本研究では4列の100ブロックによるチェーンの出力をORで結合し、1出力とした。

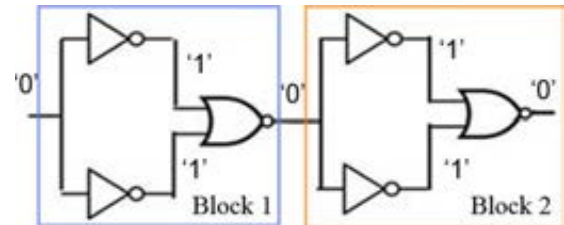


図3.2.2-2. P-hitターゲット回路(2ブロックを表示)。本研究では4列の100ブロックによるチェーンの出力をORで結合し、1出力とした。

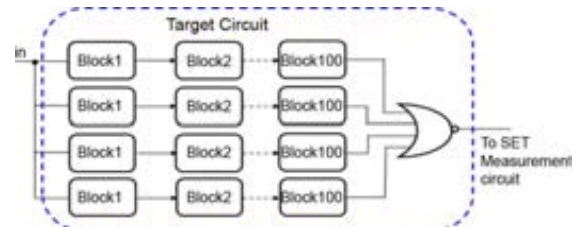


図3.2.2-3. ターゲット回路の(N-hit, P-hit共)のブロックダイアグラム。各ブロックは、2つのインバータとNAND (N-hit)ないしはNORゲート (P-hit) により構成。

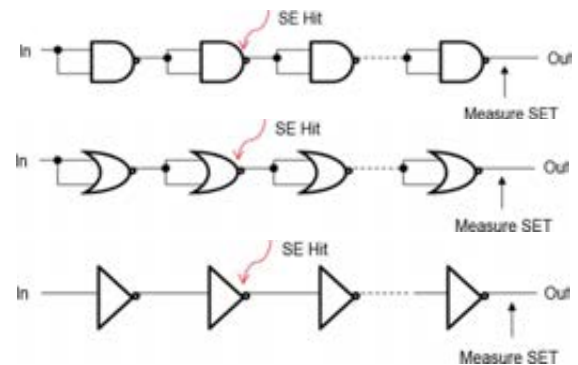


図3.2.2-4. シミュレーションによる各ゲートのSET出力評価回路。(a) NANDゲート (b) NORゲート (c) インバータゲート。何れも、2段目に照射された際の10段目の出力を評価。

(電流パルスは 3D-TCAD シミュレーションより抽出)。結果(図 3.2.2-5)より、各ゲートチェーンの SET パルス幅はほぼ同一(誤差 5%以内)となることを確認した。

2つのインバータが同時にSETを発生した場合にはパルスが伝搬する。よって本現象を防止するため、各インバータを NAND/NOR の両側に配置し、 $3.5\mu\text{m}$ の距離を確保した(図 3.2.2-6 参照)。また、Charge-sharing 現象により SET パルスの消失が起こる。本効果の抑制のため、ブロック 1 の NAND/NOR ゲートと、ブロック 2 のインバータ間距離を $2.5\mu\text{m}$ 程度とした。これらの距離は Amusanらの 90 nm バルク CMOS における実験結果[1]を基に決定した。

(4) 重イオン照射実験結果

照射実験は、Lawrence Berkeley National Laboratory (LBNL) の 10 MeV/amu ビームを用いて真空チャンバー中で行った。LET = $21.1\sim 58.8\text{ MeVcm}^2/\text{mg}$ の各種イオンを垂直(入射角 0°)および入射角 60° で照射した。なお、斜め入射は power rail に平行方向(W-E 方向)および垂直方向(N-S 方向)で実施した(図 3.2.2-6 参照)。イオンエネルギーは Si 表面で所定の LET になるように設定した。本試料のメタル層は 9 層(厚さ $10\sim 20\ \mu\text{m}$)であり、各イオンの飛程は $100\ \mu\text{m}$ 程度である。

図 3.2.2-7 に垂直入射における、P-hits と N-hits の SET パルス幅を示す。低 LET ($\sim 20\text{ MeVcm}^2/\text{mg}$)では N-hits における SET パルス幅が大きいものの、高 LET ($> 30\text{ MeVcm}^2/\text{mg}$)では逆転した。低 LET では寄生バイポーラ効果は無視できると考えられる。また、pMOS での収集長は n-well の厚さで制限される一方、nMOS では基板内のより深い位置から拡散により収集されるため、P-hits の SET パルス幅が N-hits よりも短くなると考えられる。一方、高 LET では寄生バイポーラ効果が無視できな

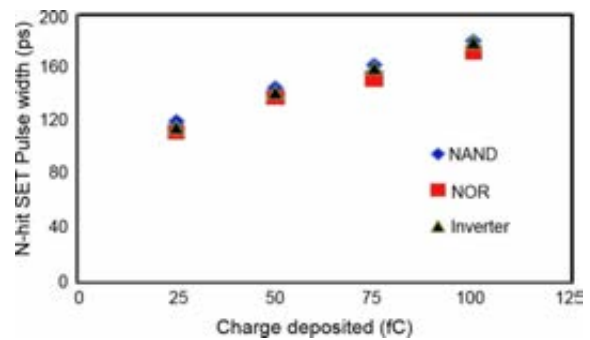


図3.2.2-5. 図3.2.2-4の回路を用いたシミュレーション結果(N-hit時の10段目の出力パルス幅)。最大誤差は5%以内。

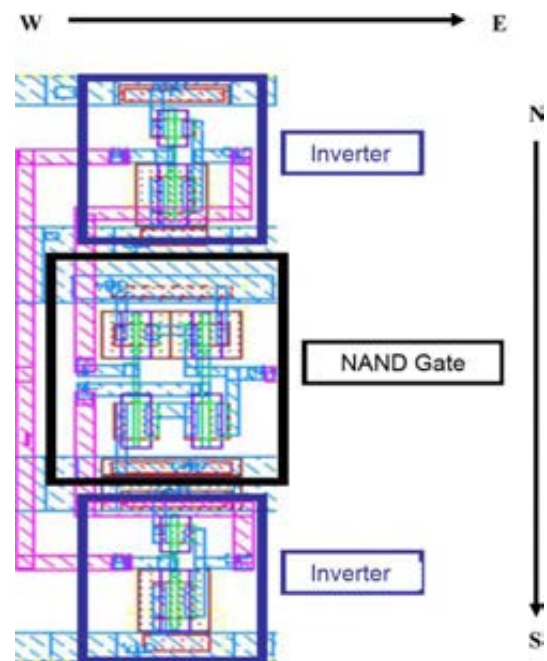


図3.2.2-6. N-hitターゲット回路のレイアウト。照射により2つのインバータが同時にSETを発生させないため、2つのインバータの間隔を長くした。

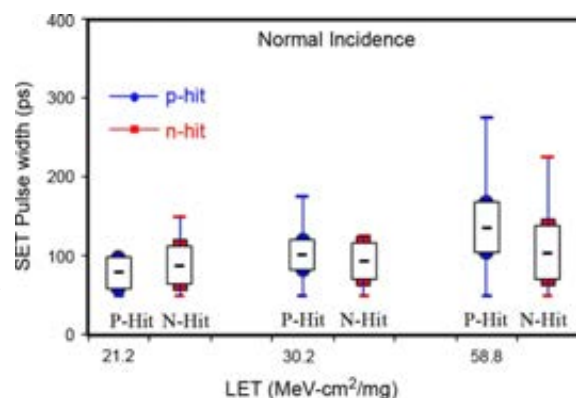


図3.2.2-7. 垂直照射時におけるP-hitとN-hitのSETパルス幅の箱ひげ図表示(平均値、最大・最小値、 $\pm\sigma$ を表示)。低LETではP-hitにおけるパルス幅が短い、高LETではN-hitよりも32%程度長くなった。

くなる。n-well プロセスの pMOS では、照射により発生したホールはドレインないしは基板接合により収集される。しかし電子は well に留まり、well 電位を引き下げる。これによりソース-well ポテンシャルバリアが下がり、ソースから well にホールが注入され、ドレインで収集される(寄生バイポーラ効果)。その結果、P-hits SET パルス幅は N-hits に比べて 32%程長くなる。

寄生バイポーラ効果を確認するため、斜入射実験を行った。以前の研究で、N-S 方向の斜入射の結果は垂直入射と変化しないものの、W-E 方向の斜入射では、pMOS, nMOS の電荷収集において worst-case となることを示した(n-well の電荷付与増大によるバイポーラ効果増強)。図 3.2.2-8 に N-S 方向に入射角 60°で照射した際の結果を示す。照射 Tr タイプ、LET によらず垂直入射と同様な結果になった。入射角によるパルス幅の最大差は約 30%であった(高 LET 時)。図 3.2.2-9 に W-E 方向に入射角 60°で照射した際の結果を示す。予想通り SET パルス幅の増大は、P-hits において顕著となり、高 LET 照射時では、P-hits 時のパルス幅は N-hits よりも 60%程拡がることわかった。

図 3.2.2-10 に、LET=58.8 MeVcm²/mg のイオンを W-E 方向に入射角 60°で照射した際の SET パルス幅の分布を示す。分布のピークは P-hits で 175ps, N-hits で 125ps となり、P-hits の最長パルス幅は、N-hits よりも 55%程度長くなることわかった(寄生バイポーラ効果による)。

また同じフルエンスにもかかわらず、P-hits と N-hits ではイベント数に大きな差が認められた。これは pMOS と nMOS の面積の違いによる。NAND と NOR の駆動力を合わせるために、pMOS では W/L=1.3μm/50nm, nMOS では W/L=400nm/50nm とした(pMOS の感応領域が nMOS の 3 倍以上)。これが、P-hits の SET 断面積が大きくなった理由である。測定結果では、P-hits のイベント数が N-hits の約 3.9 倍となった(垂直入射では約 3.7 倍)。この値が入射角により大きく変化しないことから、本デバイスでは multi-node 電荷収集がほとんど起きていないことがわかる。

(5) 考察

結果より、低 LET 照射では P-hits と N-hits で大きな差異はないものの、高 LET 照射では寄生バイポーラ効果により P-hits の SET パルス幅が大きくなることわかった。また、pMOS と nMOS の面積の違いによりイベント数が変化することが確認された。よって、pMOS と nMOS が同数のゲー

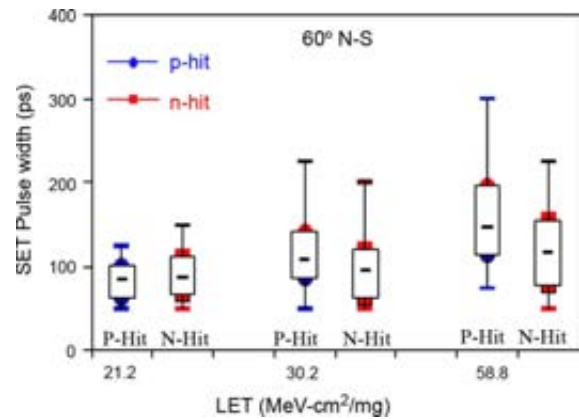


図3.2.2-8. N-S方向に入射角60°で照射した場合のP-hitとN-hitのSETパルス幅の箱ひげ図表示(平均値、最大・最小値、±σを表示)。低LETではP-hitにおけるパルス幅が少々短い、高LETではN-hitよりも30%程度長くなった。

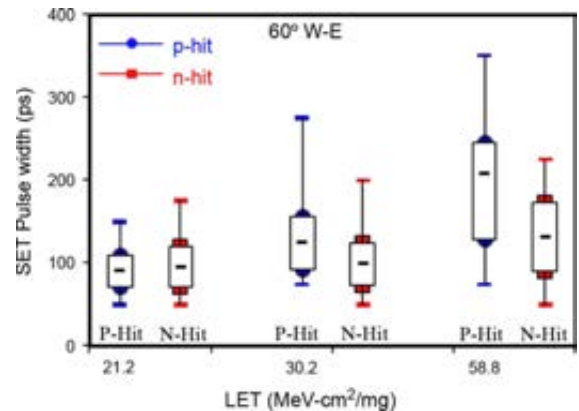


図3.2.2-9. W-E方向に入射角60°で照射した場合のP-hitとN-hitのSETパルス幅の箱ひげ図表示(平均値、最大・最小値、±σを表示)。低LETではP-hitにおけるパルス幅が少々短い、高LETではN-hitよりも60%程度長くなった。

ト回路では、pMOS の耐性向上が重要になる。P-hits の SET パルス幅減少にはバイポーラ効果の抑制が重要である。ただし駆動力を合わせるため、pMOS のゲート幅(ゲート面積)は nMOS よりも大きくなり、P-hits の SET イベント数が大きくなる。よって、transistor fingering(ゲート分割)などの手法により、駆動力を確保しつつ感応領域の減少が可能になると考えられる。

n-well の縦方向抵抗(R_{vertical})、および n-well とチャネル間の抵抗(R_{well})はバイポーラ増幅に大きな影響を与える。 R_{vertical} は n-well コンタクト面積増大により減少でき、その結果、寄生バイポーラ Tr を ON にするためには、より大量な電荷が必要になる。 R_{well} は n-well コンタクトとトランジスタとの距離により変化し、距離を短くすることによりバイポーラ効果を抑圧できる。

今回使用した NAND, NOR では、各セルの well コンタクトサイズおよび駆動力を同一とした。商用への応用を考えた場合、well コンタクト面積(コンタクト数)は減少すると考えられ、バイポーラ効果の増加により pMOS と nMOS

の SET パルス幅の差はより大きくなるといえる。宇宙および軍事応用では、n-well および基板とのコンタクト密度を本デバイスと同様にすることにより、本論で述べた結果と同様な結果になると予想する。

P-hit 回路の全 NOR ゲートの n-well サイズは、 $2 \times 1.2 \mu\text{m}$ である。n-well コンタクトと n-well の面積比は pMOS の電荷収集量に影響を及ぼし、これにより P-hit のパルス幅が変化する。今後、コンタクトおよび n-well 面積と P-hits パルス幅との依存性について評価する予定である。

(6) 結論

電荷収集メカニズムが SET パルス幅に与える影響を理解し、また SET 耐性の向上を検討するためには、P-hits と N-hits による SET 特性を独立に評価することが重要である。本研究では、65nm CMOS デバイスを用いて P-hits と N-hits による SET パルス幅分布を評価可能な回路技術について示した。実験結果より、低 LET では N-hits のパルス幅が P-hits に比べ 10%程度長くなることがわかった。一方、高 LET では寄生バイポーラ効果により P-hits のパルス幅が長くなり、特に斜入射では N-hits に比べて 60%程度長くなることがわかった。また、同一のフルエンスのイオン照射における P-hits と N-hits のイベント数は、pMOS と nMOS のドレイン面積に比例することもわかった。これらの結果は、正確なデバイスモデルの構築や、先進技術により作製された IC の放射線耐性向上において有益であると考えられる。

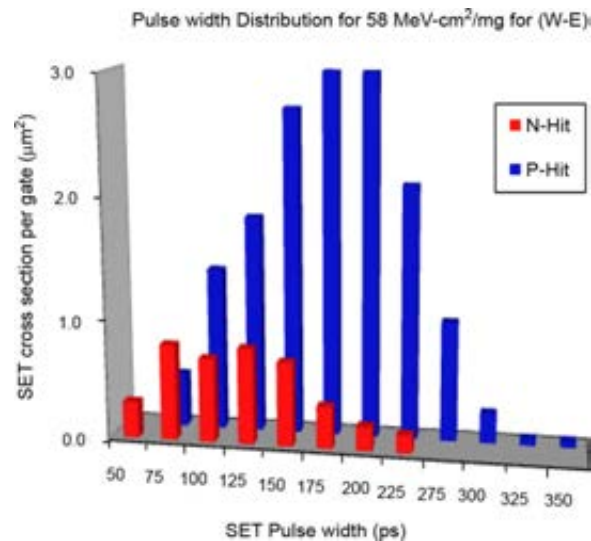


図3.2.2-10. LET=58.8 MeVcm²/mg のイオンを W-E方向に入射角60°で照射した場合の、P-hitsと N-hitsのSETパルス幅の分布(各ゲートのSET断面面積で表示)。P-hitにおける分布はN-hitに比べより長く分布。

(7) コメント

これまでターゲット T_r の選択には、レーザー照射などによる照射位置制御が一般的であった。本提案手法は、あらゆる放射線環境(照射位置制御不要)において N-hits と P-hits による SET パルス幅を分離できるものであり、基本的な考え方は、今後の SET 評価に広く適用されるものとする。

ただし、本手法は基本的にドレイン-基板間で発生する照射誘起過渡電流に起因する SET を対象としており、SOI デバイスには直接適用できない。今後の SOI デバイスへの応用について期待する。

参考文献

- [1] O. A. Amusan, L. W. Massengill, M. P. Baze, B. L. Bhuvu, A. F. Witulski, J. D. Black, A. Balasubramanian, M. C. Casey, D. A. Black, J. R. Ahlbin, R. A. Reed, and M. W. McCurdy, "Mitigation techniques for single-event-induced charge sharing in a 90-nm bulk CMOS process," *IEEE Trans. Dev. Mater. Rel.*, vol. 9, no. 2, pp. 311–317, Dec. 2009.
- [2] P. Gouker, J. Brandt, P. Wyatt, B. Tyrrell, A. Soares, J. Knecht, C. Keast, D. McMorrow, B. Narasimham, M. Gadlage, and B. Bhuvu, "Generation and propagation of single event transients in 0.18 μm fully depleted SOI," *IEEE Trans. Nucl. Sci.*, vol. 55, pp. 2854–2860, Dec. 2008.
- [3] B. Narasimham, V. Ramachandran, B. Bhuvu, R. Schrimpf, A. Witulski, W. Holman, L. Massengill, J. Black, W. Robinson, and D. McMorrow, "On-chip characterization of single event transient pulse widths," *IEEE Trans. Device Mater. Rel.*, vol. 6, no. 4, pp. 542–549, Dec. 2006.

3.2.3 45nm SOI CMOS におけるシングルイベント過渡応答に関するボディコンタクト設計の影響評価

文献名	Evaluating the Influence of Various Body-Contacting Schemes on Single Event Transients in 45-nm SOI CMOS
出典	IEEE Transaction on Nuclear Science, Vol. 57, No. 6, pp. 3366-3372, Dec. 2010.
著者名	K. A. Moen, S. D. Phillips, E. P. Wilcox, J. D. Cressler, H. Nayfeh, A. K. Sutton, J. H. Warner, S. P. Buchner, D. McMorro, G. Vizkelethy, and P. Dodd
対象デバイス	45nm SOI CMOS
実験設備	NRL 800nm パルスレーザ(TPA), Sandia National Laboratory 酸素重イオン
照射線種及びエネルギーの区分	36MeV 酸素重イオン LET=5.4 MeV cm ² /mg
単発現象又は積算線量効果の区分	単発反転現象(SET)
実験又は理論の区分	実験

(1) 概要

45nm SOI CMOS において、T 型及びノッチ型ボディコンタクト MOSFET の SET 反応を調査する。T 型ボディに比べて、ノッチ型ボディは SEE 感度を低減できる。それは、レーザ光入射及びマイクロビーム重イオン入射での過渡応答から示される。これらの結果は、ナノスケール MOSFET ボディコンタクト手法に関して、RF 特性 vs TID vs SEE トレードオフの新しい知見を与えるものである。

(2) 序論

先端 CMOS 技術では、伝統的なデジタル用途 CMOS 技術に加えて、応力設計などを行うことで RF 用途に最適化された製造プロセスの革新が進められている。RF 性能と耐放射線性を併せ持つ SOI RF-CMOS は、RF フロントエンドとデジアナ回路ベースバンドを 1 チップ搭載するような宇宙用途 SoC にとって非常に魅力的である。しかしながら、90nm 以降ノードでは、特にデバイス材料・構造が新しいのでそれらの放射線応答は注意深くキャラクタライズしなければならない。

これまでの研究において、SOI CMOS の TID 耐性は、数世代の技術ノードで議論されてきた [1]-[3]。最近では、65nm PD SOI トランジスタにおいて、STI 酸化膜が TID 感度に効く要因であることが示された ([3]A. Madan 他: 2009 年)。そこでは、ボディコンタクト手法が上記 TID 耐性改善に有効であることが示されている。しかしながら、その構造起因で寄生成分が増えてしまうため、明らかに RF 性能が低下してしまう。つまり課題としては、性能 (RF 特性) と信頼性 (耐放射線性) のトレードオフが生じ、TID 耐性に加え最近の CMOS ノードでは SEE も評価しなければならない、という 2 点がある。

本研究では、45nm SOI CMOS において、重イオンマイクロビーム及びパルスレーザをデバイスレベルで照射し、その電流過渡応答について調査する。また、ボディコンタクトの取り方によって SEE に違いが出ることを初めて示す。さらに、今回観測した SET のバイアス条件及び照射位置依存性の結果から、宇宙環境で動作する SOI CMOS は、RF 特性・TID 耐性のトレードオフも考慮して、使用するボディコンタクト手法を選択する必要があることを示す。

(3) 実験の詳細

- ・製造プロセス：45nm 部分空乏型 SOI CMOS @2006 IEDM

Tox 1.16nm (Floating-Body Tr. Nfet/Pfet ft 485GHz/385GHz), Dual Stress Liner (DSL), e-SiGe, Stress Memorization (SMT) 等を適用している。

- ・デバイスレイアウト：T型及びノッチ型ボディコンタクト L=56nm, Weff=3.0 μ m (図 3.2.3.-1 参照)

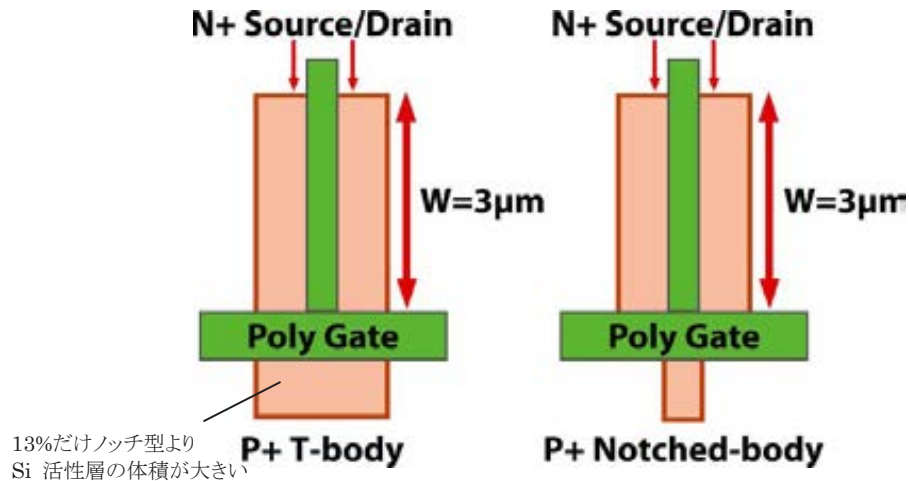


図 3.2.3.-1. (左) T型ボディコンタクト (右) ノッチ型ボディコンタクト のレイアウトパターン

- ・レーザー照射：二光子吸収 パルスレーザー @NRL [10][11]

1.2 μ m ϕ 電荷分布レーザー, SET の 3 次元位置 及び 時間分解測定が可能、800nm 光パルス, 1kHz 繰り返しレート, パルス幅 約 120fs。レーザー焦点高さに合わせた上で、0.25 μ m ステップで xy 位置をずらしながら照射するという特徴がある。この結果は、(3)実験結果の図 3.2.3.-2 ~ 3.2.3.-8 を参照。

- ・イオン照射：36MeV 酸素 LET=5.4 MeV cm²/mg @SNL [12]

この結果は、(3)実験結果の 図 3.2.3.-9 を参照。これが本来行いたい実験であり、レーザー照射の結果とを比較する。

(4) 実験結果

最初に行った実験が 10.7nJ レーザ照射、nMOSFET である(図 3.2.3.-2)。V_D=1.0V, V_G=0V の条件で実施。T 型 SET ボディ電流は、ボディ部近傍に照射された時がピークとなる(図 3.2.3.-2 (a))。ノッチ型 SET ボディ電流は、上記 T 型のようなピークは見られない(図 3.2.3.-2 (b))。

補足として、図 3.2.3.-2 を見る際の注意として以下に示す。図 3.2.3.-2 において、有感面積に見える場所が実際のデバイス寸法よりも大きくなっている理由は、レーザースポットサイズが有限のある大きさを持っていることに起因する。つまり、レーザー照射をスキャンしながら行う手法なので、レーザースポットサイズ分重畳されることになるからである。また、これらの SET 電流値データは、各デバイス・各端子で規格化されたものであることに注意が必要である。例えば、T型ボディコンタクトの SET ボディ電流はゲート幅方向に沿って集中して流れるはずだが、図 3.2.3.-2 の見た目はそうになっていない。規格化されたデータは、2 次元スキャン領域での最大過渡応答電流にハイライトされることになる。これが、T 型ボディよりもノッチ型ボディの方が明るい場所が大きく見えて・バックグラウンドノイズに、より近く見える理由である。

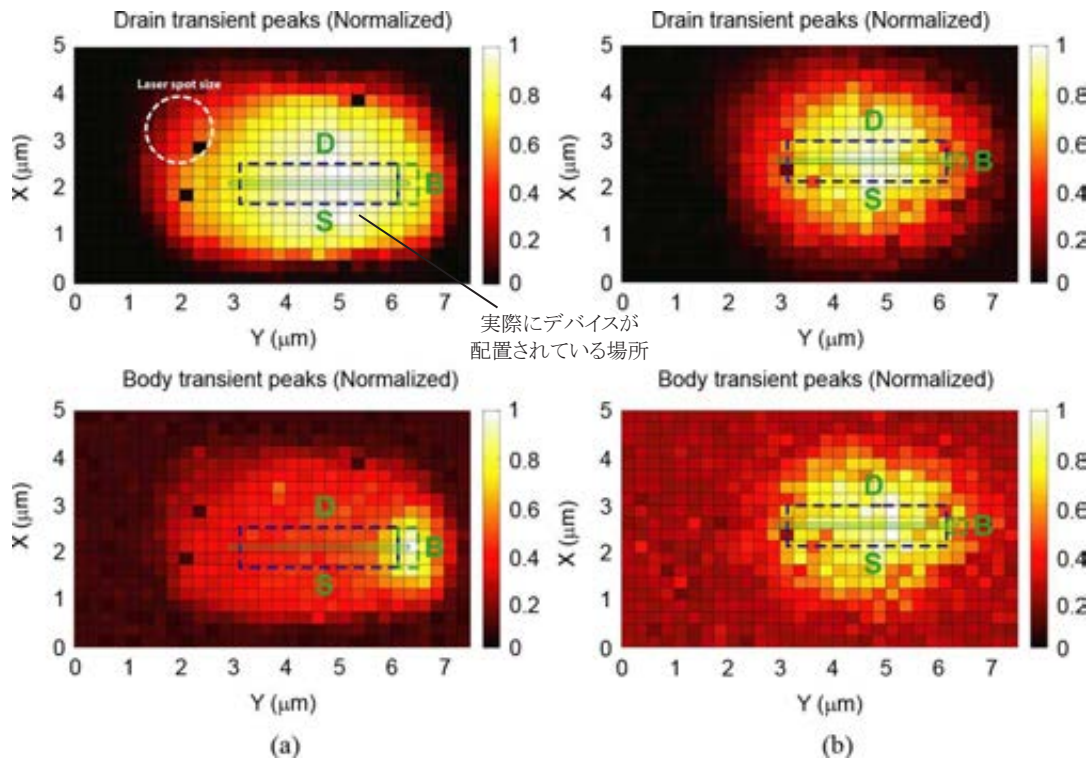


図 3.2.3.-2. (a) T 型ボディコンタクト (b) ノッチ型ボディコンタクト @ $V_{DS}=1.0V$, $V_{GS}=0.0V$
 $10.7nJ$ レーザ光照射、nMOSFET・・・SET 電流(ボディ・ドレイン)2次元位置依存

図 3.2.3.-3 は、同じく $10.7nJ$ レーザ光照射した場合の nMOSFET 及び pMOSFET の SET ピーク電流の Y 方向 1 次元位置依存の結果である。nMOSFET では、T 型の SET S/D 電流は、ノッチ型よりもゲート幅方向に一様に高い(約 20%)。これは、T 型の方がノッチ型より Si 有感体積が大きいことに起因する。また、pMOSFET では、nMOSFET のような違いは明確には見られない。SET ボディ電流が nMOSFET より大きい、これについては、もう少しデータを積んで検証する必要がある。

図 3.2.3.-4 は、同じく $10.7nJ$ レーザ光照射をボディコンタクト近傍のみに行った場合の nMOSFET SET 電流の時間依存の結果、バイアスは $V_{DS}=1.0V$, $V_{GS}=0V$, $V_{BS}=0V$ である。SET ピーク電流は、T 型がノッチ型の約 2 倍である。これは、T 型の方が有感領域となる体積が大きいことに起因する成分(図 3.2.3.-3 の+20%分)に加えて、その体積差以上に SET 収集キャリア量が異なるのは、S/D とボディ部で形成されるラテラルパイポーラのゲインが違う(27%分)ためである。

図 3.2.3.-5 は、同じく $10.7nJ$ レーザ光照射をボディコンタクト近傍のみに行った場合の nMOSFET SET 電流の時間依存の結果、バイアスは $V_{DS}=GND$, $V_{GS}=GND$, $V_{BS}=GND$ (全て接地)である。この場合、ソース・ドレインの N+ とボディコンタクトの P+ の間の pn 接合部分で、光照射・発生したキャリア電流が流れていることがわかる。寄生容量による RF 特性への影響だけでなく、ドレイン・ボディ間の逆バイアス pn 接合もある。正確な測定するためにもレーザエネルギー校正が必要で、このような全端子接地の測定も実施している[13]。

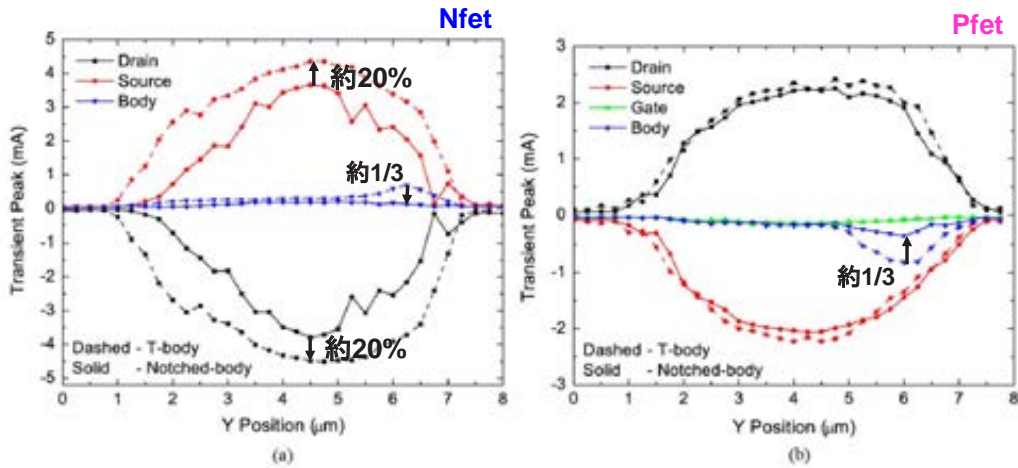


図 3.2.3-3. (a) nMOSFET (b) pMOSFET @ $|V_{DS}|=1.0V, V_{GS}=0.0V$
 10.7nJ レーザ光照射・・・SETピーク電流(ボディ・ドレイン・ソース) Y 位置依存

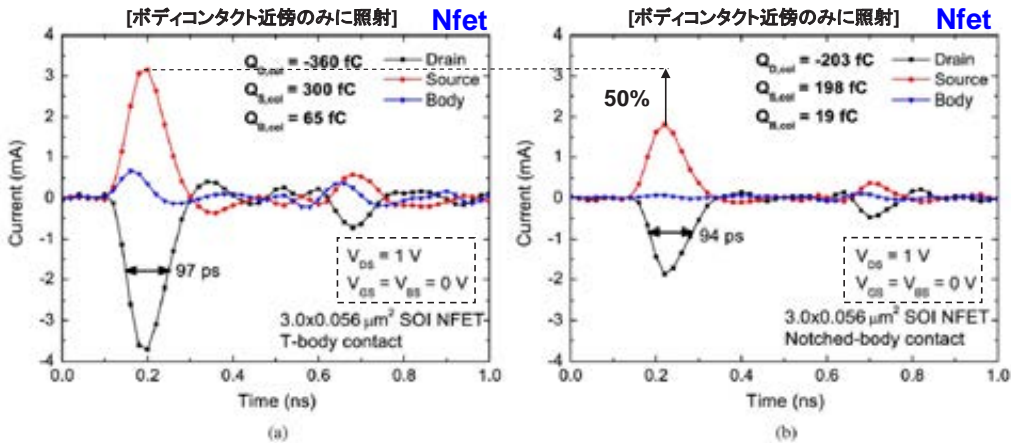


図 3.2.3-4. (a) T 型ボディコンタクト (b) ノッチ型ボディコンタクト @ $V_{DS}=1.0V, V_{GS}=0.0V$
 10.7nJ レーザ光照射、nMOSFET・・・SETピーク電流(ボディ・ドレイン・ソース) 時間依存

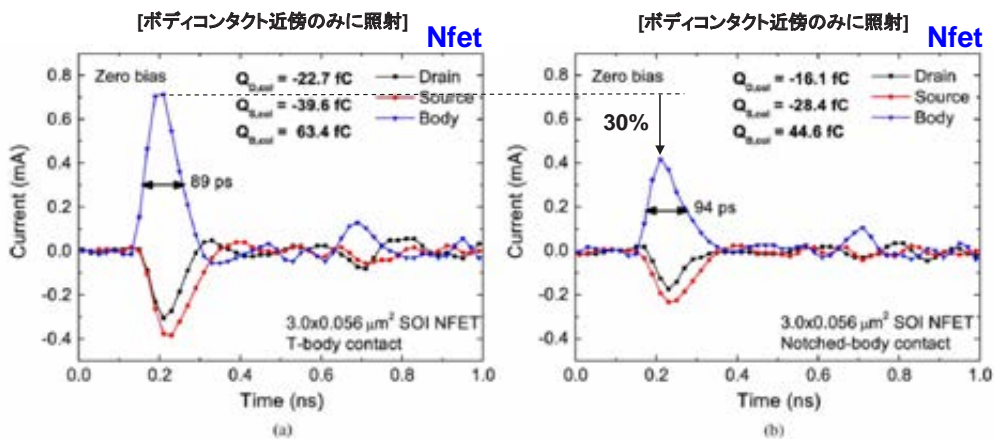


図 3.2.3-5. (a) T 型ボディコンタクト (b) ノッチ型ボディコンタクト @ 全端子を接地
 10.7nJ レーザ光照射、nMOSFET・・・SETピーク電流(ボディ・ドレイン・ソース) 時間依存

図 3.2.3-6 は、レーザパワーを小さくした場合(1.0nJ)の結果である。レーザパルスエネルギーによる SET 信号だけでなく、測定セットアップで生じる他のバラツキ成分も考慮するために、1 ポイントあたり 4 回の SET の平均をとっている。結果は、図 3.2.3-2～図 3.2.3-5 とほぼ同様だが、文献[14]

で示されている経験式のとおり、電荷量は(1/10.7 でなく) 1/115 に相当している。

レーザパワーを小さくした場合の SET ピーク電流(図 3.2.3.-7)は、同パワーが大きい場合(図 3.2.3.-3(a))と同じく、T 型の方が全体的にドレイン電流は大きい。SET ボディ電流は、照射エネルギー小さく図 3.2.3.-3 のようには明確に出ない。また、レーザパワーを小さくした場合の時間分解測定(図 3.2.3.-8:デバイス中心部のみレーザスポット照射)も、T 型よりノッチ型の方が SET 電流小さい。

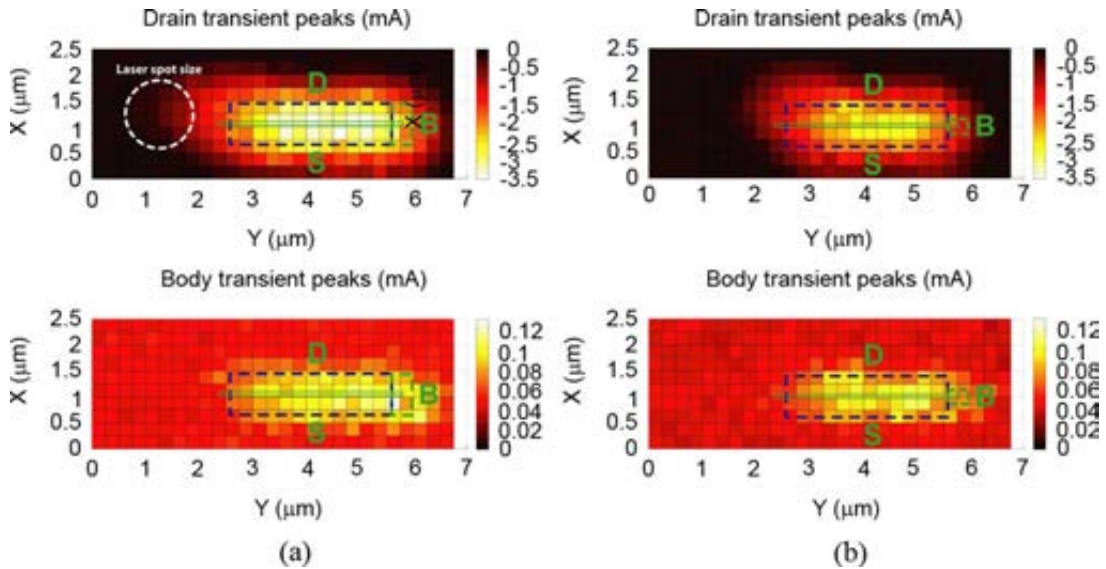


図 3.2.3.-6. (a) T 型ボディコンタクト (b) ノッチ型ボディコンタクト @ $V_{DS}=1.0V$, $V_{GS}=0.0V$ 1.0nJ レーザ光照射、nMOSFET…SET 電流(ボディ・ドレイン)2次元位置依存

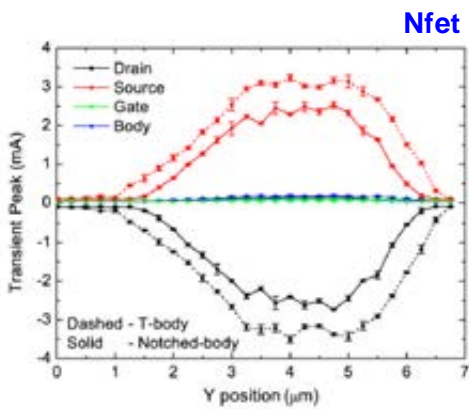


図 3.2.3.-7. 1.0nJ レーザ光照射…SETピーク電流(ボディ・ドレイン・ソース・ゲート)Y位置依存

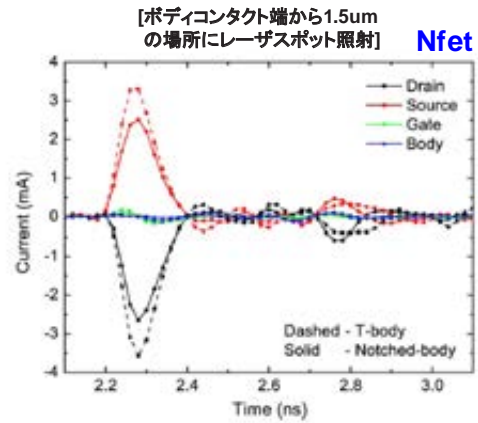


図 3.2.3.-8. 1.0nJ レーザ光照射…SET 電流(ボディ・ドレイン・ソース・ゲート)時間依存

次に行った実験は、36MeV 酸素重イオン照射である。ここで行った実験での $LET=5.4MeV\text{ cm}^2/mg$ は、上述のレーザ光照射での発生キャリア量に比べて非常に小さいので、SET 電流値も少ない。それにもかかわらず、SET 継続時間は 80~100ps であり、レーザ光照射実験(図 3.2.3.-2 ~ 図 3.2.3.-8)と同レベルである。つまり、先のレーザ光照射実験は、実際の放射線照射の模擬として妥当と言える。

(5) 結論

45nm SOI CMOS において、レーザ照射の SET 特性を調べた結果、これまで標準的に用いられている T 型ボディコンタクトのレイアウト手法よりも、ノッチ型ボディコンタクトのレイアウト手法の方が SEE 効果に対する感度を低減できることが判った。T 型ボディは、ノッチ型ボディよりも SET ドレイン電流がゲート幅方向一様に大きくかつ寄生バイポーラゲインも 27%大きい。また、ノッチ型の方が SEE 抑制に良いという結果は、都合の良いことに TID 抑制に対しても同じように良くなることになる。さらに言えば、このノッチ型は、ボディコンタクトレイアウト構造が持ってしまう寄生容量や寄生バイポーラなどを最小にすることができる。もちろん、このノッチ型ボディコンタクト手法でも、フローティングボディ型に比べれば RF 特性は落ちてしまい、放射線耐性と RF 特性のトレードオフの問題はあるのだが、放射線環境で使用用途のアプリケーションにおいては RF 特性・TID・SEE の間の最も良い折衷案である。

今後は、フローティングボディ型とボディコンタクト型デバイスを直接定量的に評価して比較する必要がある。さらには、このようなボディコンタクト手法を用いたときの SET 応答の正確な物理メカニズムの理解を改善していく必要があり、それには TCAD シミュレーションを使っていこうと考えている。

(6) 考察

本論文にて、SOI ボディコンタクトレイアウトと SEE 低減効果の関係性について、ある程度定量的に実験で示されている。但し、ゲート幅 W が実効ゲート幅になっていない(ボディコンタクト部に繋がっている poly Si ゲートに、Nfet であればどのくらい N+ レイヤが被っているかの寸法が重要)などキーとなるデバイス構造パラメータの記述が無いほか、細かい数値的な説明の際にも必要な提示データの不足はあった。また、RF 特性や TID とのトレードオフという記述もあるが、それに関してレイアウトと寄生容量などの関係についての言及・考察が本論文中には無く、(結論の部分でも指摘されているが)これについては さらに定量的な検討が今後の研究課題であると考えられる。

参考文献 (主なものの抜粋)

- [3] A. Madan, R. Verma, R. Arora, E. P. Wilcox, J. D. Cressler, P. W. Marshall, R. D. Schrimpf, P. F. Cheng, L. Y. D. Castillo, Q. Liang, and G. Freeman, "The enhanced role of shallow-trench isolation in ionizing radiation damage of 65 nm RF-CMOS on SOI," IEEE Trans. Nucl. Sci., vol. 56, pp. 3256–3261, 2009.
- [10] D. McMorro, W. T. Lotshaw, J. S. Melinger, S. Buchner, and R. L. Pease, "Subbandgap laser-induced single event effects: Carrier generation via two-photon absorption," IEEE Trans. Nucl. Sci., vol. 49, pp. 3002–3008, 2002.

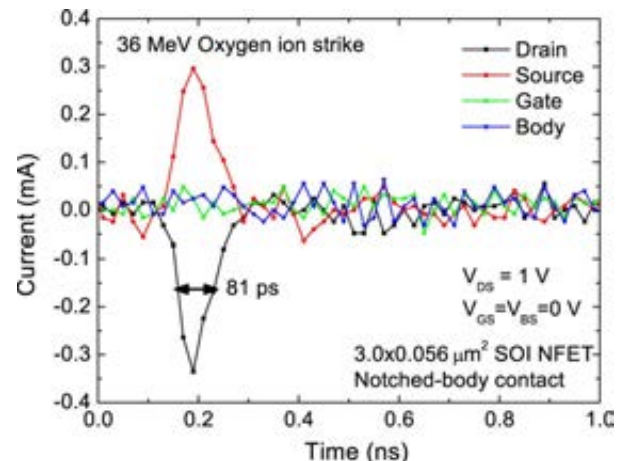


図 3.2.3-9. ノッチ型ボディコンタクト nMOSFET @ $V_{DS}=1.0V$, $V_{GS}=0.0V$
36MeV 酸素 重イオン照射・・・SET 電流 (ボディ・ドレイン・ソース・ゲート) 時間依存

- [11] J. A. Pellish, R. A. Reed, D. McMorrow, J. S. Melinger, P. Jenkins, A. K. Sutton, R. M. Diestelhorst, S. D. Phillips, J. D. Cressler, V. Pouget, N. D. Pate, J. A. Kozub, M. H. Mendenhall, R. A. Weller, R. D. Schrimpf, P. W. Marshall, A. D. Tipton, and G. Niu, "Laser-induced current transients in silicon-germanium HBTs," *IEEE Trans. Nucl. Sci.*, vol. 55, pp. 2936–2942, 2008.
- [12] J. A. Pellish, R. A. Reed, D. McMorrow, G. Vizkelethy, V. Ferlet-Cavrois, J. Baggio, P. Paillet, O. Duhamel, K. A. Moen, S. D. Phillips, R. M. Diestelhorst, J. D. Cressler, A. K. Sutton, A. Raman, M. Turowski, P. E. Dodd, M. L. Alles, R. D. Schrimpf, P. W. Marshall, and K. A. LaBel, "Heavy ion microbeam- and broadbeam-induced transients in SiGe HBTs," *IEEE Trans. Nucl. Sci.*, vol. 56, pp. 3078–3084, 2009.
- [14] J. R. Schwank, M. R. Shaneyfelt, D. McMorrow, V. Ferlet-Cavrois, P. E. Dodd, D. F. Heidel, P. W. Marshall, J. A. Pellish, K. A. LaBel, K. P. Rodbell, M. Hakey, R. S. Flores, S. E. Swanson, and S. M. Dalton, "Estimation of heavy-ion LET thresholds in advanced SOI IC technologies from two-photon absorption laser measurements," *IEEE Trans. Nucl. Sci.*, vol. 57, pp. 1827–1834, 2010.

3.2.4 45 nm SOI SRAM の SEU 断面積に影響するパラメータのばらつき

文献名	Parametric Variability Affecting 45 nm SOI SRAM Single Event Upset Cross-Sections
出典	IEEE Transaction on Nuclear Science, Vol.57, No. 6, pp. 3228-3233, Dec. 2010.
著者名	Thomas Daniel Loveless, Michael L. Alles, Dennis R. Ball, Kevin M. Warren, and Lloyd W. Massengill
対象デバイス	45 nm SOI CMOS RAM
実験設備	シミュレーション
照射線種及びエネルギーの区分	重イオン・陽子
単発現象又は積算線量効果の区分	単発現象
実験又は理論の区分	理論

(1) 概要

商用 45nm CMOS SOI SRAM セルの SEU のシミュレーションによる解析を行い試験データと比較を行い、セル間の SEU 耐性のばらつきと小体積におけるエネルギー損失の不定性の理解が重要であること・動作電圧とボディ抵抗がセルの SEU 耐性に影響を与えることを示した。

(2) 序論

耐性未対策の 65nm と 45nm SOI SRAM の $1\text{MeVcm}^2/\text{mg}$ 以下から $100\text{MeVcm}^2/\text{mg}$ の LET 領域の SE の実験結果が最近報告された(図 3.2.4-1、[2])。本論文では、デバイスのエラー頻度を正確に計算するために 3D-TCAD と SPICE のコンパクトなシミュレーションモデルを用いて測定データの説明を試みた。

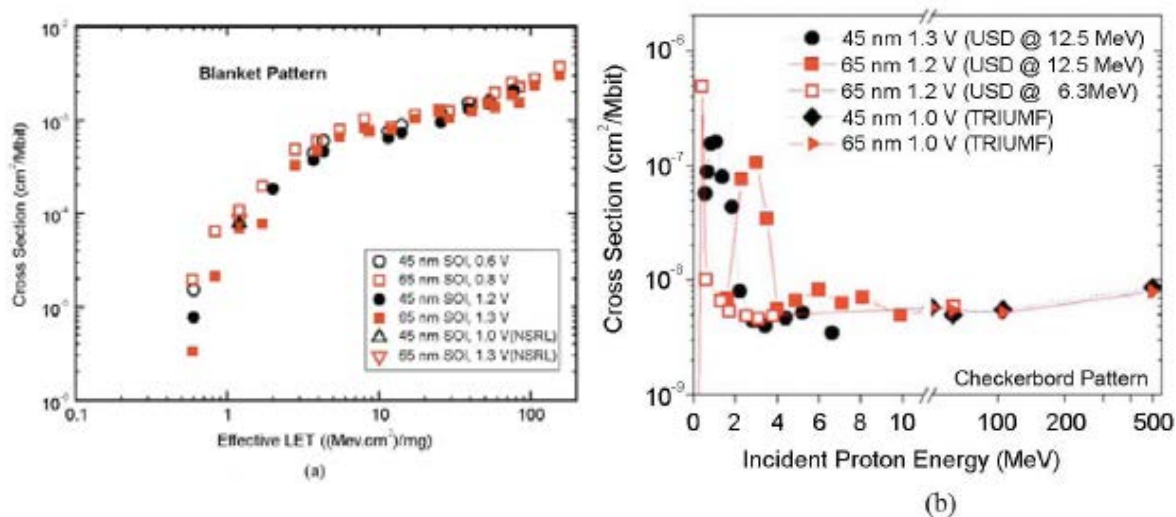


図3.2.4-1. (a) 重イオン (Texas A&M and NASA Space Radiation Laboratory at Brookhaven) と (b) 陽子による45nm 65 nm SOI SRAM のアップセット断面積([2]).

(3) 45 nm SOI CMOS RAM のSEU解析

(a) 3D TCADシミュレーション解析

IBM SOI12S0 process design kit (PDK) [9] の 6T SRAM の 3D TCAD シミュレーションを行った。正規分布で 2ps の間に電荷を注入した。図 3.2.4-2 にフローティングボディの OFF 状態のプルダウン側の NMOS ドレイン電流とノード電圧を示す。LET は $0.6\text{MeVcm}^2/\text{mg}$ ($6\text{fC}/\mu\text{m}$)、ボディの厚みは 70nm なので、 0.42fC が発生する。発生した電荷は最初の数 ps でドレインに集まる。その後、ドレイン電圧はゆっくり変化する。

図 3.2.4-3 は、この NMOS トランジスタの表面から 20nm 下の電位を示す。イオンがヒットして 2ps 以内に、ボディ電位が急激に上昇する。2ps から 10 ps の間のドレイン電流と積分電荷は複雑で、上昇したボディ電位の動的なバイアス条件の関数となる。この間のドレイン-ソース間の電位差は小さく、バイポーラ状態にはならない。アップセットが起こる時点 (<10ps, 図 3.2.4-2 の "cross over") までの間にドレインに流れた電荷は 0.63fC となり、このセルはアップセットする。トランジスタに電圧がかかり続ける場合やメモリセルが反転しない場合には、遷移は数 100ps の時間に関わり、電流パルスの減衰テイルは、数 10 ns の間、プルアップ側の電流ドライブ能力程度となる。これはフローティングボディ電位の揺動のためである。

図 3.2.4-4 にアップセットする場合としない場合のドレイン電流を示す。青線は、LET $0.6\text{MeVcm}^2/\text{mg}$ (アップセット閾値)・赤線は LET $0.5\text{MeVcm}^2/\text{mg}$ (閾値以下) の場合を示す。アップセットしない場合は、高いドレイン電流がおおよそ 100ps にわたり維持され、フリップする場合の 4-5 倍の電

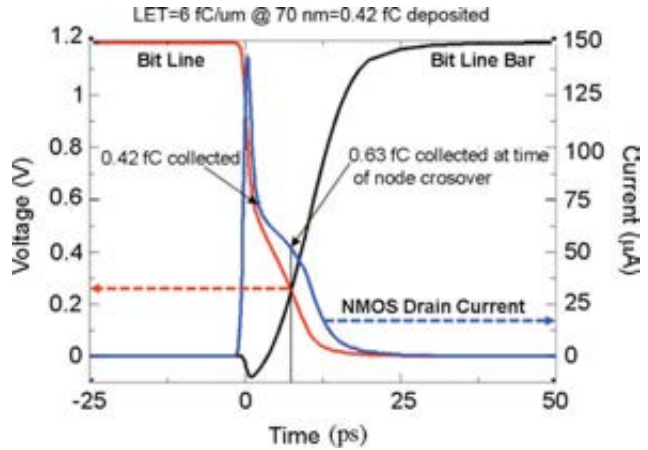


図 3.2.4-2. フローティングボディの OFF 状態のプルダウン側の NMOS ドレイン電流とノード電圧。赤線:ドレイン電圧、黒線:ゲート電圧、青線:ドレイン電流

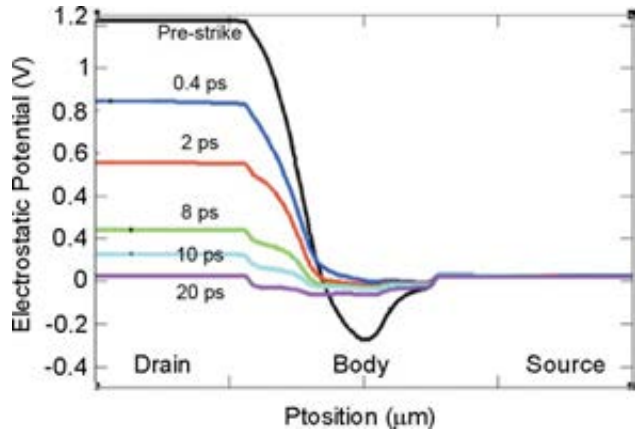


図3.2.4-3. OFF状態のNMOSTランジスタにLET $0.6\text{MeV cm}^2/\text{mg}$ の粒子がヒットした場合の、シリコン表面から 20 nm 下で測った静電ポテンシャルの位置依存性の時間変化。

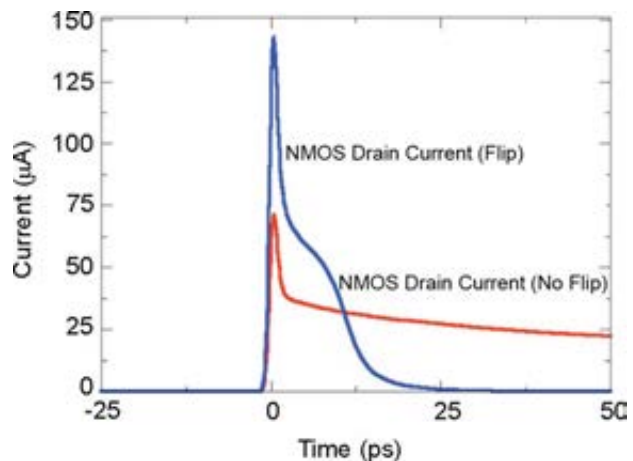


図 3.2.4-4. フローティングボディ SRAM のオフ状態の NMOS ゲートにイオンがヒットした場合のドレイン電流の TCAD の計算結果。赤線は LET が $0.5\text{MeV cm}^2/\text{mg}$ 、青線は LET が $0.6\text{MeVcm}^2/\text{mg}$ の場合を示す。フリップしない場合(赤)は、おおよそ 100psec の間、プルアップ側の PMOS の供給能力程度のドレイン電流が保たれる。

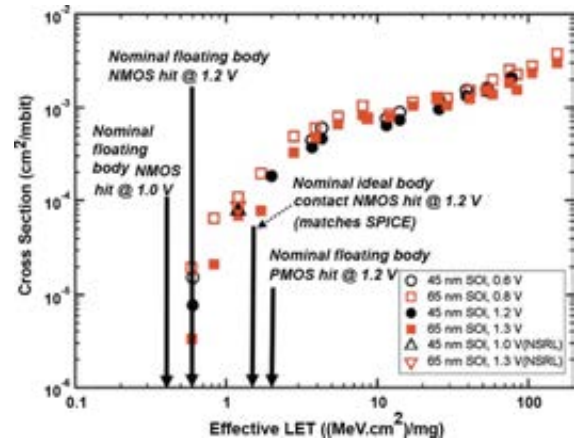
荷が集まる。最初の 10ps のピーク後の電流はプルアップ PMOS のドライブ能力で決まり、ドレイン電圧やボディ電位の影響は小さい。ドレイン電圧は 0 まで達しない。

表 3.2.4-1 にいくつかの条件で計算した臨界電荷と LET 閾値をまとめた。全てのシミュレーションは、ゲート中心に電荷を入射したワーストケースで行った。さらに、そのワーストケースの中で、NMOS をヒットする場合が最悪で、1.2V 印加時で LET=0.6MeVcm²/mg、1.0V 印加時で LET=0.4MeVcm²/mg という低 LET でもアップセットが発生する。

表3.2.4-1. いくつかの条件で計算したSRAMの臨界電荷とLET閾値

Hit Device	Body	Operating Voltage (V)	Q _{crit} (fC) Deposited Charge	LET Threshold ((MeV·cm ²)/mg)
NMOS	Floating	1.0	0.28	0.4
NMOS	Floating	1.2	0.42	0.6
NMOS	Ideal	1.2	0.77	1.1
PMOS	Contact	1.2	0.84	1.2
PMOS	Ideal	1.2	>1.4	>2

図 3.2.4-5 は表 3.2.4-1 に記載した計算結果を図 3.2.4-1 に重ねたものである。TCAD の結果は断面積カーブの低 LET 領域を再現するが、低電圧では付加的な脆弱性があることもわかる。



(b) SPICEシミュレーション解析

Cadence EDA tool suite と Spectre simulation environment を用いて SPICE レベルのコンパクトな計算を行い、TCAD 結果と比較した。いくつかの電荷注入波形(2重指数関数・区分線形・矩形パルス)を仮定し、SRAM アップセットの臨界電荷を測定した。2重指数関数の係数は上で述べた TCAD シミュレーションで求めた。図 3.2.4-6 は、臨界電荷でのシミュレーション結果を示す。

図 3.2.4-5. 3D TCAD によって計算した LET 閾値と測定値 [2]

ここでは、SRAM セルの SEU 閾値電荷を矩形と 2重指数関数型との電流波形を仮定して計算した。矩形の場合の臨界電荷は 1.3fC、2重指数関数では 1.0fC となった。TCAD フローティングボディによる計算(付与電荷 0.42fC、収集電荷 0.63fC)にくらべて大きめの値だが、ボディタイの場合に近い。TCAD ではボディに注入するので、ボディの電位を直接動かすことになる。

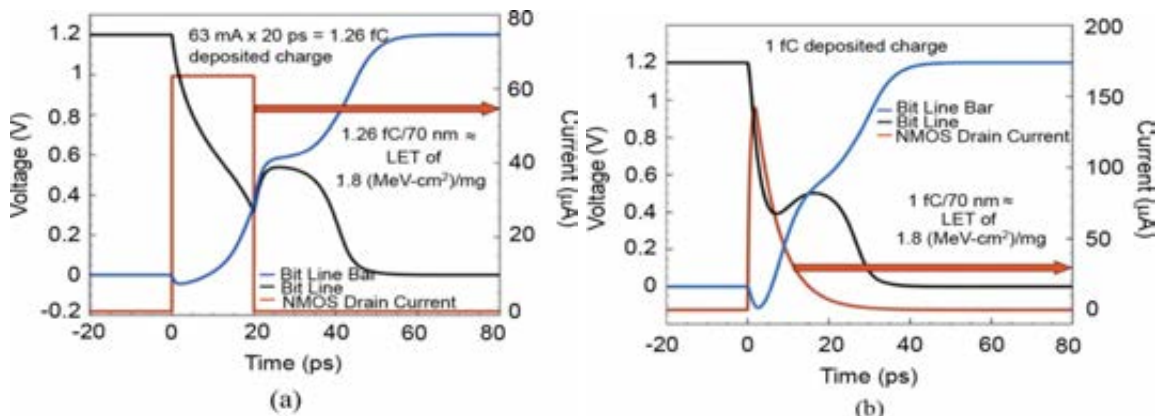


図 3.2.4-6. SRAM の臨界電荷と対応する LET を示した APICE シミュレーション結果 電荷注入条件 (a) 矩形関数 (b) 2重指数関数

SPICE の電流波形はノードで集めた電荷に相当するが、シリコンに生成される電荷がドレイン電流になるメカニズムが考慮されていない。つまり寄生バイポーラ効果・閾値が揺動する効果・電荷収集のデバイス依存性などが含まれていない。トランジスタに与える放射線の影響を考慮した、ボディにおける電荷収集ダイナミクスを再現するコンパクトなモデルを SPICE に実現させる必要がある。

ある PDK で実現できる構成・運転条件温度・動作電圧の境界値の組み合わせをプロセスコーナー (process corners) という。今回の IBM PDK で用いたプロセスコーナーを表 3.2.4-2 に、OFF-NMOS にイオンがヒットする場合の SEU 臨界電荷を計算した結果を図 3.2.4-7 に示す。

図 3.2.4-7 の横軸 / 縦軸は NMOS/PMOS の性能で、駆動電流に対応する。臨界電荷は 22%の広がりがあることが分かる。PMOS をヒットする場合は 30%のばらつきとなる。ばらつきの主要要因は、電源電圧とボディの抵抗である。温度はほとんど影響を与えない。同じテクノロジーでも、場合によって閾値が 20-30% ばらつくことが SPICE によって分かった。TCAD シミュレーションの結果を考えると、ワーストケースの臨界電荷は 0.3fC になる。これは、陽子の直接イオン化でも発生する電荷である。つまり、SRAM のセルのかなりの部分(全てではない)がアップセット感受性を持つレベルとなり得る。

表 3.2.4-2. 解析で使用したプロセスコーナー

PFET/NFET Performance	PDK Process Corner	Temperature	V _{dd}
Nominal/Nominal	TT	27°C	0.9 V
Slow-Slow	SSF	125°C	0.8 V
Fast-Slow	FS	125°C	0.8 V
Slow-Fast	SF	-55°C	1.0 V
Fast-Fast	FFF	-55°C	1.0 V

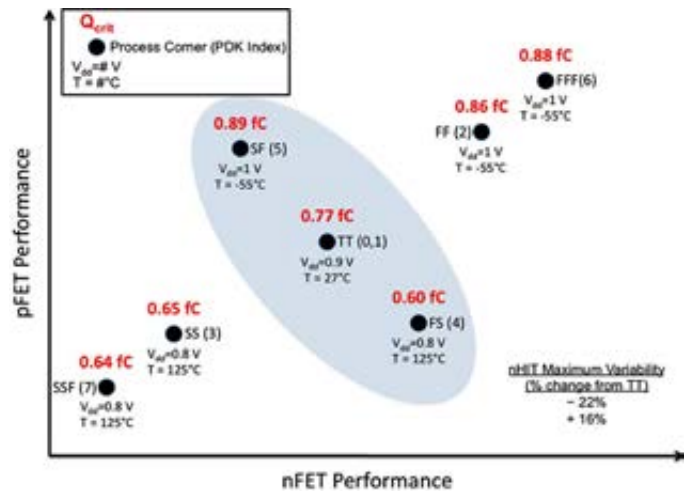


図 3.2.4-7. 各プロセスコーナーで計算した臨界電荷

(c) SEU断面積データの解析

NMOS のゲートをヒットする場合は、SRAM セルを反転させる電荷が最も少ないワーストケースであることが分かった。イオントラックの主要部がゲートに当たる限り結果は変わらなかった。図 3.2.4-8 は、図 3.2.4-1(a)にデバイスの鍵となる「面積」を表示したものである。一番低い矢印は、「陽子 SEU 断面積の中で直接イオン化による寄与」の推定値である。これは、NMOS ゲートの 0.1%の面積に相当する。最も感受性があるのはプルダウン NMOS のゲートであるが、物理的なゲートの 0.1%だけに感受性があるとは考えられない。むしろ、「1M ビットあたり 100-1000 のセルが陽子への感受性を

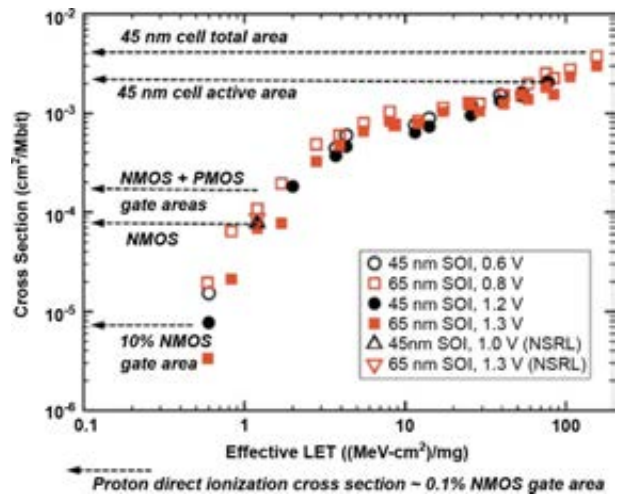


図 3.2.4-8. SEU 断面積データと SRAM の典型的なサイズの比較

持っている」と解釈すべきである。プロセスコーナーの解析で臨界電荷には 22%のばらつきがあることがわかった。1.2V で動作させても数%のセルは 0.3fC の電荷に SEU 感受性を持つ。一つのチップ内でも動作条件によってはセルの動作電圧が供給電圧以下になることが考えられる。ボディの厚みが 70nm の場合、0.3fC は LET 0.4MeVcm²/mg に相当する。

陽子ビームのストラグリング (straggling : イオンによるエネルギー損失の分布) の評価も必要である。図 3.2.4-8 の LET スケールを左から右に進むと、まずプロセス(ドーパ・形状・張力)や動作電流のばらつきが影響する範囲、そこを越えると、NMOS のゲート面積、PMOS のゲート面積、セル自身の面積と領域を越えてゆく。高い LET 領域ではセルの有感領域全体に感受性が有ると考えても良い。ただし、さらに高い LET でも断面積は飽和しない。これは、多重ビットアップセット (MBU) が断面積に影響を与えるという報告もある。ウェハに発生する変位電流が SOI SRAM のアップセットの原因となるという議論もある [11], [12]。臨界電荷が電子数では数千個以下に相当することから、絶縁体内で発生する電荷の影響は興味深い。

(4) (断面積を決定する)メカニズム

(a) フローティングボディ SOI

SOI CMOS で、寄生バイポーラ効果が単発現象に与える影響が重要である。イオンによる電荷がボディ電位を上げて、順方向にバイアスされたバイポーラトランジスタが生成される。ボディコンタクトは電位を保ち引き戻すことに役立つが、有限な RC (時定数) のため、完全には抑止できない。シミュレーションでは、ボディコンタクトが有っても、外部から電荷が注入される間、ボディの大部分はフロート状態になった。その結果、電源電圧 1.2V の場合、ボディコンタクトの抵抗を kΩ オーダーで変化させるとアップセットの閾値 LET は 0.6 から 1MeVcm²/mg 以上まで変化することがわかった。つまり、ボディタイでは、SEU は完全には防げないが、陽子閾値を越えることができる。フローティングボディの場合は、陽子閾値に達する。45 nm SOI SRAM の速度はとても早く、寄生バイポーラトランジスタが ON になる前にバイアス電圧が下がる。逆に、デバイスに常に電圧が与えられている DRAM やアナログ回路の場合は、こうした効果がより顕著になる。

(b) 薄い層内のエネルギー損失

SOI のように非常に薄いデバイスでは、入射粒子が一定のエネルギーを持っていてもエネルギー損失の分布が広がる。つまり、同じ LET でも、発生する電荷が一定ではなく、断面積の推定に不定性が生じる。45nm 以下の SOI においては、セルの体積のほとんどがアクティブなシリコンの回りの絶縁体である。その結果、長さとは有感領域の定義が不明確になりやすい。

(5) 結論

45nm SOI SRAM を用いて、低 LET (陽子の直接イオン化を含む) 領域における SEU 断面積の推定に与える影響を調べた。(a) トランジスタパラメータの変動・(b) SOI の微小領域ではエネルギー損失がばらつくことの二つを考察し、低 LET 領域での断面積を推定する手法を提示した。

(6) 委員会での議論

IBM PDK は米国教育用マルチプロジェクト MOSIS に参加すると入手可能らしい。

<http://www.mosis.com/ibm/12soi/>

SOIのハンドルウェハ中に発生する変位電流の影響が高橋委員によっても研究されていることが委員会で紹介された。

トランジスタ単体ではない、メモリセル単位のTCADシミュレーションは最近の研究では普及しつつある手法である。

(7) 委員の考察

図 3.2.4-2, 図 3.2.4-3 は、フローティングボディで SEU が起こる場合の振る舞いを示しているが、ボディコンタクトの場合に、同じ電荷を与えて SEU が起こらない場合の例があれば、より理解しやすかったと思う。

参考文献

- [2] D. F. Heidel, P. W. Marshall, J. A. Pellish, K. P. Rodbell, K. A. LaBel, J. R. Schwank, S. E. Rauch, M. C. Hakey, M. D. Berg, C. M. Casteneda, P. E. Dodd, M. R. Friendlich, A. D. Phan, C. M. Seidleck, M. R. Shaneyfelt, and M. A. Xapsos, “Single-event upsets and multiple-bit upsets on a 45 nm SOI SRAM,” *IEEE Trans. Nucl. Sci.*, vol. 56, no. 6, pp. 3499–3504, Dec. 2009.
- [9] IBM SOI12S0 Process Design Kit.
- [11] J. R. Schwank, P. E. Dodd, M. R. Shaneyfelt, G. Vizkelethy, B. L. Draper, T. A. Hill, D. S. Walsh, G. L. Hash, B. L. Doyle, and F. D. McDaniel, “Charge collection in SOI capacitors and circuits and its effect on SEU hardness,” *IEEE Trans. Nucl. Sci.*, vol. 49, no. 6, pp. 2937–2947, Dec. 2002.
- [12] T. Colladant, V. Ferlet-Cavrois, A. L’Hoir, J. Baggio, and O. Faynot, “Investigation of SOI sensitivity to SEU-Influence of the buried oxide coupling effect,” in *Proc. of 2001 IEEE International SOI Conference*, 2001, pp. 81–82.
- [16] M. A. Xapsos, E. A. Burke, P. Shapiro, and G. P. Summers, “Probability distributions of energy deposition and ionization in sub-micrometer sites of condensed media,” *Radiation Measurements*, vol. 26, no. 1, pp. 1–9, Jan. 1996.

3.2.5 放射線試験と故障注入試験結果の組合せによる SRAM ベース FPGA のアプリケーションレベルのエラー率の予測法

文献名	Combining Results of Accelerated Radiation Tests and Fault Injections to Predict the Error Rate of an Application Implemented in SRAM-Based FPGAs
出典	IEEE Transaction on Nuclear Science, Vol 57, No.6, Dec 2010, pp 3500-3505
著者名	R. Velazco, G. Foucard, and P. Peronnard
対象デバイス	デジタル SRAM ベース FPGA (Xilinx 社 Virtex-II 1000)
実験設備	HIF cyclotron of Louvain-la-Neuve(Belgium)
照射線種及びエネルギーの区分	Carbon, Argon
単発現象又は積算線量効果の区分	単発反転現象 (SEFI)
実験又は理論の区分	実験方法および実験

(1) 概要

本論文では、故障注入試験結果と静的なエラー断面積の結果を組合せることで、SRAM ベースの FPGA (Field Programmable Gate Array) に実装されるアプリケーションレベルのエラー率を予測する方法を示す。また、重イオン試験により、提案方法の妥当性の確認も行っている。

(2) 序論

FPGA は、低コスト、高性能、開発期間の短期化、デザインの柔軟性などの利点から、設計者に多用されている。SRAM ベースの FPGA は、現場で再構成できるため宇宙やアビオニクスへのアプリケーションに適しているといえるが、コンフィグレーションメモリでの SEU や MBI によって実装機能そのものが変わってしまうリスクがあるため、厳しい放射線環境でのミッションクリティカルなアプリケーションでは敬遠されている。フォールト・トレラント性を確保するために TMR (Triple Modular Redundancy) 等のデザインによる対策を採るが、リソースのオーバーヘッドやパフォーマンスのペナルティとのトレードオフが必要となる。

また、ターゲットデバイスのエラー感度を得るためには放射線試験は必須であるが、静的なクロスセクションカーブにより得られる数値は、アプリケーションレベルでのエラー頻度をかなり悲観的に評価してしまう傾向にある。

これまでの研究では、静的なクロスセクションと対象回路に応じた SEU を模擬した故障注入を行う Code Emulated Upsets (CEU)法というアプローチ(例:シミュレーション、エミュレーション、ハードウェア/ソフトウェアによるエラー注入など)の結果を組み合わせ、プロセッサのような複雑な回路に対し、アプリケーションレベルでの動的なエラー断面積を予想できることが示されてきている[9]。

よって、本論文では、前述の最先端のアプローチを適用して SRAM ベースの FPGA に実装されるアプリケーションの SEU エラー率の予測を行った。

(3) アプリケーションレベルのエラー率の予測法

(a) 方法論の概要

本方法では、ビット反転を生じさせる時刻と位置の両方をランダムに注入する手段を DUT に実

装する。また、DUT 中のメモリセル1ビットを反転させるのに必要な平均的な粒子数を、静的な放射線試験に基づくクロスセクションから取得する。

アプリケーションの実行(ソフトウェアやハードウェアでのプログラムの実行)と並行してビット反転が生じるとして、セルレベルの SEU がアプリケーションレベルのエラーに至る割合(エラー率): T_{inj} は、次式で表される。

T_{inj} =アプリケーションレベルで検出されたエラー数/注入した反転ビット数

T_{inj} は実行プログラム中でエラーを引き起こすのに必要な平均的な反転ビット数ともいえるので、実行プログラムの SEU 感度(TSEU)はクロスセクションと故障注入で発生するエラー率の積で表され、単位粒子あたりの平均エラー数を意味する。(時間当たりのエラー率の計算にはフラックス数を乗じることで得られる。)

$TSEU = \sigma SEU * T_{inj}$

この方法の難しさは、SEU の結果として生じるメモリ・リソースのビット反転を忠実に模倣する故障注入手段の実装にあり、エラー率の予測精度は故障注入する手段や注入可能なメモリの割合に依存する。例えば、プロセッサの場合は、命令セットでアクセスできないメモリエLEMENTの数に強く依存する。ただ、この方法論を使って行われた複雑で先進的なプロセッサである PowerPC 7448 での最新の実験では、放射線試験(重イオンビーム、陽子)で測定されたエラー率と非常に近い予測値であることが示されている。文献[10]

(b) SRAM ベース FPGA への評価方法の実装

SRAM ベースの FPGA では、コンフィグレーション時のビットストリームの機構を利用して故障注入を模擬することができるため、故障注入のためにアプリケーションを修正する必要は無く、本方法を実装するのに適している(文献[10]-[12])。特に、コンフィグレーションメモリやデザインで使用される殆どのリソースにアクセスできるため、予測精度に影響を与えるとされる誤り注入メカニズムや故障注入可能なビットの割合は問題とはならず、検証精度が改善されるといえる。

(4) 実験結果

(a) テストベッドの概要

本実験に用いるシステム構成を図 3.2.5-1 に示す。主要構成は DUT (Xilinx Virtex-II XC2V1000 FPGA[14]) と TIMA THESIC+プラットフォーム[13]から成り、ユーザーのコンピュータとの通信や DUT のラッチアップ保護用の電流モニタなどを行う機能(COM_FPGA)、DUT やテスターリソースとのインターフェースを行なう機能(Chipset_FPGA)を持つ。DUT での FPGA アプリケーションは、トリプル DES(文献[15])

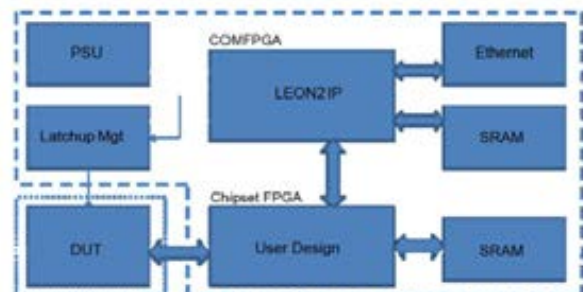


図3.2.5-1. テストベッド(THESIC+)のブロック図

というデータ暗号化のアルゴリズムをベースとしており、56ビットのキーを使用して64ビットのデータを16クロック・サイクルで暗号化する。DES3の暗号化は、3連続のDES暗号化を行うため、3つの56ビットのキーと48クロック・サイクルで実行される。このアプリケーションは、TMR化され、多数

決結果を 3 ビットの状態量 a)~d)として外部に出力される。

- a) 000-全てのノードが同じ値
- b) 001, 010, 011-エラーとなったノードの番号
- c) 100-3 ノードとも異なる結果
- d) 101,110,111 は結果無し(未定義)

また、アプリケーション実行時の出力を毎回チェックし、3 ビットの値と組み合わせ、以下の 3 種類のエラータイプに分類する。

- a) エラー検出:レジスタ値は 1 ノードエラー、TMR の効果で DUT の出力は正常
- b) エラー誤検出:レジスタ値は N.A.、DUT の出力は正常
- c) エラー未検出:レジスタ値はエラー無し、DUT の出力は異常

(b) 地上での放射線試験

放射線試験は、ベルギーの Louvain-La-Neuve の HIF(Heavy Ion Facility:重イオン施設)サイクロトロンで行っている。照射イオンは、カーボン(C)とアルゴン(Ar)の 2 種類である。試験手順を図 3.2.5-2 中に示す。放射線照射中に観察されたアプリケーション・エラーの数を表 3.2.5-1 に示す。これらのエラーは、先に述べた 3 つのカテゴリーで分類している。

表3.2.5-1. 重イオン試験結果

Ions	LET (MeV/mg/cm ²)	Detecte d errors	Falsely detecte d errors	Undetected errors
Carbon	1.2	51	0	0
Argon	10.1	1,278	3	35

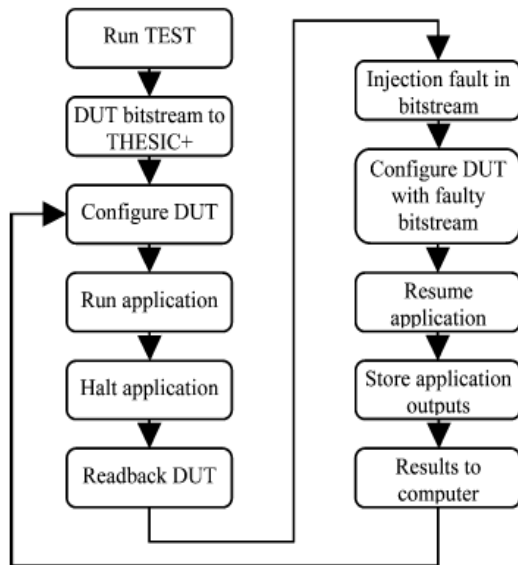


図 3.2.5-3. 故障注入試験フロー図

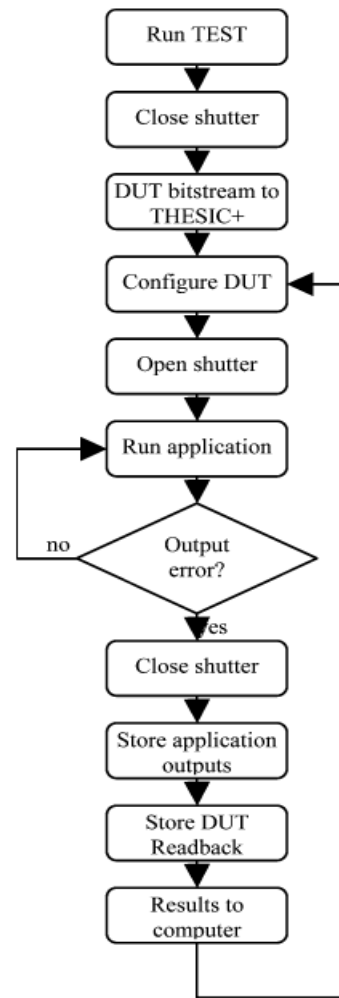


図3.2.5-2. 重イオン試験フロー図

(c) 故障注入

故障注入試験の手順を図 3.2.5-3 に示す。アプリケーションの全実行長は、76 クロック・サイクルであり、故障注入のタイミングと目標(場所)は、メルセンヌ乱数発生器[17]を用いて決めた。アプリケーションを 426217 回実行した時の故障注入試験の結果を表 3.2.5-2 に示す。故障注入は、それ

ぞれの実行期間中のランダムな時間に、ランダムなコンフィグレーション・メモリ・ビットに対して行っているため、各タイプのエラー発生に必要な故障注入の平均値は、全故障注入数に対する観察されたエラー数の比で計算する。

表 3.2.5-2. 故障注入試験結果

	Detected errors	Falsely detected errors	Undetected errors
No. of detected faults	14,564 (3.42 %)	237 (0.06 %)	319 (0.07 %)
Average number of faults	3.42×10^{-2}	5.56×10^{-4}	7.48×10^{-4}

(d) 静的／動的なコンフィグレーション用メモリビットでの故障効果の観察

故障注入試験では、アプリケーションで持続的に生じる故障の影響についての考慮も必要である。例えば、リソースが使用された後で故障が注入された場合、その回の実行ではアプリケーション・エラーは生じないが、次の回の実行でアプリケーション・エラーが現れるかもしれない。この例は、コンフィグレーション用メモリセルなどの静的なリソースに故障注入した時などに起こる。一方、アプリケーションの開始時に初期化される動的なリソースでは、それ以前に注入した故障は有害とはならない。このような現象を観察するため、故障注入毎に、アプリケーションを 2 回実行した。1 回目の実行中に故障を注入し、その後、修正することなく 2 回目のアプリケーションを実行させる。この実験を 326,328 回実施した結果を表 3.2.5-3 に示す。これらは、2 回の実行で 1 回または両方ともアプリケーション・エラーとなった故障注入の数を示している。全体的な傾向としては、1 回目の実行時よりも、2 回目の実行時にエラーが多く観測された。この現象は、静的なリソースを設定するメモリセルが恒久的な故障となった結果といえる。逆に、2 回目の実行にエラーが発生しない事象は殆ど観測されなかった。これは、この事象は、この機能を構成する動的なレジスタの SEU や配線リソースに故障注入したで生じたものと考えられ、確かに、レジスタが期待しない値であった時だけこのタイプのエラーが現れている。これは、レジスタ自身の SEU か、又は FPGA 内部の信号配線上でのケース

表 3.2.5-3. 1 回目と 2 回目のアプリケーション実行間でのエラー数

	Detected errors	Falsely detected errors	Undetected errors
1 st run	11,237 (3.44 %)	178 (0.05 %)	235 (0.07 %)
2 nd run	13,646 (4.18 %)	161 (0.05 %)	350 (0.11 %)

表 3.2.5-4. 2 回の実行で異なる結果となったエラー数

Number of output errors	
1 st result correct, 2 nd result erroneous	2535 (0.77 %)
1 st result false, 2 nd result correct	401 (0.12 %)
Both results false	1890 (0.58 %)

であり、リソースのタイプは主に動的なビットである。このように、2 回目の実行が始まり、注入した故障がクリアされると、そのレジスタの値はリセットされる。2 つの実行で異なる結果をもたらす事象については表 3.2.5-4 で示す 3 種類に分類される。

a) 1 回目はエラーが観測されず、2 回目でエラーが観測された故障注入の数

これは、リソースが処理フロー中には何も使用されていなかった時に、継続的な故障が発生するという典型的なケースである。

b) 1 回目でエラーが観測され、2 回目でエラーが観測されなかった故障注入の数

これは、アプリケーションがリセットされることで消える一時的なエラーである。

c) 2 回ともエラーとなった故障注入の数

これは、故障が持続するもう 1 つの例である。エラーは、アプリケーションにとってクリティカルなり

ソースに存在する。一時的な故障は、永久的な故障よりも頻度は低い。これは、動的なビットがアプリケーションで使用されるリソースが全体の中では少数であるためで、驚くべきことではない

次に、注入時刻というパラメータに対するインパクトについて議論する。図 3.2.5-4 は、故障注入時刻に対する総エラーの数を示したものである。時間の経過と共に増加していくというトレンドが見られる。

確かに、故障注入直後に、アプリケーション出力がエラーとなる確率が最も高い。最初の 20 クロック・サイクル間でのエラーは殆ど無い。この期間は、デザイン上では、データとキーのローディングに相当し、ロジックリソース使用量は、アプリケーション全体の約 5%である。

エラーの殆どは、20 番目のクロックと最後(暗号化処理がリソースの 94%進んだ部分)の間で発生している。表 3.2.5-4 の各ケースに対する詳細を図 3.2.5-5～図 3.2.5-7 に示す。図 3.2.5-5 は、1 回目の実行のみエラーとなった故障注入数を縦軸に、故障注入時刻を横軸に示したものである。このエラーは、2 回目の実行ではエラーとならない一時的なエラーであり、ダイナミックリソースである多数決回路に直接ヒットした場合などに起こりうる。

図 3.2.5-6 は、1 回目が正しく、2 回目がエラーとなった数を縦軸に、故障注入時刻を横軸に示したものである。この時、殆どのエラーは暗号化期間中で発生するようになった。アプリケーション実行の初期段階で故障注入したものは、1 回目の実行中に影響を与える確率が高いことがよくわかる。

図 3.2.5-7 は、2 回とも出力を誤り、且つ出力値が共に異なる結果となった数を縦軸に、故障注入時刻を横軸として示したものであり、データ・ローディング実行中に故障注入させた数個で観測された。これは、対象リソースが暗号化処理の

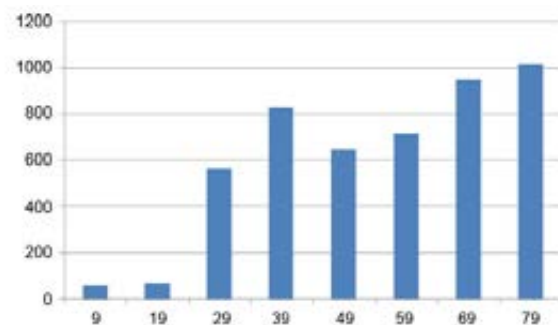


図 3.2.5-4. 故障注入したクロック・サイクル vs 故障注入でエラーが検出された回数

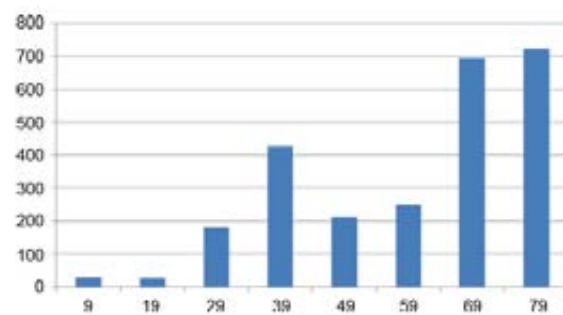


図 3.2.5-5. 故障注入したクロック・サイクル vs 1 回目の実行でエラーが検出された回数

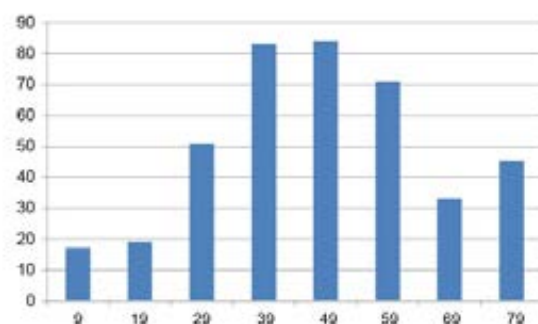


図 3.2.5-6. 故障注入したクロック・サイクル vs 1 回目は正しく実行され、2 回目でエラーが検出された回数

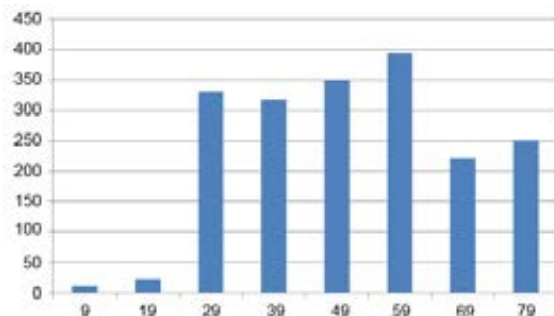


図 3.2.5-7. 故障注入したクロック・サイクル vs 2 回ともエラーが検出され、共に値が異なっていた回数

間に何回か使用されることで説明できる。このように、暗号化の開始前に静的なリソースで SEU が生じた場合、2 回の実行時に異なる結果を生むことはない。

図 3.2.5-8 は、2 回の実行の結果が同じで、共にエラーが観測された時の結果である。より多くのエラー数が観測された故障注入の時刻が、アプリケーション実行の初期の方に変わっている。

このように、故障注入時刻との相関関係としてのエラープロファイルは観察されるエラーのタイプと故障した論理的リソースの性質によって様々になるといえる。

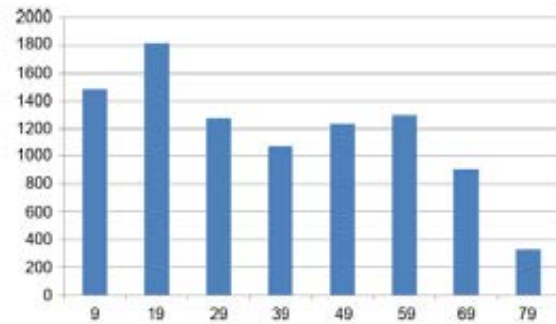


図 3.2.5-8. 故障注入したクロック・サイクル vs 2 回とも同じ値でエラーが検出された回数

(e) 測定値と予測結果との比較

重イオン放射線試験での、カーボンとアルゴンのフルエンスは、約 492000～450000 イオン/cm² である。アプリケーションやデバイスのエラー率は、検出されたエラーとフルエンスの比から得られる。4 項(a)で示したアプリケーションやデバイス・システムでのエラー率は、放射線試験の静的なクロスセクションの結果を用いて、故障の平均数を掛け算することで予測できる。計測された静的なクロスセクションは、カーボンで 2.79×10^{-3} [cm²/devide]、アルゴンで 5.68×10^{-2} [cm²/devide] であった。「エラー誤検出」や「エラー未検出」などの特定イベントはカーボンでは観察されず、唯一アルゴンで観察された測定結果と予測値を比較した。表 3.2.5-5 に結果を示す。予測値が測定値に非常に近いことを示している。過小評価の最大ファクタは 2 未満である。この違いは、今回の故障注入試験で考慮されなかった MBU (マルチビット・アップセット) の結果であるかもしれない。SEU エラー率の過小評価の要因としては、JTAG コントローラやクロック・ツリーなど、SEU に敏感でアクセスすることができないリソースの存在が挙げられる。「エラー誤検出」は次のように逆の傾向を示している。予測値は実測値よりファクタ 5 だけ過大評価している。このことは、放射線地面テストの間に観察されるこのタイプのエラーの数の少なさによって説明できる。この場合に、予測値は確かに測定値よりも現実に近いことに注意することが重要である。

(5) 結論

SRAM ベースの FPGA に実装されるアプリケーションのエラー率を予測する方法として、プロセッサのエラー率を予測するための最新技術のアプローチは適しているといえる。事例研究として、Virtex II FPGA に実装された暗号化コアの TMR バージョンを用いた結果により、採用した方法論の有効性が確認できた。本方法論は、重要なアプリケーションの放射線効果に対して、認定取得の代用を目指すものではないが、初期のデザイン段階で、アプリケーションの潜在的な弱点を決定し、コスト低減に繋げたり、ミッションでの信頼性要求の確保に向けた緩和技術の実装に役立てることができる。本方法の別の利点は、シミュレーション・レベルで適用される最新技術のアプローチに比べてほとんど時間的オーバーヘッドがないため、ハードウェア/ソフトウェアへの擬似的な SEU 故障注入を、ほぼリアルタイムに実施できることである。

今後は、観察された傾向を確かめるために放射線試験の結果をより多く収集すること、MBU が模擬できるよう故障注入方法を改善することなどがある。

(6) 考察

一般に、複雑なデジタル回路の動的なクロスセクションを放射線照射試験で評価するには、多大なコスト、評価期間が必要である上、評価結果の判断が難しい（再現性が低く、内部で実際に生じている事象が判断しにくい）等の課題があるが、提案された方式のように、デジタル回路内部の保持データを外部から自由に設定できる機構（JTAG やスキャンパスなど）が利用できるアプリケーションであれば、これを活用することで、コストや評価期間の削減、高い再現性の確保などが期待できると思われる。

参考文献

- [9] R. Velazco, S. Rezgui, and R. Ecoffet, "Predicting error rate for microprocessor-based digital architectures through C.E.U. (Code Emulating Upsets) injection," *IEEE Trans. Nucl. Sci.*, vol. 47, no. 6, pp.2405-2411, Dec. 2000.
- [10] P. Peronnard, R. Ecoffet, M. Pignol, D. Bellin, and R. Velazco, "Predicting the SEU error rate through fault injection for a complex microprocessor," in 2008 IEEE Int. Symp. Industrial Electron., Cambridge, U.K., Jul. 2008.
- [11] L. Sterpone and M. Violante, "A new partial reconfiguration-based fault-injection system to evaluate SEU effects in SRAM-based FPGAs," *IEEE Trans. Nucl. Sci.*, vol. 54, no. 4, pp. 965-970, Aug. 2007.
- [12] G. M. Swift, S. Rezgui, J. George, C. Carmichael, M. Napier, J. Maksymowicz, J. Moore, A. Lesea, R. Koga, and T. F. Wrobel, "Dynamic testing of Xilinx Virtex-II field programmable gate array (FPGA) input/output blocks (IOBs)," *IEEE Trans. Nucl. Sci.*, vol. 51, no. 6, pp. 3469-3474, Dec. 2004.
- [13] F. Faure, P. Peronnard, and R. Velazco, "THESIC+: A flexible system for see testing," in Proc. RADECS, 2002.
- [14] Xilinx, Virtex-II Platform FPGAs: Complete Data Sheet Mar. 2005 [Online]. Available: <http://www.xilinx.com>
- [15] Opencores [Online]. Available: <http://www.opencores.org/project.des>
- [17] M. Matsumoto and T. Nishimura, "Mersenne twister: A 623-dimensionally equidistributed uniform pseudo-random number generator," *ACM Trans. Model. Comput. Simul.*, vol. 8, no. 1, pp. 3-30, 1998.

3.2.6 ソフトエラー加速試験に使用される広域エネルギー中性子源の理論的相関性

文献名	Theoretical Correlation of Broad Spectrum Neutron Sources for Accelerated Soft Error Testing
出典	IEEE Transaction on Nuclear Science, Vol 57, No.6, Dec 2010, pp3163-3168.
著者名	Charles W. Slayman, Member, IEEE
対象デバイス	SRAM, DRAM
実験設備	ANITA, LANSCE, TRIUMF, ISIS, RCNP
照射線種及びエネルギーの区分	Neutron(~800MeV)
単発現象又は積算線量効果の区分	SEU, SEL
実験又は理論の区分	理論

(1) 概要

世界各国にはソフトエラー加速試験用の広域スペクトル中性子源(*1)が存在するが、どれも1MeV~1GeVを超える範囲で、地球上の中性子線スペクトルを正確に再現できていない。

本研究の目的は、臨界電荷量の大小を表すソフトエラー断面積を用いて、これら中性子源(中性子照射施設)におけるソフトエラー加速試験の測定誤差を比較、定量化することである。

Index Term : ソフトエラー加速試験、宇宙線、中性子ビーム、シングルイベントアップセット、地上中性子

(2) 序論

半導体プロセスが90nmを下回り、自然界のバックグラウンド中性子線によって引き起こされるソフトエラーの問題が重要になってきている。半導体の微細化によってスタティック・ロジック要素(メモリセルやフリップフロップ)の臨界電荷量が減少しているためである。これら回路素子のソフトエラー特性を得るために標準化された加速試験は、設計トレードオフの評価や、製品信頼性へのインパクトを把握するために重要である。

本研究では、IC 産業界が利用できる広域スペクトル中性子源(5 施設)におけるソフトエラー加速試験の相対精度に焦点を当てる。

本章では、ソフトエラー測定に関する国際標準と、各標準で定義されている地球上の中性子スペクトルの近似式を紹介する。次に、中性子ソフトエラーの加速試験に利用される広域スペクトル中性子源(照射施設)と、その中性子スペクトルの特徴について述べる。

(a) ソフトエラー測定に関する標準

中性子ソフトエラー測定法に関しては、地上(10,000 フィート以下)と、航空環境の2つの標準が定められている。

① JEDEC標準: JESD89A

“Measurement and Reporting of Alpha Particle and Terrestrial Cosmic Ray-Induced

*1 JEDEC JESD89A では Spallation neutron source(核破砕中性子源)と定義。

Soft Errors in Semiconductor Devices” (文献[1])

(アルファ粒子と地上宇宙線を要因とした半導体デバイスのソフトエラーに関する測定と報告)

JESD89A では、地表@ニューヨークシティ (海拔 0m) における高エネルギー中性子スペクトルを基準とする。M.S.Gordon らによる実測値(文献[2])を基に導出した中性子微分フラックスのエネルギー特性を表す近似式を以下に示す。

<近似式>

$$\phi_{NYC} = 1.006 \cdot 10^{-6} e^{-0.35(\ln(E))^2 + 2.141\ln(E)} \quad \text{※E:中性子エネルギー[MeV]} \\ + 1.011 \cdot 10^{-3} e^{-0.4106(\ln(E))^2 + 0.667\ln(E)} \quad [\text{cm}^2/\text{sec}/\text{MeV}] \cdots \cdots \text{(式 1)}$$

② IEC技術仕様書: TS 62396-1

“Process Management for Avionics—Atmospheric Radiation Effects” (文献[3])

(航空電子工学のためのプロセス管理—大気の放射線効果)

TS 62396-1 では、高度:40,000 フィート、緯度 45 度における高エネルギー中性子スペクトルを基準としている。中性子微分フラックスのエネルギー特性を表す近似式を以下に示す。

<近似式> ※1974 年 NASA Ames flight data より導出

$$\phi_{40k ft}(E) = 0.346 E^{-0.922} \\ \times e^{-0.152(\ln(E))^2} \quad \text{for } E < 300 \text{ MeV} \\ = 340 E^{-2.2} \quad \text{for } E > 300 \text{ MeV}. \quad [\text{cm}^2/\text{sec}/\text{MeV}] \cdots \cdots \text{(式 2)}$$

(b) 世界の広域スペクトル中性子源

ソフトエラー加速試験に利用される中性子照射施設を表 3.2.6-1 に示す。これら中性子源は加速した陽子(プロトン)をターゲットに衝突させ、核破砕反応を利用して中性子線を生成する。但し、どの施設も自然界に存在する 1GeV 以上の中性子は生成(再現)できない。表中には各施設の入射プロトンエネルギーとターゲットの種類を示した。Platt らの報告(文献[4])では、ANITA, LANSCE, TRIUMF の 3 施設の比較を行っているが、今回は新たに 2 つの施設を加えて比較を行った。

表 3.2.6-1. 世界の核破砕中性子源

#	施設名 ^{(*)2}	入射プロトンエネルギー E _{proton}	ターゲット
1	ANITA (スウェーデン・TSL・Uppsala大) ※文献[2]	180MeV	タングステン
2	LANSCE (米・ロスアラモス研究所) ※文献[3]	800MeV	〃
3	TRIUMF (カナダ・TRIUMF研究所) ※文献[4]	500MeV	鉛、スチール
4	ISIS (英国・ラザフォード・アップルトン研究所) ※文献[5]	800MeV	タングステン
5	RCNP (日本・阪大) ※文献[6]	392MeV	鉛(タングステン)

² ANITA: Atmospheric-like Neutrons from thick Target

LANSCE: Los Alamos. Neutron Science Center

TRIUMF: TRI-University Meson Factory

RCNP: Research Center for Nuclear Physic

表 3.2.6-1 に挙げた 5 つの施設の、中性子スペクトルと JEDEC および IEC 標準の中性子スペクトルを比較したグラフを図 3.2.6-1 に示す。図 3.2.6-1 では各施設のスペクトルを重ねて表示するために、スペクトル強度を JEDEC (@ニューヨークシティ) に規格化した。凡例の施設名の右側に示した値が規格化係数であり、この値は各施設の加速係数を意味する。

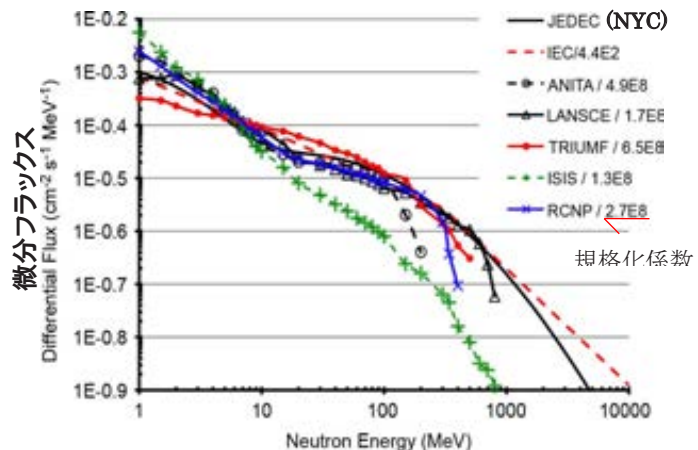


図 3.2.6-1. 各施設の中性子スペクトル(1MeV~)比較
※JEDEC に規格化

ここで、中性子スペクトルの形状を比較するために、エネルギー帯で 1~10MeV, 10~100MeV, >100MeV, の 3 つのセグメントに分割し、セグメント毎に中性子フラックスの割合を算出した(表 3.2.6-2)。表 3.2.6-2 の一番右の列は、フラックスの合計値 [n/cm²/hr]を示しており、この合計値に対して各セグメントでのフラックスがどのくらいの割合になるかを算出した。

表 3.2.6-2. エネルギー帯域における中性子フラックス比率

SOURCE	NEUTRON FLUX			
	1-10MeV %	10-100MeV %	>100MeV %	Total >1MeV N cm ⁻² hr ⁻¹
JEDEC(NYC)	35%	35%	30%	2.0 10 ¹
IEC(40k ft)	35%	35%	29%	8.76 10 ³
ANITA	65%	28%	7%	9.87 10 ⁹
LANSCE	52%	26%	22%	3.40 10 ⁹
TRIUMF	24%	54%	21%	1.29 10 ¹⁰
ISIS	92%	7%	1%	2.5 10 ⁹
RCNP	57%	25%	18%	5.37 10 ⁹

JEDEC および IEC 標準のスペクトルは、3 つのセグメントにおいてほぼ 30%前後で均等である。

ANITA は、低いエネルギー帯(1~10MeV)のフラックスが 65%と大きく、高いエネルギー帯(>100MeV)のフラックスが 7%と小さい特徴を持つ。

LANSCE および RCNP は、低いエネルギー帯のフラックスが 50%以上を占めるが、全体的にバランスが良く、標準に近いスペクトル形状であることが分かる。

TRIUMF は、中間のエネルギー帯のフラックスが 50%以上と大きい特徴を持つ。セグメント間のバランスも良い。

ISIS は、低いエネルギー帯にフラックスが 92%と集中しており、中間と高いエネルギー帯のフラックスは合わせてもわずか 8%しかない特徴を持つ。ISIS は、LANSCE と同じ 800MeV の高エネルギープロトンを使用しているが、凝縮物質中の散乱熱中性子計測のために設計された施設であり、水によってビームが減衰するため、上記のような偏った特性になっていると思われる。

(3) ソフトエラー断面積

本章では、ソフトエラー断面積の定義とその特性について述べる。また、SRAM, DRAM など実際のデバイスのソフトエラー断面積特性の例を示す。

ソフトエラー断面積とは、半導体デバイスにおけるソフトエラーの起こりやすさ(臨界電荷量の大小)を表す。ソフトエラー断面積 $\sigma(E)$ は、以下の式で定義される。ここで、N は、時間 T[秒]の間に入射

された中性子線によって発生したアップセットイベントの数である。

$$\text{ソフトエラー断面積 } \sigma(E) = \frac{N}{\phi(E)T} \quad \dots \text{式(3)}$$

イベント数
時間[sec]

中性子フラックス[n/cm²/sec]

JEDEC 標準(JESD89A)では、このソフトエラー断面積のエネルギー特性を、以下に示す 4 パラメータのワイブル分布で近似できるとしている(式 4)。

$$\text{ソフトエラー断面積 } \sigma(E) = \sigma_L \left(1 - e^{-[(E-E_0)/W]^S} \right) \quad \dots \text{式(4)}$$

飽和ソフトエラー断面積
カットオフエネルギー
Shapeパラメータ
Widthパラメータ

ワイブル分布は、図 3.2.6-2 のような飽和曲線を示す。ここで、飽和したソフトエラー断面積を σ_L 、ソフトエラー断面積が 0 になるエネルギーをカットオフエネルギー E_0 、特性の立ち上がり形状を Shape パラメータ S、飽和までの形状を Width パラメータ W とする。

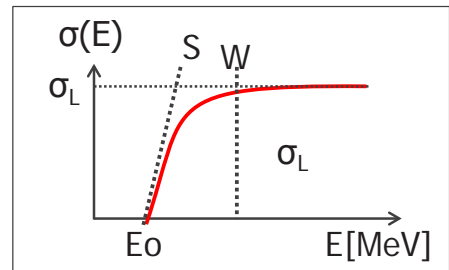


図 3.2.6-2. 4 パラメータワイブル分布の例 (補足用に作成)

表 3.2.6-3 に、SRAM(130-500nm) および DRAM(220-250nm)のソフトエラー断面積のワイブルパラメータを示す。

表 3.2.6-3. SRAM, DRAM のワイブルパラメータ

Device	Design Rule (nm)	σ_L (cm ²)	E_0 (MeV)	W (MeV)	S	Ref.
DRAM	250	--	3	20	2	[11]
DRAM	220	--	12	60	3	[11]
SRAM	500	1.20E-13	2.5	14.87	2.03	[12]
SRAM	500	1.60E-14	2.5	22.09	0.91	[12]
SRAM	400	2.90E-13	2.5	16.74	0.64	[12]
SRAM	400	1.50E-13	2.5	21.48	0.59	[12]
SRAM	400	2.40E-14	2.5	28.52	1.04	[12]
SRAM	350	6.30E-14	2.5	15.34	1.44	[12]
SRAM	180	--	0.7	5.3	2.1	[11]
SRAM	180	--	4	16	1.6	[11]
SRAM	150	--	3.5	17	1.1	[11]
SRAM	130 *	--	0.2	18.9	1.4	[11]
SRAM	130	--	3.5	16	1.6	[11]

DRAMはE0が大きい
=臨界電荷量(Qcrit)が大きい

DRAMで
2~3

DRAMのWは
20~60MeV
で変化

実際に1MeV以下でSEUが起きているかは不明

SRAMのWは5~30MeVで変化
SRAMで
0.6~2

これらのパラメータ値はソフトウェア断面積の実測データ(文献[11]-[12])をワイブル分布で近似して求めた値である。カットオフエネルギー E_o は、SRAMで0.2~4MeV、DRAMで3~12MeVの範囲となった。カットオフエネルギー E_o の大きさは臨界電荷量(Q_{crit})の大きさを表しており、SRAMよりDRAMのほうが大きく、ソフトウェアが起こりにくいことを示している。ここで、SRAMの E_o が1MeV以下になっているデータがあるが、実際に1MeV以下で中性子反応によるアップセットが起きているかは不明である。また、Widthパラメータ(W)は、DRAMで20~60MeV、SRAMで5~30MeVの範囲となった。さらに、Shapeパラメータ(S)は、DRAMで2~3、SRAMで0.6~2となった。

表 3.2.6-3 で得られたワイブルパラメータを基にプロットしたソフトウェア断面積のエネルギー特性を図 3.2.6-3~図 3.2.6-5 に示す。各図に示した複数の特性は、表 3.2.6-3 の4パラメータの最大/最小値を用いてプロットしたものである。また、比較のためにソフトウェア断面積が1.0になるように、それぞれ自身の飽和ソフトウェア断面積で規格化している。

図 3.2.6-3 及び図 3.2.6-4 から、DRAM はカットオフエネルギー E_o が大きいため、SRAM に比べ、特性の立ち上がりが右寄りとなる。つまり、低エネルギー側(1~10MeV)の中性子には感度が小さくなることを示している。Widthパラメータ(W)は特性の飽和点に影響するため、 W が大きくなると、立ち上がりの傾きが大きくなり、同じエネルギー点でのソフトウェア断面積は小さくなる。

図 3.2.6-5 は、SRAM のシングルイベントラッチアップの断面積特性を示したものである。図 3.2.6-3 に示した通常のメモリビットのアップセットに比べ、カットオフエネルギーが40MeV以上と大きくなっている。これは、ラッチアップが起こるために必要な臨界電荷量が大きいことを示している。

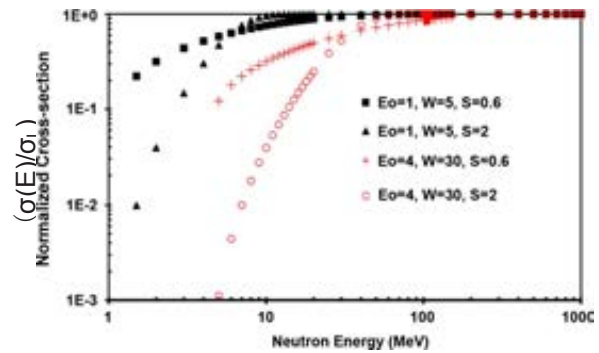


図 3.2.6-3. SRAM のソフトウェア断面積

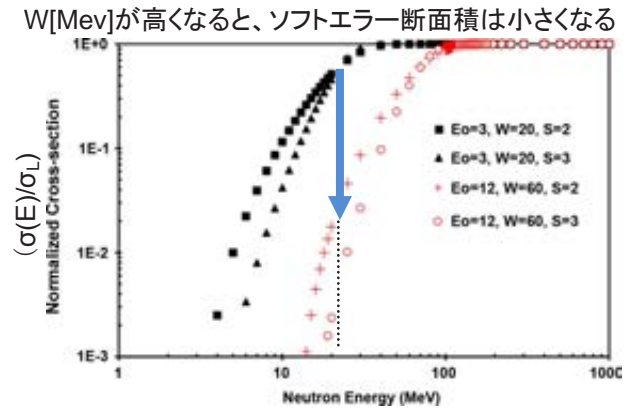


図 3.2.6-4. DRAM のソフトウェア断面積

・カットオフエネルギー(E_o)が大きい(>40MeV)
=SEL が起きるのに必要な臨界電荷量(Q_{crit})が大きい

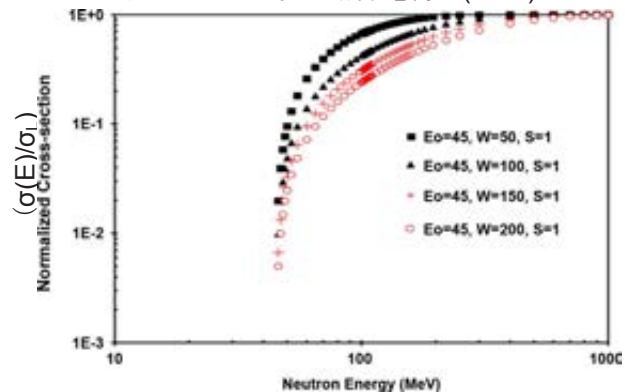


図 3.2.6-5. SRAM(0.18um&0.35um/ 4Mbit 品)の SEL 断面積

(4) SER(ソフトエラー率)計算

本章では、自然界および加速試験におけるソフトエラー率の計算方法について述べ、次に加速試験の誤差を表す SER 比の定義について説明する。

(a) 自然界における SER 計算

自然界における SER(ソフトエラー率)は以下の式で定義される。

$$R_{\text{spec}} = \int_{E_{\text{min}}}^{\infty} \sigma(E) \phi_{\text{spec}}(E) dE \quad \dots \text{式(5)}$$

ソフトエラー断面積
自然界の中性子フラックス*
(JEDEC or IEC)

E_{min}: ソフトエラーを引き起こすための最小エネルギー

*正確には中性子微分フラックス
 $\frac{d\phi_{\text{spec}}(E)}{dE}$

ここで、E_{min} は 10MeV とする。(JEDEC および IEC 標準では 10MeV と定義されている。但し、E_{min} を 10MeV とした物理的な根拠は無い。)

現状の半導体デバイスでは 10MeV 以下にも感度があるため、E_{min} 定義の見直しが必要と思われる。ここで、E_{min} を 10MeV → 1MeV に変更された場合、中性子フラックスは約 1.5 倍となり、ソフトエラー率は小さくなる方向へ変化する(表 3.2.6-4)。

表 3.2.6-4. E_{min} による中性子フラックスの変化(補足用に作成)

E _{min}	Neutron Flux [n/cm ² ·hr]	
	JEDEC	IEC
10MeV	13	5,600
1MeV	20	8,830
	×1.54	×1.57

(b) 加速試験における SER 計算

中性子照射施設を利用した加速試験における SER は、以下の式で定義される。

$$R_{\text{meas}} = \frac{1}{A} \int_{E_{\text{min}}}^{\infty} \sigma(E) \phi_{\text{acc}}(E) dE \quad \dots \text{式(6)}$$

加速係数
ソフトエラー断面積
加速中性子微分フラックス
(施設によって異なる)

ここで、加速係数は、中性子微分フラックスの比で求める

$$A = \frac{\int_{E_{\text{min}}}^{\infty} \phi_{\text{acc}}(E) dE}{\int_{E_{\text{min}}}^{\infty} \phi_{\text{spec}}(E) dE} \quad \dots \text{式(7)}$$

加速中性子微分フラックス
自然界の中性子微分フラックス
(JEDEC or IEC)

(c) ソフトエラー加速試験の誤差

ソフトエラー加速試験の誤差を示す SER ratio を以下の式で定義する。この SER ratio は加速試験で得られるソフトエラー率が、標準フラックスより得られる自然界のソフトエラー率に比べてどれだけ正確かを示す指標となる。SER ratio が 1.0 のとき、加速試験で得られる SER が標準フラックスで得られる SER に等しく、1.0 以上のとき、加速試験の結果が標準 SER より大きく、プラス方向に

誤差があることを示し、1.0 以下のとき、加速試験の結果が標準 SER より小さく、マイナスの方向に誤差があることを示す。

$$\text{SER ratio} = \frac{R_{\text{meas}}}{R_{\text{spec}}} = \frac{\int_{E_{\text{min}}}^{\infty} \sigma(E) \phi_{\text{acc}}(E) dE}{A \int_{E_{\text{min}}}^{\infty} \sigma(E) \phi_{\text{spec}}(E) dE} \quad \dots \text{式(8)}$$

加速フラックスで求めた
ソフトエラー率
標準フラックスで求めた
ソフトエラー率

(5) 論考

本章では、SER ratio を用いて各照射施設の測定誤差について議論する。

(a) SRAM (Eo=Emin=1MeV, S=2)、JEDEC 基準(=1.0) の場合

SRAM を評価した時の各施設の SER ratio を図 3.2.6-6 に示す。Width パラメータはデバイスの臨界電荷量や装置の違いを表しており、本特性は被照射対象の臨界電荷量の違いによる測定誤差の変化を表している。ここで、SER ratio が 1.0 以上の場合、加速試験の SER が JEDEC 標準に比べて大きい方向に誤差があることを示しており、1.0 以下の場合、加速試験の SER が JEDEC 標準よりも低めに誤差があることを示している。

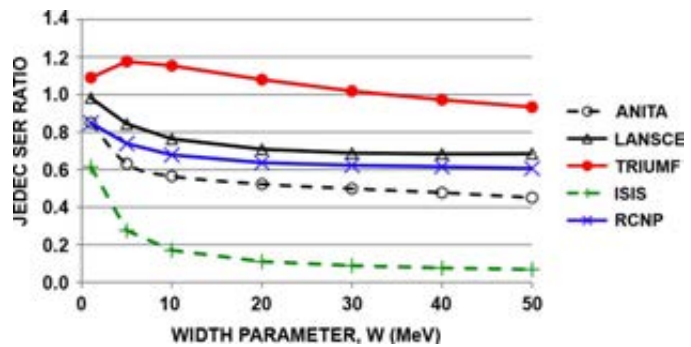


図 3.2.6-6. SRAM 評価時の各施設の SER ratio (Eo=Emin=1MeV, S=2, JEDEC 基準の場合)

LANSCE や RCNP では、低エネルギー側の高めのフラックスが高エネルギー側を補うため、W が小さい場合(低いエネルギーまでエラー感度が高い場合)に測定誤差は小さく、SER ratio はおよそ 1.0 に近づく。しかし、W が大きくなると低エネルギー側でのソフトエラー断面積(感度)が小さくなるため、SER も低下し、SER ratio は約 0.7(誤差-30%)となる。次に、TRIUMF のスペクトルは中間エネルギー帯 (10-100MeV) のフラックスが高いため、W が小さい場合は、SER ratio は約 1.2 と標準に比べて SER は 20%ほど大きく見える。W が大きくなれば SER ratio は 1.0 に近づく。ANITA のスペクトルは、LANSCE, RCNP に比べ、高エネルギー帯 (>100MeV) のフラックスが小さいため、W が小さい場合の SER ratio は同じ程度であるが、W が大きい場合、約 0.5 まで誤差は大きくなる。ISIS のスペクトルは、低エネルギー帯のフラックスが高いため、W が小さい場合に SER ratio は約 0.6 であるが、W が大きくなると、約 0.1(誤差-90%)まで誤差が大きくなってしまう。

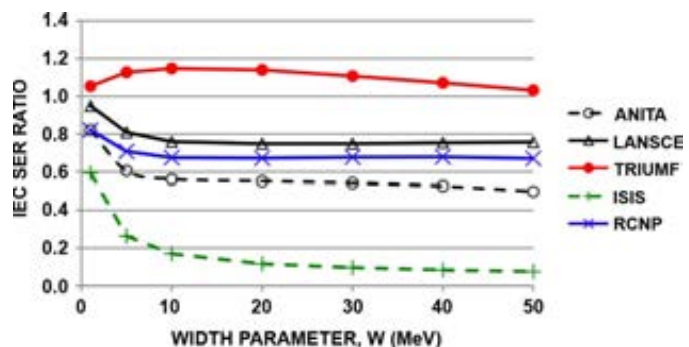


図 3.2.6-7. SRAM 評価時の各施設の SER ratio S=2, IEC 基準の場合)

(b) SRAM ($E_o=E_{min}=1\text{MeV}$, $S=2$), IEC 基準(=1.0)の場合

IEC 標準を 1.0 とし、(a)と同様に SRAM を評価した時の各施設の SER ratio を図 3.2.6-7 示す。基準を IEC とした場合も、図 3.2.6-6 (JEDEC 基準)の結果とほぼ同じ傾向となった。

(c) DRAM ($E_{min}=10\text{MeV}$, $E_o=12\text{MeV}$, $S=3$), JEDEC 基準(=1.0)の場合

JEDEC 標準を 1.0 とし、DRAM を評価した時の各施設の SER ratio を図 3.2.6-8 に示す。

ISIS 以外の 4 つの施設では、広い範囲の W で良く(誤差 30%以内で)一致した。ISIS は低エネルギー帯のフラックスが非常に高いため、 W が小さい場合に測定誤差 40%以内であるが、 W が大きい場合はおよそ 60%まで誤差が大きくなる

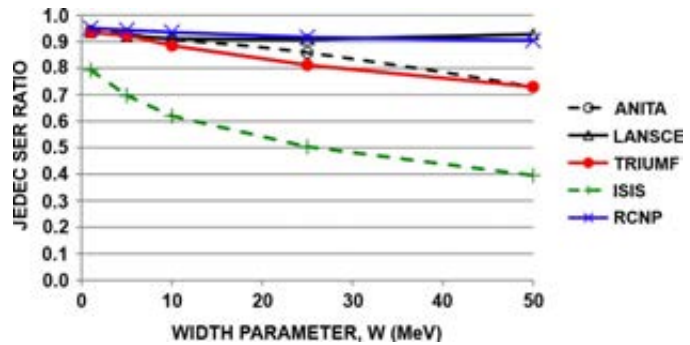


図 3.2.6-8 DRAM 評価時の各施設の SER ratio ($E_{min}=10\text{MeV}$, $E_o=12\text{MeV}$, $S=3$, JEDEC 基準の場合)

(d) DRAM ($E_{min}=10\text{MeV}$, $E_o=12\text{MeV}$, $S=3$), IEC 基準(=1.0)の場合

IEC 標準を 1.0 とし、DRAM を評価した時の各施設の SER ratio を図 3.2.6-9 示す。

ISIS 以外の 4 つの施設で、広い範囲の W で非常に良く(誤差 5%以内で)一致した。

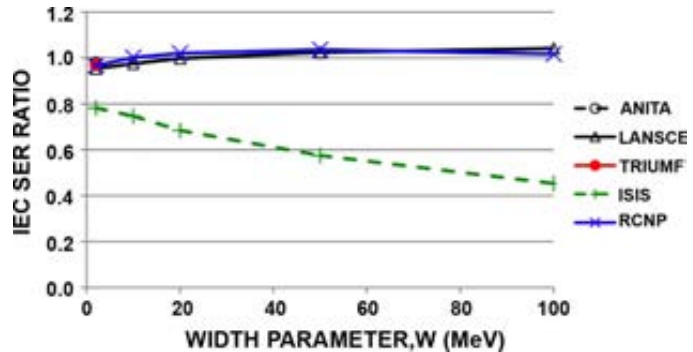


図 3.2.6-9. RAM 評価時の各施設の SER ratio ($E_{min}=10\text{MeV}$, $E_o=12\text{MeV}$, $S=3$, IEC 基準の場合)

(e) SRAM-SEL ($E_{min}=10\text{MeV}$,

$E_o=45\text{MeV}$, $S=1$, JEDEC=1.0)とした場合

次に、カットオフエネルギー E_o が大きい場合の例として SRAM の SEL (シングルイベントラッチアップ) を評価した時の各施設の SEL ratio を図 3.2.6-10 に示す。

LANSCE、RCNP の SEL ratio は広い W の範囲で 0.8 以上となり、20%以内の誤差となった。TRIUMF の SEL ratio は 0.7~0.6(誤差 30~40%)となった。ANITA は高エネルギー帯のフラックスが小さいため、 W が大きくなり SEL 断面積が高エネルギー側にシフトした場合、SEL ratio

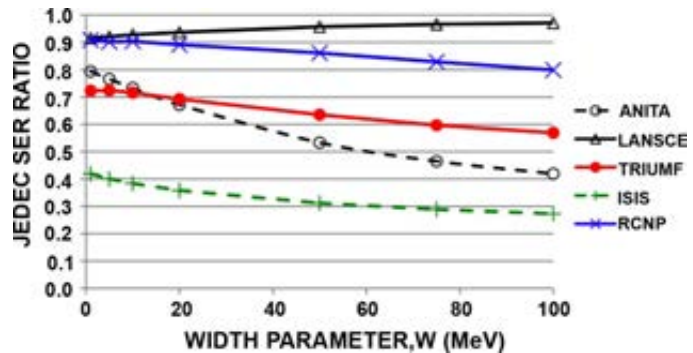


図 3.2.6-10. SRAM の SEL 評価時の各施設の SEL ratio ($E_{min}=10\text{MeV}$, $E_o=45\text{MeV}$, $S=1$, JEDEC 基準の場合)

を小さく計算してしまう。 W が小さいときは 0.8 程度だが、 W が 100MeV を超えると SEL ratio は

0.4 以下になってしまう。ISIS は低エネルギー帯のフラックスが非常に高いため、全体的に誤差は大きく SEL ratio は約 0.3 (誤差-70%) となった。

(f) SRAM-SEL($E_{min}=10\text{MeV}$, $E_o=45\text{MeV}$, $S=1$)、IEC 基準(=1.0) の場合

基準を IEC とした場合も、図 3.2.6-10 (JEDEC 基準) の結果とほぼ同じ傾向となった。

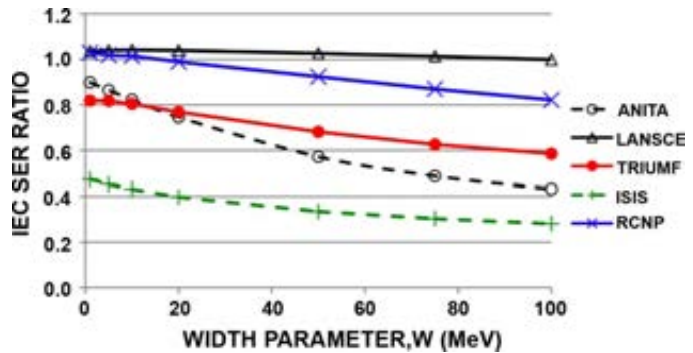


図 3.2.6-11. SRAM の SEL 評価時の各施設の SEL ratio ($E_{min}=10\text{MeV}$, $E_o=45\text{MeV}$, $S=1$, IEC 基準の場合)

(6) 今後の課題

(a) ソフトエラー断面積のワイブル近似

多くの引用文献で中性子ソフトウェア断面積のフィッティングにワイブル近似を使用している。一方でワイブル近似が適切ではないことを示すデータも多い(文献[5]-[8]など)。伊部(日立)は、130nm 以降の半導体デバイスではエラー断面積の形が、飽和するような形から指数関数的な形状に変わると推測している(文献[9])。(※この複雑なソフトウェア断面積については自分たちの研究の範囲外とする。)

しかし、Platt 氏の研究(文献[4])では、ワイブル分析によって本研究と同様の SER 比率が推定できると述べている。

(b) 中性子スペクトルの最小エネルギー E_{min}

いくつかの研究では、10MeV より下のエネルギー範囲でも 0 以上の中性子ソフトウェア断面積が測定されている(文献[10])。つまり、ソフトウェア断面積特性のカットオフエネルギー E_o は 10MeV 以下であることを示しており、JEDEC と IEC の両標準における E_{min} の定義を改訂する必要がある。 E_{min} を 1MeV にすると、自然界の中性子フラックスは約 1.55 倍になる。主な中性子源では 1~10MeV の範囲のフラックスが標準より高く、 E_{min} を 1MeV にすると、中性子フルエンスは ANITA: 2.86 倍、LANSCE: 2.08 倍、ISIS: 12.8 倍、RCNP: 2.33 倍に増加する(※ TRIUMF は中間エネルギー帯のフラックスが支配的なため 1.32 倍程度)。つまり、加速係数は大きくなり、ソフトウェア率は小さくなる。これらの問題を避けるためには、両標準で低いエネルギー帯(1~10MeV)における偏差を補正する手順を開発する必要がある。

(7) 結論

本研究の目的は、理論的なソフトウェア断面積の特性を用いて広域スペクトル中性子照射施設(5ヶ所)のソフトウェア加速試験の測定誤差(JEDEC, IEC 標準スペクトルから求めた SER との誤差)を定量化することである。

本研究では中性子スペクトルを3つのエネルギー範囲(セグメント)で分析することで、各施設の測定誤差(JEDEC 標準, IEC 標準からの誤差)を特徴づけした。図 3.2.6-6~図 3.2.6-11 に示す結果より、全ての施設で非常に良い結果となり、JEDEC と IEC の両標準から予測されるソフトウェア率に対して 50%以内の誤差となった。システムレベルのソフトウェア率を詳細に求める手法の不確実性

(ロジックおよびメモリ構成要素のディレーティング係数の複雑さ)を勘案すれば、この誤差は十分妥当な結果である。

現実的には 100%の精度で測定しようとしてエラー率を低減するための設計に十分時間が取れないより、50%の精度でも手早くソフトエラー率を測定し、必要な設計時間を確保するほうがおそらく重要であろう。IC テクノロジーのスケーリングによるソフトエラー加速試験の機会増加に対し、この理論研究は、(ISISを除く)4つの施設では構成要素レベルのソフトエラー特性を適切に測定できることを示した。また、ISIS についても特定の条件においては妥当な結果を得ることができる。但し、今後デバイスの微細化によってソフトエラー断面積の特性が変化した場合や、 E_{min} の定義が 10MeV 以下に改訂された場合は、5つの施設が同じように使えるかどうか再度検討が必要である。

(8) 考察

本論文は、世界の代表的な中性子照射施設(5施設)におけるソフトエラー加速試験の測定誤差を理論的に分析したものである。自然界におけるソフトエラー率との誤差を表す SER ratio という新たな指標を用いて各施設の実力(測定誤差)を比較・評価している。各施設の中性子スペクトルをエネルギー帯域で分割して比較した点に特徴があり、さらに分割したエネルギー帯域毎に、中性子フラックスと被照射対象(デバイスや装置)が持つソフトエラー断面積の関係を合わせて分析することで、新たな視点から各施設の特徴を述べている。この結果より、照射実験を実施する場合、被照射対象のソフトエラー断面積の特性に合わせて、できるだけ測定誤差が小さくなるように最適な照射施設(中性子スペクトル)を選定することを考えなければならない。逆に、ひとつの施設で照射実験を繰り返す場合は、被照射対象が変わるとソフトエラー断面積特性も変わるため、測定誤差が変化することを十分理解しておく必要がある。また、本論文では測定誤差の要因となっているソフトエラー断面積のワイブル近似や、中性子スペクトルの最小エネルギー定義に関する問題点(改訂の必要性)について提起している。最小エネルギー E_{min} の定義については、ほとんどの施設の中性子スペクトルは1~10MeVのフラックスが高く、さらに近年では低エネルギー帯域にソフトエラー断面積を持つデバイスも増えてきており、測定精度に与える影響が大きいため、早期の標準改訂が望まれる。

(JEDEC では、JESD89B(JESD89A の改訂版)の発行準備中)

参考文献

- [1] Measurement and Reporting of Alpha Particle and Terrestrial Cosmic Ray-Induced Soft Errors in Semiconductor Devices, JEDEC Standard JESD89A, Oct. 2006 [Online]. Available: <http://www.jedec.org>
- [2] M. S. Gordon, P. Goldhagen, K. P. Rodbell, T. H. Zabel, H. H. K.Tang, J. M. Clem, and P. Bailey, "Measurement of the flux and energy spectrum of cosmic-ray induced neutrons on the ground," IEEE Trans. Nucl. Sci., vol. 51, no. 6, pp. 3427–3434, Dec. 2004.
- [3] Process Management for Avionics—Atmospheric Radiation Effects. Part 1: Accommodation of Atmospheric Radiation Effects via Single Event Effects Within Avionic Electronic Equipment, IEC Tech. Specification TS 62396-1, May 2006 [Online]. Available: <http://www.iec.ch/>

- [4] S. A. Platt, A. V. Prokofiev, and C. X. Xiao, “Fidelity of energy spectra at neutron facilities for single-event effects testing,” in Proc. 48th IEEE Int. Rel. Phys. Symp., Anaheim, CA, May 2010, pp. 411–415.
- [5] C. S. Dyer, S. N. Clucas, C. Sanderson, A. D. Frydland, and R. T. Green, “An experimental study of single-event effects induced in commercial SRAMs by neutrons and protons from thermal energies to 500MeV,” IEEE Trans. Nucl. Sci., vol. 51, no. 5, pp. 2817–2824, Oct. 2004.
- [6] J. Baggio, D. Lambert, V. Ferlet-Cavrois, P. Paillet, C. Marcandella, and O. Duhamel, “Single event upsets induced by 1–10 MeV neutrons in static-RAMs using mono-energetic neutron sources,” IEEE Trans. Nucl. Sci., vol. 54, no. 6, pp. 2149–2155, Dec. 2007.
- [7] D. Lambert et al., “Analysis of quasi-monoenergetic neutron and proton SEU cross sections for terrestrial applications,” IEEE Trans. Nucl. Sci., vol. 53, no. 4, pp. 1890–1896, Aug. 2006.
- [8] K. Johansson, P. Dyreklev, B. Granbom, N. Olsson, J. Blomgren, and P.-U. Renberg, “Energy-resolved neutron SEU measurements from 22 to 160 MeV,” IEEE Trans. Nucl. Sci., vol. 45, no. 6, pp. 2519–2526, Dec. 1998.
- [9] E. Ibe, H. Taniguchi, Y. Yahagi, K. S. Shimbo, and T. Toba, “Impact of scaling on neutron-induced soft error in SRAMs from a 250 nm to a 22 nm design rule,” IEEE Trans. Electron Devices, vol. 57, no. 7, pp. 1527–1538, Jul. 2010.
- [10] B. D. Sierawski, K. M. Warren, R. A. Reed, R. A. Weller, M. M. Mendenhall, R. D. Schrimpf, R. C. Baumann, and V. Zhu, “Contribution of low-energy (< 10 MeV) neutrons to upset rate in a 65 nm SRAM,” in Proc. 48th IEEE Int. Rel. Phys. Symp., Anaheim, CA, May 2010, pp. 395–399.
- [11] T. Nakamura, M. Baba, E. Ibe, Y. Yahagi, and H. Kameyama, Terrestrial Neutron-Induced Soft Errors in Advanced Semiconductor Devices, 1st ed. Singapore: World Scientific, 2008, ISBN-13 978-981-277-881-9.
- [12] A. Hands, C. S. Dyer, and F. Lei, “SEU rates in atmospheric environments: Variations due to cross section fits and environment models,” IEEE Trans. Nucl. Sci., vol. 56, no. 4, pp. 2026–2034, Aug. 2009.

3.2.7 パワーMOSFETのSEB特性におけるCharge Collection手法について

文献名	Charge Collection in Power MOSFETs for SEB Characterization – Evidence of Energy Effects
出典	IEEE Transaction on Nuclear Science, Vol 57, No.6, pp. 3515-3527, Dec 2010.
著者名	V. Ferlet-Carlos, F. Stuesson, A. Zadeh, G. Santin, P. Truscott, C. Poivey, J. R. Schwank, D. Peyre, C. Binois, T. Beutier, A. Luu, M. Poizat, G. Chaumont, R. Harboe-Sorensen, F. Bezerra, R. Ecoffet
対象デバイス	Power MOSFET
実験設備	GSI, GANIL, RADEF, UCL
照射線種及びエネルギーの区分	SEE 耐量; GSI: 965MeV U ions (LET=15MeVcm ² /mg) GANIL: 46.6MeV/a Xe ions (LET=26.7MeVcm ² /mg) 24.5MeV/a Xe ions (LET=40MeVcm ² /mg) 13.1MeV/a Xe ions (LET=53.5MeVcm ² /mg) 6.86MeV/a Xe ions (LET=65MeVcm ² /mg) 55.7MeV/a Kr ions (LET=11.3MeVcm ² /mg) 40.3MeV/a Kr ions (LET=14.2MeVcm ² /mg) 14.0MeV/a Kr ions (LET=26.7MeVcm ² /mg) RADEF: 9.3MeV/a Xe ions (LET=60MeVcm ² /mg) 9.3MeV/a Ar ions (LET=11MeVcm ² /mg) UCL: 3.48MeV/a Xe ions (LET=68MeVcm ² /mg)
単発現象又は積算線量効果の区分	単発現象 積算線量効果
実験又は理論の区分	実験

(1) 要約

収集電荷は、縦型パワーMOSの照射イオンエネルギーに対するSEB率の統計的応答を分析する非破壊手法である。パワーMOSのドレイン層を形成するエピタキシャル層は厚いため、低エネルギーでは、照射イオンがエピタキシャル層中で減衰するため、収集電荷量が減少することによりSEB率を過小評価してしまう。(SEB耐量が高く出してしまう)。高エネルギーでは、ソースワイヤが大きなシャドウ効果を示す。この効果により収集電荷量は増加する。パワーMOSでは上記双方を考慮する必要がある。

(2) イントロダクション

プレーナー型縦型パワーMOSFETは宇宙用システムに幅広く使われている。宇宙の放射線環境下においては、十分に最適化されていない場合、致命的な破壊不良が発生する可能性がある。

パワーMOSFETにおける破壊モードは、SEB (Single Event Burnout) とSEGR (Single Event Gate Rupture) である。しかし、残念ながら現在上記破壊モードに対し、十分な試験方法が確立しているとはいえない。SEB、SEGRに関して、MIL-STD-750E (method 1080 Notice3) という規格があるが、十分なガイダンスを提供していない。パワーMOSFETメーカーであるIR社もデータシートにてその耐量を提示しているが、低エネルギー条件下でのデータであり、正確とはいえない。

また、最近の研究では下記のような発表がなされている。

[10]-[12]:SEGR ワーストケース試験条件を提示。

数 MeV/nucleon をワーストケースとして推奨。Bragg ピーク(エネルギー極大部)はエピ層と高濃度基板の界面近辺に存在する。SEB についても同様とのことだが、実験結果は示されていない。

[13]-[16]:SEB, SEGR のワーストケースは高エネルギーのケースである。

正しい SEE 試験のためには十分なイオン侵入深さが必要。特に 130V クラス以上のパワーMOSFET では、range(イオン侵入深さ)が短い場合、SEE 耐量を過大評価してしまう。

[17]-[22]:収集電荷の手法は、Diode、MOS キャパシタ、SRAM など既に使用されている。久保山氏はパワーMOS での SEB に至るメカニズムを収集電荷の手法を用いて導いている。

以上を踏まえて、本研究では、収集電荷を用いて低エネルギー、高エネルギーでの実験結果を示すとともに、SEB 耐量のワーストケース試験条件に対する有意義な情報を提示する。

(3) 実験概要

サンプルとしたパワーMOSFETの概要を表 3.2.7-1 に示す。3 種類の 200V クラスの N 型パワー MOSFET を選択した。IR 社製 IRHNA57260SE、STMicro 社製 HN2S は放射線耐量を改善した宇宙用パワーMOSFET、MM2G は民生用パワーMOSFET である。

表 3.2.7-1. パワーMOSFET サンプル概要

Device	Manufacturer	Packaging	Al wire bond Ø	
			Gate	Source
IRHNA57260SE	International Rectifier	SMD-2	150 µm	500 µm
HN2S	STMicro-electronics	TO3	125 µm	500 µm
MM2G	STMicro-electronics	Thin PCB film	60 µm	125 µm

図 3.2.7-1 にデバイス断面構造、チップ表面構造を示す。

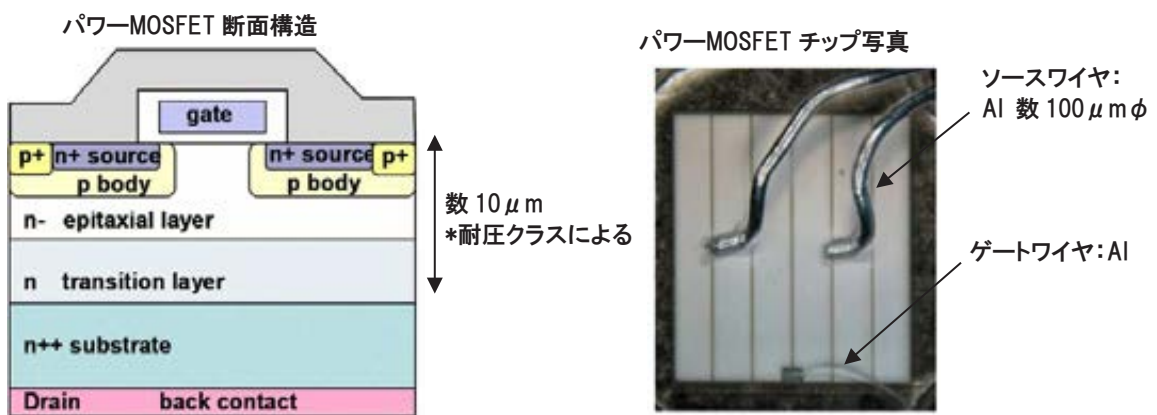


図 3.2.7-1. デバイス断面構造、チップ表面構造

プレーナー型の N 型パワーMOSFET である。200V クラスであり、オフ時に電圧を保持する n-エピタキシャル層厚は数 10µm 程度である。チップ表面にソース配線が形成され、アルミワイヤボンディングでパッケージの端子に接続される。ドレイン配線は裏面に形成される。

表 3.2.7-2 に今回の実験で使用した SEE 耐量試験設備と照射イオンビーム特性を示す。図 3.2.7-2 のように、例えば Ar イオン(RADEF)の 9MeV/nucleon と Kr(GANIL)の 55MeV/nucleon

イオンビームはイオン種・エネルギーが異なっても同等の表面 LET (Linear Energy Transfer) を持っている。
 表 3.2.7-2. イオンビーム特性

Facility	Ion	Energy (MeV/a)	LET @ DUT surface (MeVcm ² /mg)	Range (μm)
GSI	²³⁸ U	965	15	44238
GANIL	¹²⁹ Xe	46.6	26.7	665
		24.5	40	275
		13.1	53.5	129
		6.86	65	65
RADEF	¹³¹ Xe	9.3	60	90
UCL	¹³² Xe	3.48	68	40
GANIL	⁸⁶ Kr	55.7	11.3	1140
		40.3	14.2	690
		14.0	26.7	160
RADEF	⁴⁰ Ar	9.3	11	120

図 3.2.7-3 は、Xe イオンのシリコン中の LET の照射エネルギー依存性を示す。ここで、オーバーレイヤーは表面アルミ配線などシリコン面の表面に形成されている層を指し、シリコン内部はエピタキシャル層、トランジション層も示されている。このように低エネルギーで注入されたイオンはシリコン表面では高い LET をもつが、一定の深さに達すると急激に LET が低下する。例えば 3.48MeV/a では 10μm 程度までは高い LET であるが、それより深くなると急激に低下する。つまりパワーMOSFET の耐圧を分担するエピタキシャル層の底部では急激に LET が低下していることになる。現状ではこの Xe 3.48MeV/a がパワーMOSFET の評価に一般的に使用されている。また、エネルギーが高すぎると、表面では LET は低い、深くなると急激に LET が増加する傾向にある。このピークを Bragg ピークと呼ぶ。

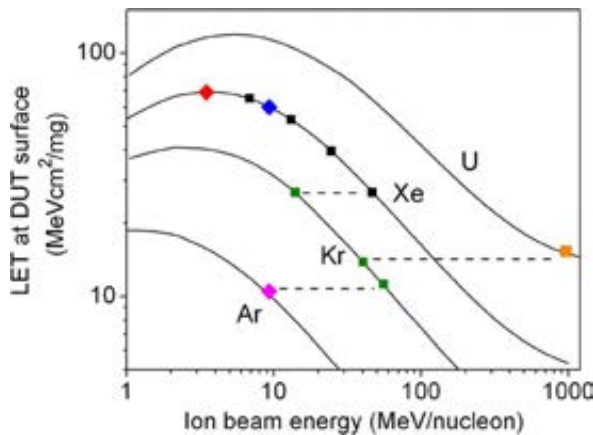


図 3.2.7-2. 表面 LET のイオンビームエネルギー依存性

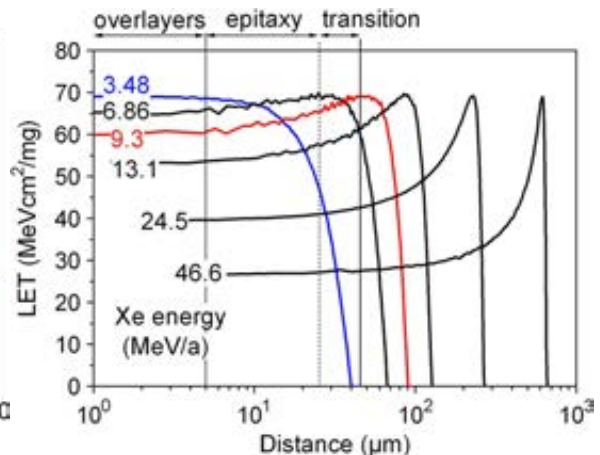


図 3.2.7-3. Xe イオンの LET の深さ方向分布 (Si 中)

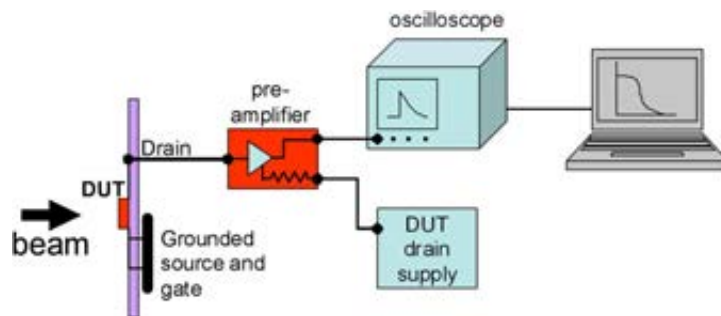


図 3.2.7-4. チャージ検出手法の実験システム

図 3.2.7-4 に実験装置の構成を示す。サンプルのドレインの微小電流をアンプで増幅し、オシロスコープで電圧の経時変化を測定した。照射試験時、ドレインには所定の電圧を印加、ゲート電圧はソースと同電位(グラウンド)とし、オフ状態で試験を実施した。

(4) 実験結果

図 3.2.7-5 は、STMicro 社製 MM2G の実験結果を示す。20V 印加時の累積断面積と収集電荷量の関係を示す。この状態では SEB (Single Event Burnout) の状態には至っていない。2pC 以下はソース領域、それ以上はゲート領域の反応に相当する 2 段階分布を持つ。Flux は $50\text{ion}/\text{cm}^2/\text{s}$ 。変換ファクタは $5\text{mV}/\text{MeV}$ 。シリコン中では 22.5MeV が 1pC に相当するため、 $112.5\text{mV}/\text{pC}$ に相当する。

図 3.2.7-6 は Xe $3.48\text{MeV}/\text{a}$ 、55V 電圧印加時の過渡特性を示す。1 秒間に $50\text{ion}/\text{cm}^2$ 打ち込まれている。イオン照射後に検出電圧が急上昇し、大多数のイオンは 1ms 以内に電圧が低下するが、何発かのイオンで数 ms 間電圧低下しないものを観測した。これは SEB 現象が発生しているものと思われる。これは、デバイスのもっとも感度の高い領域(ゲート下の p-body 間のネック領域)に打ち込まれたイオンに反応したものである。

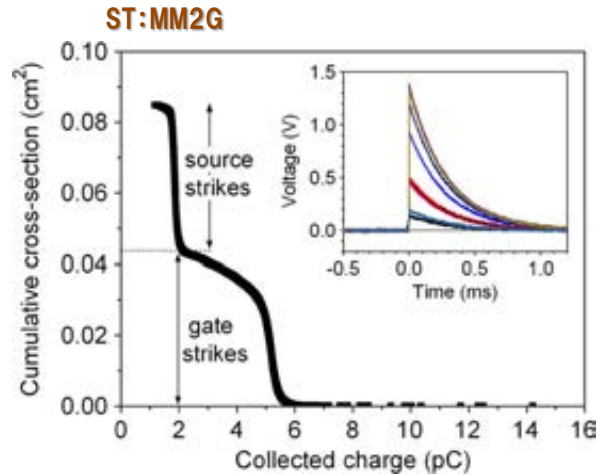


図 3.2.7-5. 累積断面積と検出チャージ量

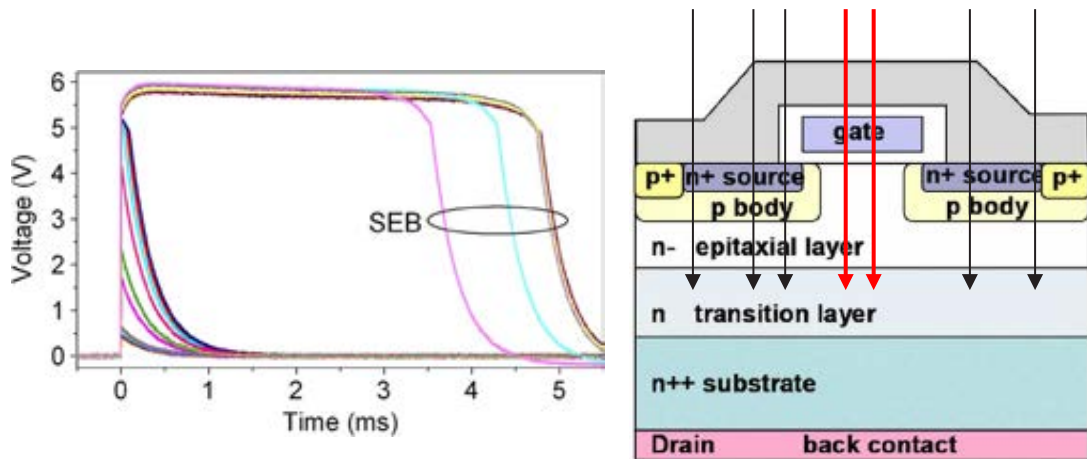


図 3.2.7-6. チャージ検出過渡特性

図 3.2.7-7 は、20V 印加時の規格化された累積断面積と収集電荷量の関係の照射エネルギー依存性を示す。イオン種は Xe である。Xe の LET は、図 3.2.7-3 に示したようにデバイス深さ方向に対して依存性をもつ。収集電荷は $46.6\text{MeV}/\text{a}$ で最も少なく、 $6.86\text{MeV}/\text{a}$ で極大、 $3.48\text{MeV}/\text{a}$ で減少した。この関係は図 3.2.7-3 の LET 特性とリンクする。図 3.2.7-8 に IR 社製 IRHNA57260SE の評価結果を示す。本デバイスは STMicro 社製 MM2G で見られたような 2 段階分布がない。また、本デバイスは収集電荷量が非常に少ない。エピタキシャル構造、濃度が異なるためと推定される。本デバイスは $9.3\text{MeV}/\text{a}$ が極大であった。Si 基板界面から上部の層間膜厚の差であろうと思われる。

図 3.2.7-9、図 3.2.7-10 に STMicro 社製 MM2G と IR 社製 IRHNA57260SE の累積断面積の微分の発生頻度を示す。両社とも $6.86\text{MeV}/\text{a}$ 以下では分布がブロードに変化する。これはエピタキシャル層、トランジション層内で LET が減衰するためである。また、IR 社製のほうが高エネルギーでの分布ばらつきが大きい。これはボンディングワイヤの影響と思われる。

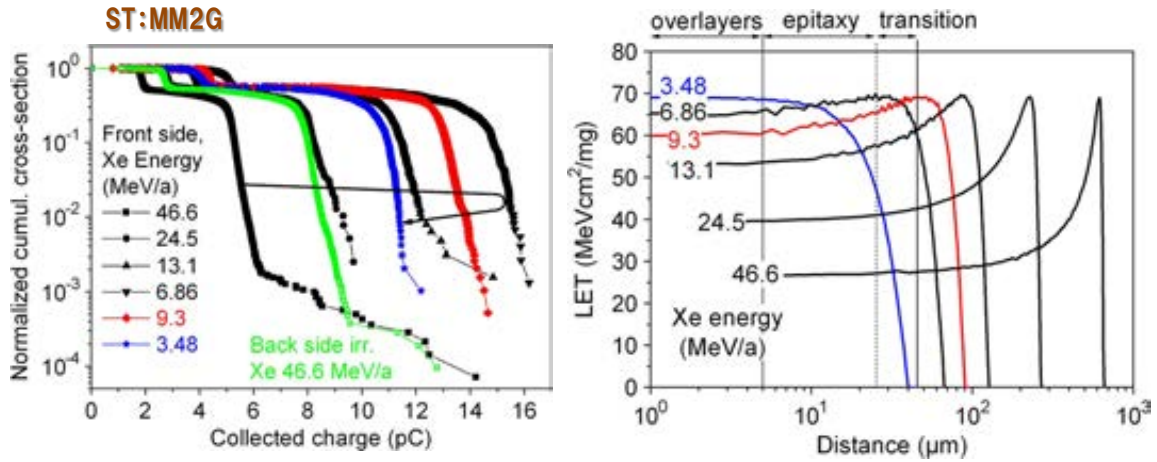


図 3.2.7-7. 累積断面積と検出チャージ量(ST:MM2G) 引用(図 3.2.7-3.)

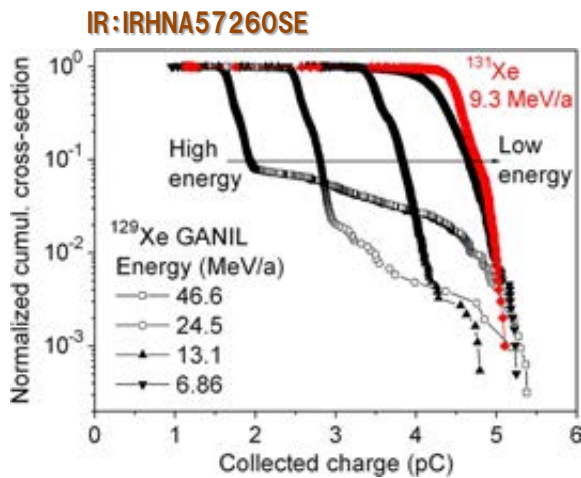


図 3.2.7-8. 累積断面積と検出チャージ量 (IR: IRHNA57260SE)

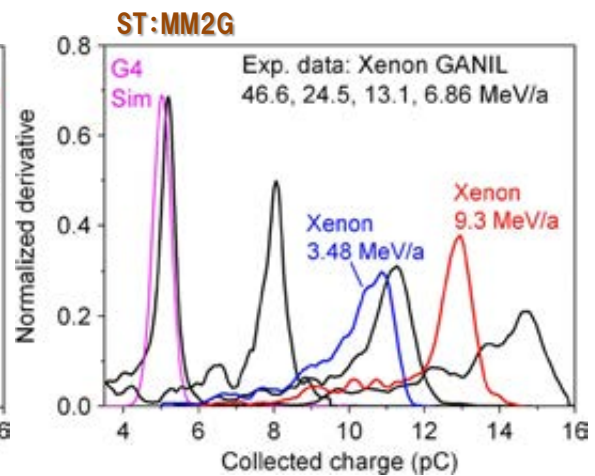


図 3.2.7-9. 累積断面積の微分発生頻度 (ST:MM2G)

次に、高エネルギー下の現象について考察する。

図 3.2.7-11 は高エネルギー下 (46.4MeV/a, range 665µm) でのシミュレーション結果(Geant4)である。ワイヤボンディングなし、またボンディングワイヤ径 125µm では影響がないが、ボンディングワイヤ径が 500µm ではチャージ量が高めにシフトすることが確認された。この原因は不明だが、ボンディングワイヤによりエネルギーが減衰させられたためと思われる。この現象をシャドウ効果と呼ぶ。

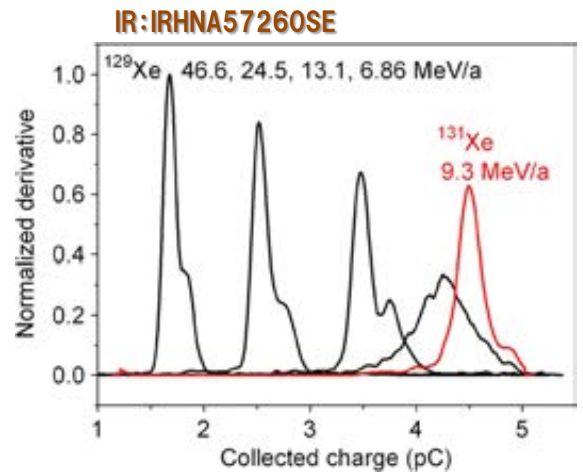


図 3.2.7-10. 累積断面積の微分発生頻度 (IR)

図 3.2.7-12 は、SurfaceLET がほぼ同一なイオン種、エネルギーを選択した場合の比較を示す。つまり、range のみを変化させた場合の比較である。Kr 55.7MeV/a(range 1140µm)、Kr 40.3MeV/a(range 690µm)、Xe 46.6MeV/a(range 665µm) にてシャドウ効果が確認された。これらは、ボンディングワイヤ径 500µm より大きな range

の場合であり、range をボンディングワイヤ径より小さく、または極端に大きくすれば影響は少なくなると推定される。

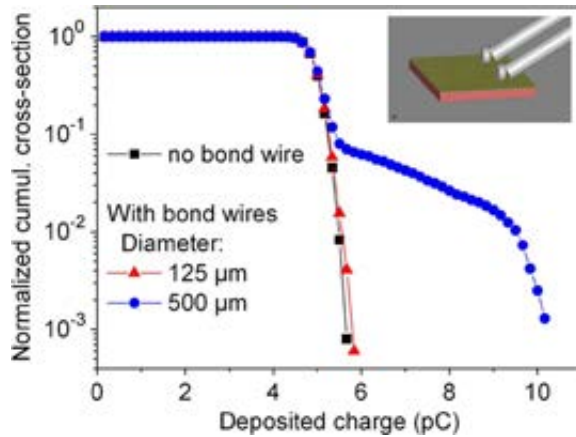
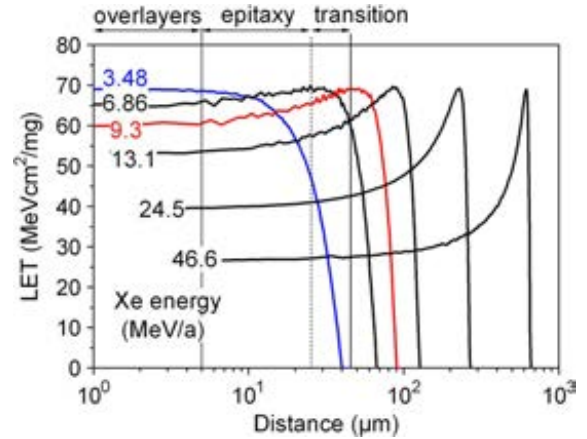


図 3.2.7-11 累積断面シミュレーション結果



引用(図 3.2.7-3)

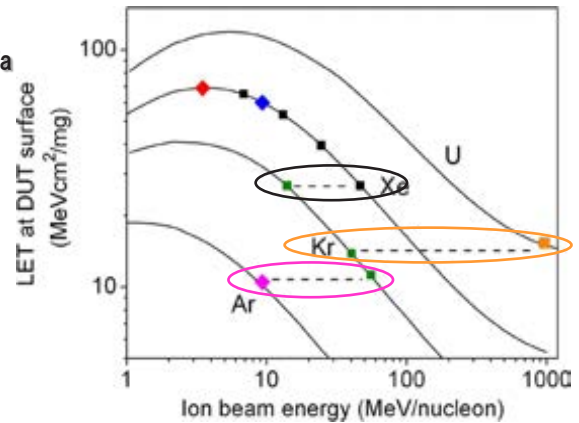
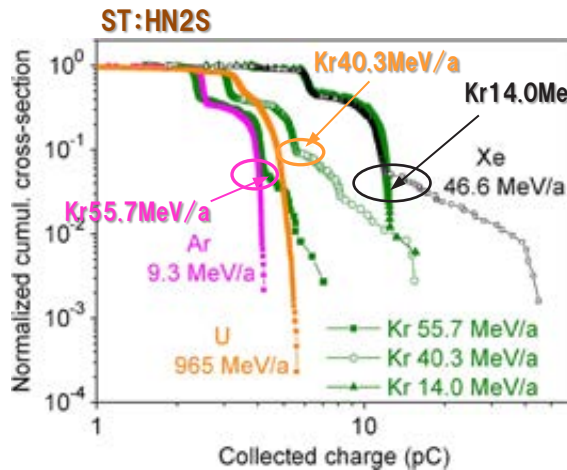


図 3.2.7-12. 累積断面積と検出チャージ量

同一表面 LET 比較

引用(図 3.2.7-2)

この現象は、図 3.2.7-13 のようにシミュレーション(Geant4)においても確認された。Kr のシャドウ効果による収集電荷量は 22pC に収束される。

次に低エネルギー下の現象について考察する。

図 3.2.7-14 は、IR 社製 IRHNA57260SE へ低エネルギー照射したグラフである。また電圧依存性を示す。低エネルギー下ではシャドウ効果は見られない。これは LET が非常に高いためと考えられる。またどの電圧条件でも 9.3MeV/a のほうが収集電荷量が多い。このように低エネルギーほど SEB がおこりやすくなるとはいえない。

また、図 3.2.7-15 に IR 社製 IRHNA57260SE の Xe イオン 9.3MeV/a での照射角度依存性を示す。このように照射角度によって収集電荷量は変化する。しかし、MIL-STD-750E では照射角度変更は認められていない。

低電圧印加(80V)では、ソース領域が反応。照射角度を変えることによって、ソース領域とゲート領域の差が減少している。この場合、ソース領域からゲート領域への電荷の拡散が生じている。CMOS で使われる等価 LET の概念が適用されると思われる。すなわち、照射角度とともに収集電荷量が増加する。これは $1/\cos \theta$ 則で説明できる。

しかし、高電圧印加(180V)では反応が異なる。ここでは、ゲート領域が反応。寄生バイポーラ動作が影響すると思われる。デバイス表面において照射角度がある場合、ゲート領域の寄生バイポーラ動作の影響が小さい。寄生バイポーラ動作のワーストケースは、照射イオン経路となる活性領域の最表面からドレイン基板間が最も短い場合(つまりベース部の照射イオン経路が短い場合)である。高電圧印加において 0° 照射で発生していた図の平らな領域が、照射角度が上がることによってなくなり、収集電荷量が減少している。以上より、ワーストケースの試験条件は照射角度 0° である。このような評価が試験方法の推奨条件を強化する。

図 3.2.7-16 は、今回対象とした全デバイスの低エネルギー下の収集電荷量のドレイン電圧依存性を示す。民生用パワーMOSFET である STMicro 社製 MM2G は低いドレイン電圧で収集電荷量が急増しているのに対し、放射線耐量を改善した IR 社製 IRHNA57260SE と STMicro 社製 HN2S は収集電荷量が抑制されている。また、3.48MeV/a と 9.3MeV/a の比較では、どのデバイスも 9.3MeV/a のほうが収集電荷量は多いことがわかる。これは、range の違いによるものと思われる。3.48MeV/a:40 μ m、9.3MeV/a:90 μ m。IR IRHNA57260SE、STMicro MM2G は、ドレイン電圧が高電圧になるほど急激に収集電荷量が増加する。これは、ダイレクトトンネリング効果とアバランシェキャリア発生による寄生バイポーラ効果によるものと思われる。

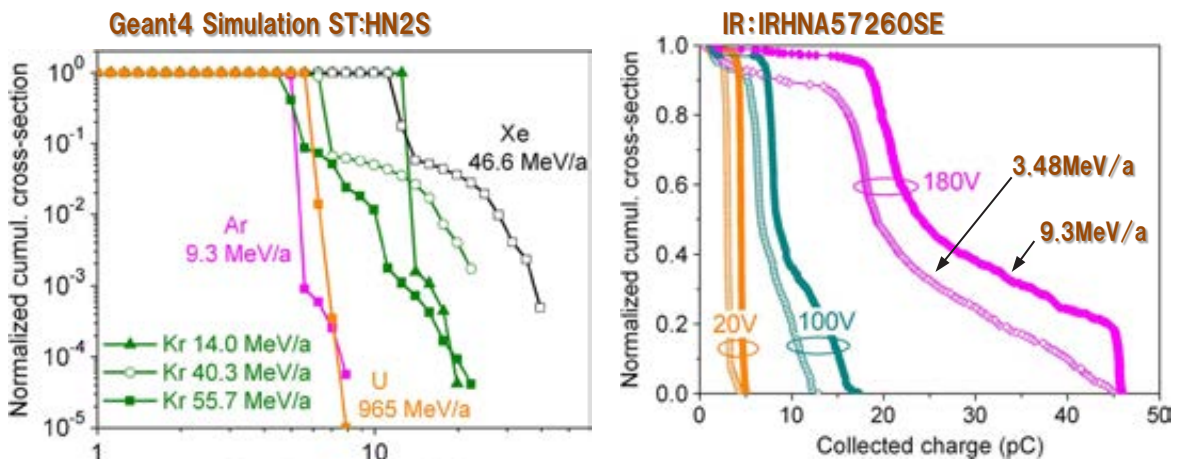


図 3.2.7-13. 累積断面積と検出チャージ量 (シミュレーション)

図 3.2.7-14. 累積断面積と検出チャージ量 低エネルギー領域

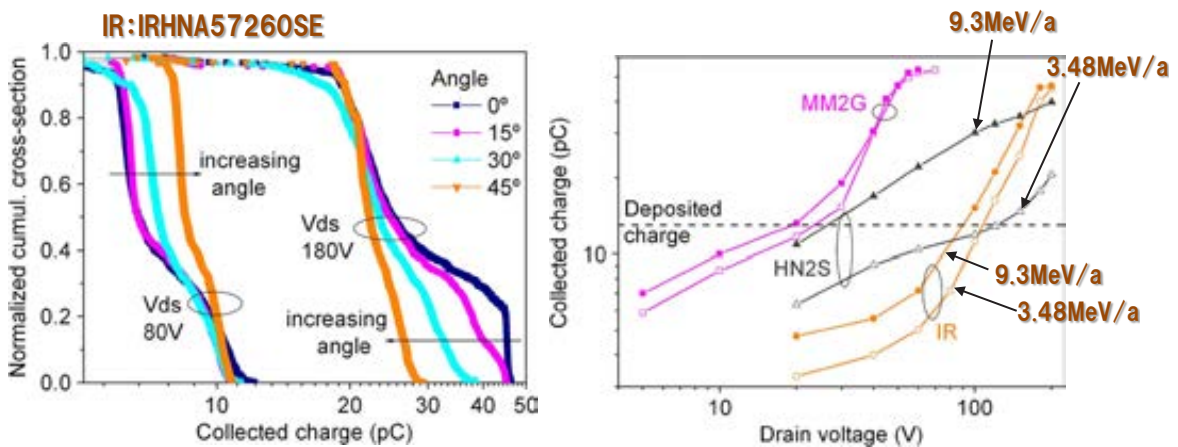


図 3.2.7-15. 累積断面積と検出チャージ量照射角度依存性

図 3.2.7-16. 低エネルギー下での検出チャージ量のドレイン電圧依存性

(5) まとめ

- ◆収集電荷手法がパワーMOSFETのSEB現象を非破壊で検証するのに非常に有効であることを示した。
- ◆また、Geant4シミュレーションによって模擬できることを示した。
- ◆低エネルギーではrangeの設定が重要である。デバイスの反応領域(Epi層、Trans層)に対して十分なrange(Braggピークを反応領域の約2倍深く設定したい)を設定する必要がある。
- ◆表3.2.7-3に推奨rangeを示す。
- ◆高エネルギーではボンディングワイヤによるシャドウ効果を考慮する必要がある。
- ◆この効果を取り除くにはrangeをボンディングワイヤ径より非常に小さく、または非常に大きく設定すればいい。
- ◆SEGRに対しては表3.2.7-3を考慮する必要はない。

表 3.2.7-3. パワーMOSFETにおけるSEB試験推奨レンジ

Max rated Vds (V)	Minimum ion range (μm)	Maximum ion range (μm)
Up to 100	60	120
101 to 200	90	180
201 to 400	150	300
401 to 1000	200	400

(6) 考察

PowerMOSFETのSEE評価におけるrangeの重要性を明確化した論文である。エピタキシャル層、トランジション層などの耐圧分担領域深さに対して十分なrangeを確保することが重要であるという指針を示している。

また、収集電荷手法がSEB現象を検証するのに非常に有効であることが認識できた。

参考文献

- [10] J. L. Titus *et al.*, “Influence of ion beam energy on SEGR failure threshold of vertical power MOSFETs,” *IEEE Trans. Nucl. Sci.*, vol. 43, no. 6, pp. 2938–2943, Dec. 1996.
- [11] J. L. Titus *et al.*, “SEE characterization of vertical DMOSFETs: An updated test protocol,” *IEEE Trans. Nucl. Sci.*, vol. 50, no. 6, pp. 2341–2351, Dec. 2003.
- [12] S. Liu *et al.*, “Recommended test conditions for SEB evaluation of planar power DMOSFETs,” *IEEE Trans. Nucl. Sci.*, vol. 55, no. 6, pp. 3122–3129, Dec. 2008.
- [13] P. Tastet and J. Garnier, “Heavy ions sensitivity of power mosfets,” *IEEE Trans. Nucl. Sci.*, vol. 39, no. 3, pp. 357–361, Jun. 1992.
- [14] L. Scheick and L. Selva, “Sensitivity to LET and test conditions for SEE, testing of power MOSFETs,” in *Radiation Data Workshop*, Jul. 2009, pp. 82–93.
- [15] L. Scheick, “Testing guideline for single event gate rupture (SEGR) of power MOSFETs,” Jet Propulsion Laboratory, Pasadena, CA, JPL Publication 08-10 2/08.
- [16] C. Poivey, D. Peyre, C. Binois, F. Sturesson, and F. Bezerra, “Test protocols for single event burnout (SEB) and single event gate rupture (SEGR) characterization of power MOSFET transistors,” presented at the 8th SEE Symp., Apr. 2008.

- [17] F. B. McLean and T. R. Oldham, "Charge funneling in N- and P-type Si substrates," *IEEE Trans. Nucl. Sci.*, vol. 29, no. 6, pp. 2018–2023, Dec. 1982.
- [18] A. B. Campbell and A. R. Knudson, "Charge collection measurements for energetic ions in silicon," *IEEE Trans. Nucl. Sci.*, vol. 29, no. 6, pp. 2067–2071, Dec. 1982.
- [19] P. J. McNulty, W. J. Beauvais, and D. R. Roth, "Determination of SEU parameters of nMOS and CMOS SRAMs," *IEEE Trans. Nucl. Sci.*, vol. 38, no. 6, pp. 1463–1470, Dec. 1991.
- [20] S. Kuboyama, S. Matsuda, and T. Kanno, "Mechanism for single-event burnout of power MOSFETs and its characterization technique," *IEEE Trans. Nucl. Sci.*, vol. 39, no. 6, pp. 1698–1703, Dec. 1992.
- [21] S. Kuboyama, K. Sugimoto, S. Shugyo, S. Matsuda, and T. Hirao, "Single-event burnout of epitaxial bipolar transistors," *IEEE Trans. Nucl. Sci.*, vol. 45, no. 6, pp. 2527–2533, Dec. 1998.
- [22] J. R. Schwank, P. E. Dodd, M. R. Shaneyfelt, G. Vizkelethy, B. L. Draper, T. A. Hill, D. S. Walsh, G. L. Hash, B. L. Doyle, and F. D. McDaniel, "Charge collection in SOI capacitors and circuits and its effect on SEU hardness," *IEEE Trans. Nucl. Sci.*, vol. 49, no. 6, pp. 2937–2947, Dec. 2002.

3.2.8 16-300K での CMOS 集積回路中で観察したシングルイベントラッチアップのメカニズムと温度依存性

文献名	Mechanisms and Temperature Dependence of Single Event Latchup Observed in aCMOS Readout Integrated Circuit From 16–300 K
出典	IEEE Transaction on Nuclear Science, Vol. 57, No. 6, pp. 3078-3086, Dec. 2010.
著者名	C. J. Marshall, P. W. Marshall, R. L. Ladbury, A. Waczynski, R. Arora, R. D. Foltz, J. D. Cressler, D. M. Kahle, D. Chen, G. S. Delo, N. A. Dodds, J. A. Pellish, E. Kan, N. Boehm, R. A. Reed, and K. A. LaBel
対象デバイス	ROIC
実験設備	Texas A&M University Cyclotron (TAMU)
照射線種及びエネルギーの区分	重イオン / LET _{eff} = 35.8, 64.4, 88, 102, 108, 110 [MeV-cm ² /mg]
単発現象又は積算線量効果の区分	単発現象 (Single Event Latch-up)
実験又は理論の区分	実験

(1) 概要

極低温で動作する市販 CMOS 読み出し集積回路に対して、重イオン誘起シングルイベントラッチアップ(SEL)は影響を与える。24K で観察された SEL は、イオン入射によって生成した自由キャリアが、SLII (shallow-level impact ionization)によって自由キャリア密度の中で指数関数的に増加し始める時に生じると考えられている。また、寄生バイポーラ利得生成が満たされていない(それは非常に少ない)にも関わらず、大電流増加のラッチ状態が持続する。300K(室温)と20Kとの比較では、飽和断面積は300Kで2~3倍高いにもかかわらず、20Kでのしきい値 LET は、かなり小さい。16-300K の温度範囲で、SEL 断面積の温度依存性を評価した。寄生バイポーラモデルに起因する SEL の振る舞いは、おおよそ 135-300K で観察された。

(2) 序論

極低温で動作する CMOS 回路中における単一粒子誘起ラッチアップの最初の挙動を報告した。放射線効果の見解では、CMOS 回路における粒子で誘起した SEL に関する確率は、温度が低下するにつれ顕著に減少し、100K 以下で不可能になると考えた[1-10]。NASA フライトプロジェクトでは、極低温での SEL 試験を実施していなかったが、近年 40K で動作する ROIC (readout integrated circuit)での SEL 試験を開始している。ROIC は室温で重イオン誘起 SEL に影響されやすい事は知られているが、40K の動作温度での観察報告はない。我々の調査では、ROIC が 16-20K の範囲で SEL に対して非常に感受性があることを示す。

ラッチアップに関する一般的な条件は、(1)固有の寄生的な pnpn 構造のループ利得が上回る、(2)バイアス条件として固有なクロスカップリング寄生バイポーラ接合トランジスタ(BJT: bipolar junction transistors)がトリガ電流(I_T)を達成するために十分長くオンし、ブロッキング状態を克服するため十分なトリガ電圧(V_T)が存在する、(3)電源と関連回路は最小保持電流(I_H)とラッチアップ状態を維持する為の保持電圧(V_H)を提供できる、の3項目である[11-12]。

$$\beta_{no}\beta_{po} > 1 \quad (1)$$

式(1)の β_{no} と β_{po} は、寄生 pnp と npn 寄生 BJT の一般的なベース電流利得を表現している。外部電源と寄生トランジスタを接続するだけでなく、基板領域における準拡散抵抗を考慮すると複雑となるため、この式は大幅に簡素化されている。

部分的な結果として保持電流および電圧と同様に利得生成に関する論文は多く存在する。様々な提案の多くは Troutman[11]に徹底した概説が評価されており、Fang と Moll による非常に有益になった初期の論文である[13]。著者は分布された抵抗 LU モデルを紹介し、寄生 pnp と npn トランジスタ特性とともに、さまざまなシヤントと寄生抵抗の相対的な重要性を述べている。さらに、モデルに関連したパラメータを実験的に引き出すことを示している。Bruguier と Palau[14]による最近の論文では、単純な分析的ならびに 2D-と 3D-シミュレーション結果を含んで物理的な SEL プロセスと分配した抵抗に関する優れた議論を提供している。

室温以下の温度で増加した LU 耐性を示す多くの電氣的な LU に関する文献は有るが、極低温での実験的な粒子誘起 SEL 研究はない[1-10]。ドーリー等は、ラッチ状態の中で引き起こされた様々な CMOS 論理回路中の保持電流の変化を測定し、77K でトリガと保持電流の両方で大幅な増加を見つけた[5]。n+と p+間隔の違いによるエピタキシャル有無に関する保持電流は 100K から 300K で急速に増加する、ということを示野等の実験的な研究で実証している[8-9]。しかし、様々なデバイスにおける電氣的な LU 研究において、LU 発生確率の温度依存性がデバイスレイアウトとプロセスに大きく依存することを示している。場合によっては、温度が 200K に下がるまで、保持電流は大きく変化しないかもしれない。

共通な誤解は、寄生 BJT の利得生成における温度依存の減少として、LU 発生確率を決定している要因と述べている。しかし、[5]に述べるように、関連する利得生成は一般に LU を保持するために広範囲な温度にわたって十分である。他の要因として、ウェルの温度依存性、基板抵抗、寄生 BJT の中で与えられたコレクタ電流継続に要求されたベース・エミッタ電圧が最も重要である。

本論文では、100K 以下において寄生 npn と pnp BJT の共通ベース電流ゲインにより、イオン照射誘起 SEL が容易に起こることを示す。図 3.2.8-1 で示すように、液体ヘリウム温度で寄生的な pnnp 構造の電気 LU が起こることを、Deferm 等は証明している。

閾値電界に対する方程式

$$\beta_{no}\beta_{po} > (M_{sn}M_{sp})^{-1} \quad (2)$$

があり pnnp 構造の領域で到達すると、自由キャリア密度の指数関数的に急激な増加を引き起こす SLII メカニズムを組み込む古典的な電氣的寄生 BJT 利得生成の拡張を提案している。ここでの β_{no} と β_{po} は寄生 pnp と npn 寄生 BJT の共通ベース電流利得、 M_{sn} と M_{sp} は SLII のおけるイオン化係数である。

このメカニズムの一つは[16]で記述されており、(5)項-(b)で議論する。重要なことは、シリコン中でのキャリア締め出し(freeze-out)は一般的に液体窒素温度以下で重要であるが、シリコン抵抗とバイポーラデバイス中のアバランシェとブレークダウン効果を生じる 50K 以下のキャリア生成に他のメ

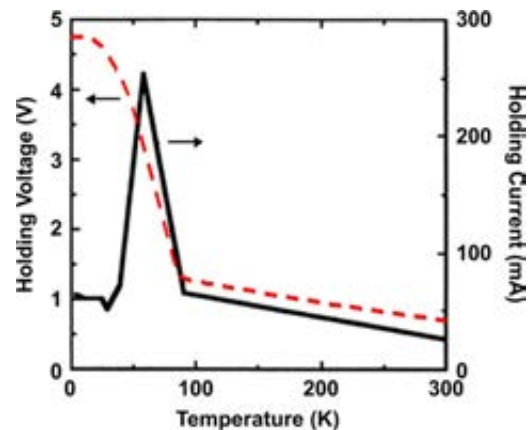


図 3.2.8-1. 1.25 μ m n-well CMOS 技術での電氣的 LU 測定は 60K 以下での保持電流の急激な減少を示す。[16, 17]

カニズムが持続することである。この研究の中で述べたように、電気的に引き起こされる LU と SEL の古典的なプロセスは有意差を持つが、極低温下で LU が重いイオンによって引き起こされる状況があることを示唆する。さらに、SEL 発生経路は、重イオンが横切るデバイス全体に存在する。本論文では、初めて観察した 16K から 24K まで極低温における重イオン誘起 SEL 特性、また 135K から 300K まで従来の SEL 特性を示す。

(3) 試験技術とセットアップ

(a) ROIC 試験概要

5種類のROICは、軌道上の宇宙線環境によるSELに対する脆弱性を明らかにするためにTAMUサイクロトンによる重イオンで試験した。重要なことは、個別のバイアス毎に電流制限を設けて基準信号を保護し、SEL試験のためにより高い時間分解能で応答を観察することである。SELイベントの観測を最適化し、保持電圧の測定値を可能にするために、デバイスの動作モードに若干の違いを設けた(条件AとB)。試験セットアップを図3.2.8-2中に示す。

試験では4バイアス【 V_{PD} (すべてのデジタル回路)、 V_{Pos} (出力マルチプレクサ(MUX)とバッファ以外の単位格子配列のためのアナログ回路)、 V_{PosOUT} (出力MUXとバッファ回路)と V_{DETCOM} (探知器)】と1つの基準信号を記録した。スコープ(1GHz)は、2つのバイアス信号でトリガするように設定し、トリガしたときすべての4つのバイアスレベルとSELイベントを取得する。

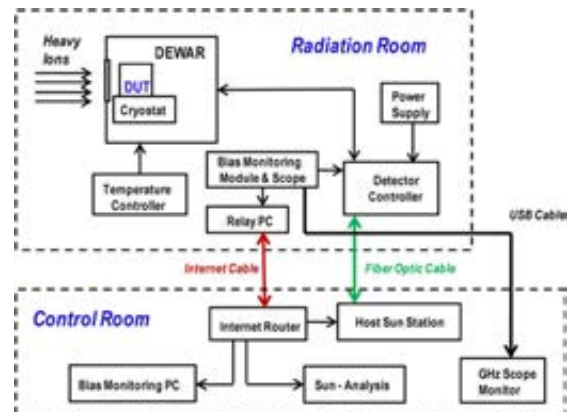


図 3.2.8-2. TAMU 実験における SEL 試験ダイアグラム

(b) ROIC 試験セットアップとデバイス動作

評価したROICは、図3.2.8-3に示すように直接入力回路とantiblooming トランジスタによる単一セルを有し、snap-on モードで動作する。その結果、直接導入回路のコンデンサに蓄積した電圧は、フレームの読み出し中にサンプルと保持コンデンサに移送する。リセットはサンプルと保持容量の両方に蓄積した電荷をクリアする。

電流制限回路は、ハードウェアの調整可能な範囲で高速動作型ハードウェアフィードバックループを採用した。一旦ROICの中で与えられた電源電流が閾値を超えた場合、電流増大を制限するために出力電圧を低下させる。条件Aに関して、フライトを模擬するように全ての電源に対して3.3 μ Fのバイパスコンデンサーをノイズフィルタに使用した。静電容量は、SEL信号のより良い時間応答を可能にするために、10nFとした(条件B)。また、ハードウェア電流制限を次の通りに設定した： I_{Pd} (6mA)、 I_{Pos} (25mA)、 I_{PosOUT} (37mA)、 I_{DETCOM} (15mA)と I_{REF} (1mA)。

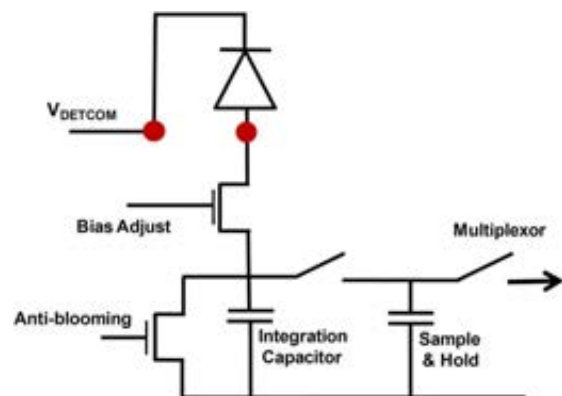


図 3.2.8-3. ROIC 直接注入ユニットと Anti-Blooming トランジスタの単純な構成

SELイベントが観察されたとき、ビームはできるだけ早く止めた。条件Bテストモードでは、保持している電圧の測定を行った。 V_{PD} は、 I_{PD} が公称レベルに戻るまで100mVステップにて減少した。ROIC動作については全ての保持電圧を測定することによって確認した。

ヘリウム低温装置は38 μm aramica windowと3 μm アルミホイルが装備されており、重イオンのエネルギー損失を最小限に抑えるためにシールドした。コールドフィンガーは、迅速な温度変化を可能とし、広い温度範囲に最適化されるために設計された。デバイスが各測定の前に熱平衡状態とするために、温度制御と監視を行った。温度は全ての測定で0.05K以下に安定していた。通常、温度は3K/minの上昇であった。そして温度低下は1K/minであった。

(c) 電気的なラッチアップ試験セットアップとデバイス動作

20-300K でのLUの低温挙動を調べるために、130nmにおけるn-well IBM 8HP技術で構成された四端子pnpnのテスト構造で電気LUの測定を行った。デバイスの断面図を図3.2.8-4に示す。テスト構造はアノードとカソード、ウェル、基板の複数の組み合わせで構成されている。これは最も基本的なLU構造であり、最終的に低温の電気的なLUとSEL効果のTCADのモデリングに対してデータを提供する。

デバイスは、ヘリウム低温下でテストした。電気的なLU測定方法は次の通り。1) DC電源をn-wellに接続(V_{dd})、2) p+アノードに電流源を接続、3) n+カソードとP基板をグランドに接続、4) 陽極電流は、徐々にLUが観察されるまで、あるいはHP4156の限界である100mAまで増加し、その後I-V特性を測定した。

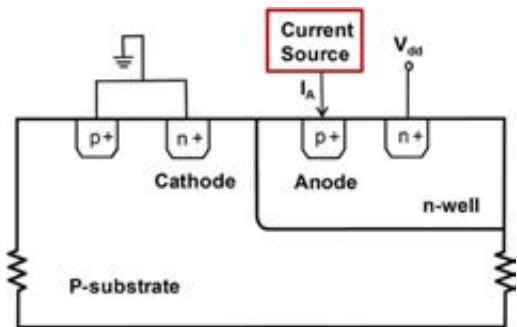


図 3.2.8-4. 観察と LU の研究のために単純化した pnpn テスト構造の模式図

(4) 試験結果

イオンと電気的に誘起した LU 測定結果を述べる。イオンの実効 LET(LET_{eff})値は、“MeVcm²/mg” の単位で引用され、飛程(R_p)はミクロン単位である。

ROIC は 300K から極低温まで動作するように設計され、かなりの閾値電圧シフトに対応しているため、コバルト 60 又は 63MeV プロトンによる TID 試験(～35krad(Si))を実施したが、重大な劣化は確認されなかった。

パワーサイクルが実行される、あるいは V_H 測定するまで多くの SEL イベントは持続し、ラッチ状態はおおよそ 10 分間連続した。全てのラッチ状態の遷移は 25 μsec で起こった。135-300K での古典領域の中での代表的な SEL 測定シーケンスを、図 3.2.8-5 に示す。図 3.2.8-5 では、SEL イベントは 25sec で発生している。

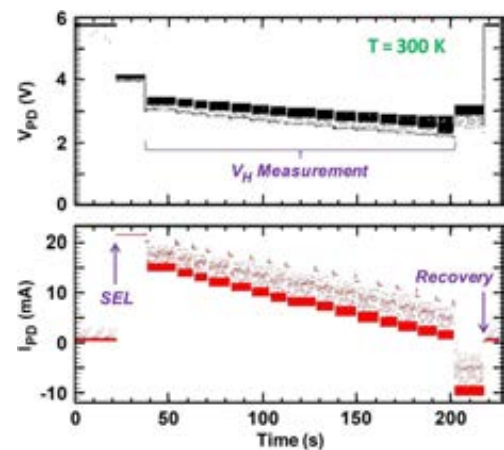


図 3.2.8-5. 135-300K での古典的領域の中での代表的な SEL イベント信号。

電圧の段階下降は、 V_H 測定を示す。 I_{pd} =約 0.5mA と V_{pd} =5.7V に戻るとき、SEL は 208sec でクリアされる。

断面図のデータは、寄生的な BJT 利得が SEL 発生過程に影響しないことを確認するため様々なポイントで繰り返し測定された。C1R5 を用いた SEL 断面積の角度依存性は、300K で観測されなかった。

(a) ROIC イオン誘起 SEL の温度依存性

イオン誘起 SEL は、図 3.2.8-6 に示す様に極低温 (50K 以下) と古典的 LU 領域 (100K 以上) の両方で観察した。図中の全データは、デバイス C6R1 を条件 B にて $LET_{eff} = 64.4 \text{ MeVcm}^2/\text{mg}$, $R_p = 43 \mu\text{m}$ のイオンを照射して得られたものである。遷移領域がおおよそ 25K と 135K の両方で非常に狭いことが明らかとなった。観察された断面積は、200-300K での古典領域の断面積と比較して 20K 以下での実験誤差の範囲で同じであった。

一般的に、ラッチ状態での電流は、古典領域に比べて 24K の温度で低い値であった。あるイベントでは、18mA 時に観測されたが 20K 前後でのラッチ電流はほとんど 4-6mA であった。対照的に、古典的領域での全てのイベントは 18mA レベルで生じていた。24K 以下で観測した高いラッチ電流もまた 18.6mA であり、これは $LET_{eff} = 35.8$, $R_p = 10.3$ による 20K での自己回復したイベントであった。古典的な SEL 耐性は、 V_H の値が大きくほとんど 2.2V であった。これらの結果は、図 3.2.8-1 に示す様に Deform 等の V_H 測定の温度依存性に一致している。

次に、2つのデバイスでの条件 A の試験結果を述べるが、それらは引用した観測結果と一致している。最初は、60°入射で 25MeV/u キセノンビームを使用した。デバイス C4R5 について、32K での $LET_{eff} = 102$, $R_p = 62$ 、断面積 9.1×10^{-7} の単一高電流イベントを観測した。32K でのイベントは 5mA の電流レベルを示し、これは 4-6mA までの電流を持った 20K でのハード LU イベントと一致するものである。また SEL 測定は 2つの異なる LET と飛程において 40K の飛行プロジェクト・アプリケーション温度で実施した。その結果、SEL イベントは観察されなかった。飽和断面積は、 $LET=88$, $R_p=98$ の場合と $LET=110$, $R_p=45$ の場合共に $1.0 \times 10^{-7} \text{ cm}^2$ であった。

さらに、他の ROIC (C2R3) の特性は、40K, $V=5.7\text{V}$, 6V にて $LET_{eff} = 108$, $R_p = 53$ の 15 MeV/u Au イオンを使用して試験した。SEL はそれぞれのバイアス条件で観察されず、飽和断面積は $9 \times 10^{-8} \text{ cm}^2$ であった。

図 3.2.8-6 の遷移領域の中で、自己消滅 (self-quenching) 高電流イベントが観察された。代表的な信号を図 3.2.8-7 と図 3.2.8-8 に示す。それぞれのイベントは $LET_{eff} = 102$, $R_p = 62$ において 32K (同様に 22K, 24K, 26K) で観測され、また $LET_{eff} = 64.4$, $R_p = 43$ において 135K にて古

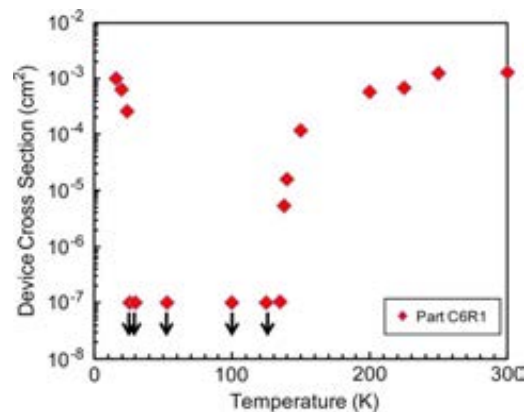


図 3.2.8-6. ハード SEL イベントに関する断面積と温度との関係。全てのデータは $LET_{eff}=64.4$, $R_p=43$ の 15MeV/u クリプトンイオンを用いて入射角 60°で測定。下向きの矢印は断面の制限を示す。

典領域の中で観測された。自己回復イベント中の電流は、SEL イベントと同じように 4-18.6mA に変化する。図 3.2.8-8(a)に示すように、ハード SEL イベントは 135K でも観測された。

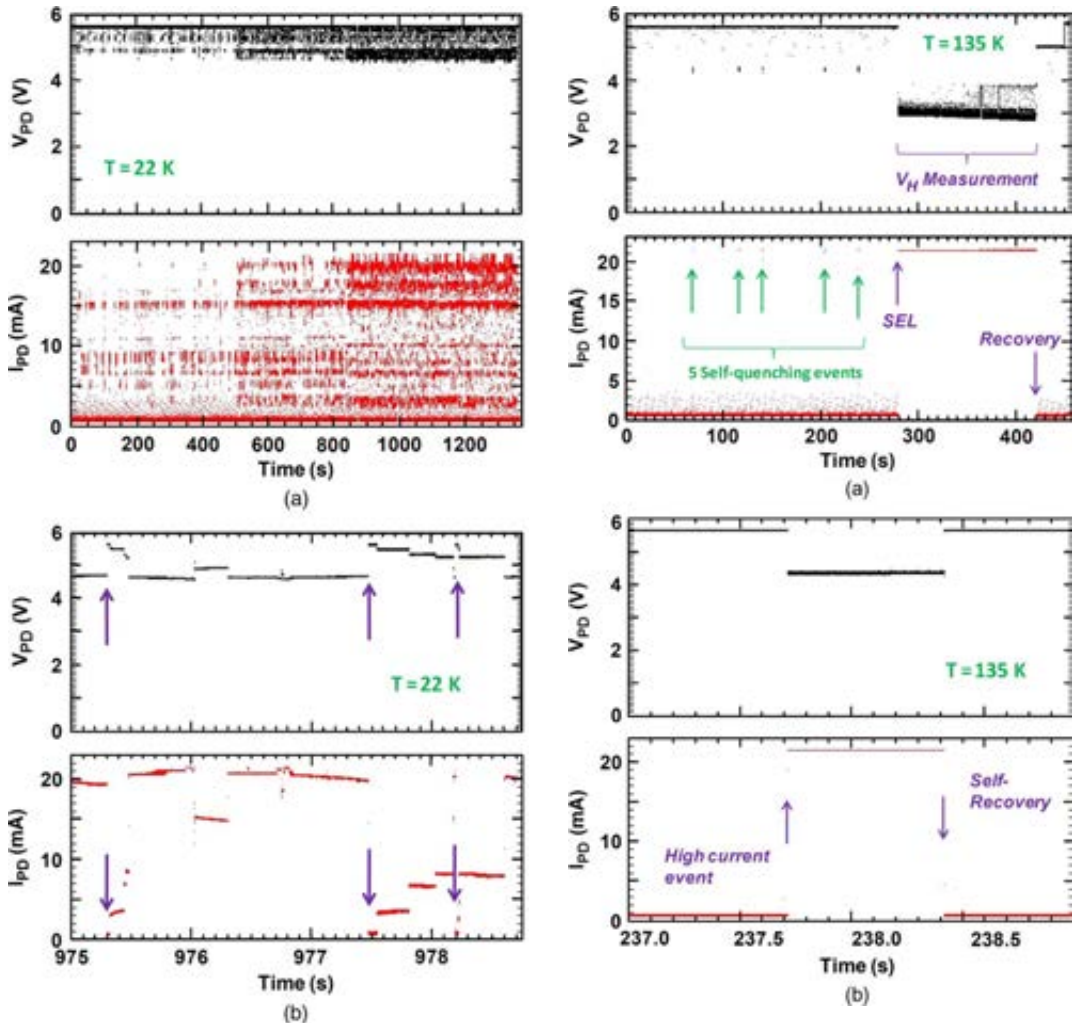


図 3.2.8-7. (a) 22K での連続 self - quenching 高電流イベントまたは一連イベントの間での通常動作に対する復帰を示す ($V_{pd}=5.7v$, $I_{pd}=0.5mA$) (b) デバイス動作が正常な場所を示す (一番上が拡張領域を表している)。

図 3.2.8-8. (a) 135K における self-quenching 高電流イベントを示す。(b)240s に位置した self - recovered event、280s でのイベントは $V_H=5V$ によるハード SEL である。

(b) 20KでのROIC誘起SEL

図3.2.8-9はデバイスC3R3について、LETを関数としたSEL断面積を示す。同じくらいのLETでも飛程により断面積が異なることが分かる。重イオンの MeV/u、LETと飛程の変化が、SEL振る舞いに影響を与えるかどうか調査した。それらの結果は、(5) 項-(b)で議論する。

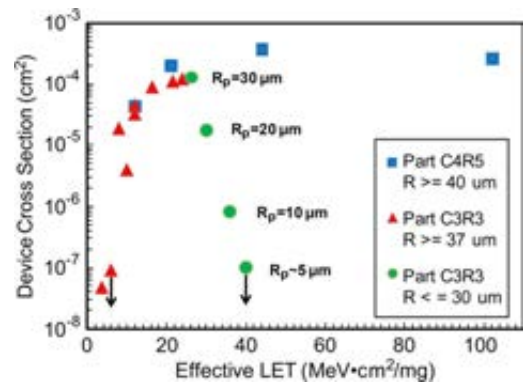


図3.2.8-9. 20KでのSEL断面積に対する実効LET

(5) 考察

(a) 100K以上の古典的なSEL温度依存性

文献検索で300K以下のイオン誘起SELに関するシミュレーション解析した論文を調査した[20]。その論文では、完全な温度モデルで2-Dシミュレーションを用いた77-450KまでのSELイベントをモデル化している。著者は、温度が300Kから減少するとSEL耐性は120Kでピークに達し、SEL応答は77Kと300Kで概ね同じであると結論づけている。対照的に、我々は24Kと135Kの間でパワーサイクルを必要としたSELイベントを観察していない。その結果、飽和断面積は300Kでおよそ 10^{-3}cm^2 に対して80Kでは $2 \times 10^{-7}\text{cm}^2$ (観察されるSELイベントでない)である。論文[14]に記載されるように、二次元シミュレーションの拡散影響のパラメータ設定により、まぎらわしい結果を生じることがある。

文献で観察された主要なLUパラメータの温度依存性は、試験構造のプロセスパラメータにより異なる。ウェルと基板抵抗は、寄生利得と同様に温度低下とともに減少し、バンドギャップを狭くする結果、ベース-エミッタ間電圧は寄生的なBJTのコレクタ電流を発生させるために増加する。キャリアフリーズアウト(凍結)の温度依存性、キャリア移動度そしてバンドギャップは、ドーパント濃度の関数である。さらに、ラッチ状態をトリガするためにウェルと基板抵抗、ベース走行時間、ベース-エミッタ電圧は大変重要である。Deferm等によると、 $1.25\mu\text{m}$ 技術において、寄生BJT利得生成は、75Kに至るまで一貫して上昇する。明らかに、SELの温度依存性を理解するために、更なる調査が要求される。

(b) 50K以下の温度に関するSELと電気的なLU

液体ヘリウム(4.2K)から~50KまでのCMOS素子の信頼性に関する研究は多く存在する[17]。 $V_H=4\text{V}$ の電氣的に誘起したLUは、Defermによって最初に実証された。Defermらは、電気的なLUプロセスを次のように説明している。①Off状態でのpnpn構造は、逆バイアスされたpn接合によって高抵抗状態になる。②SLIIの閾値電界に達しない限りそれはoff状態のままである。③図3.2.8-10に示す様に、SLIIは少しの電界で生じることができる。従って、もし自由キャリアを生じる外部ソースがある場合、自由キャリアは加速され、ドーパント原子のキャリアを解放するために衝突することから、電流の急激な増加をもたらす、乗法過程的に多くの自由キャリアを作り出す。この結果、LUは低抵抗のON状態になるような遷移を引き起こす。

50K以下のSELと電気的なLUに関する最近の結果

先に述べたpnpn構造のモデルは24K以下での粒子誘起SELの観測に対するもっともらしい説明である。この場合の自由電子の外部ソースはイオン入射からの収集した電荷である。20Kの周りで観測した保持電圧は4.1-5.6Vの間で変化し、300Kの半分であった。また、温度に依存する電気的なLU結果は、

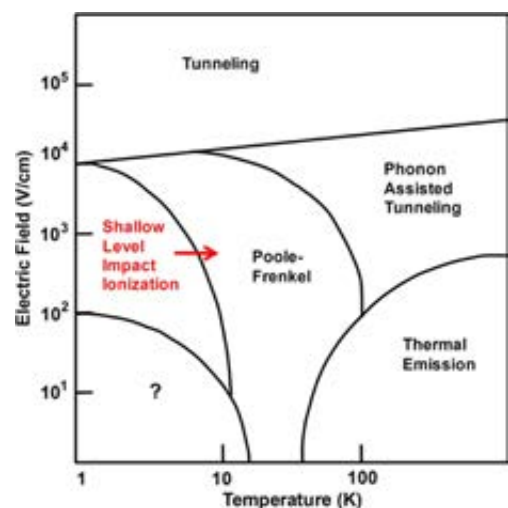


図3.2.8-10. 支配的なドーパント不純物イオン化メカニズムの温度依存性 ([17],[25])。矢印は、境界が文字どおりではないことを示し、~50KまでSLII結果を観察することができる。

V_H が 20K と 50K で 3.2-3.3V を示し、 I_H は 130nm 技術において 50-100K 以下にて大幅に低下する。これらの結果は、Deferm によるモデルに対してよく一致する(図 3.2.8-1 に示す測定と同様)が、定量的に ROIC の電氣的な LU 測定と SEL 断面積と比較することは難しい。

20K で、 LET_{eff} 、 R_p とシリコンにおけるイオンの MeV/u は、デバイスの深さの関数として入射イオンのエネルギー損失によって SEL 感度の傾向を抽出させるために変化させた。明らかに、図 3.2.8-9 は $R_p < 30\mu m$ において SEL 断面積が過小評価されたことを示している。

(6) 結果

SEL は 20K 付近での極低温状態下で発生し、それはイオン入射によって生成した自由キャリアがシャローレベルインパクト電離プロセスによるものであることを示した。さらに、SEL 観察はおおよそ 100K 以上の古典的領域について CMOS ROIC に関して特徴づけた。

飛行プログラムにおいて、極低温環境下で CMOS 部品を使用する場合は、SEL 対策を検討し、リスク評価を行う大変重要である。実験的な理解とモデルが構築されるまで、少なくとも極低温の SEL に関するデータを引用する必要がある。もし使用するデバイスが室温で SEL を示すならば、SEL の温度依存性評価試験が必要不可欠である。

実験の結果、極低温領域では SEL は 24K で観測し、また古典的領域では 135K であった。300K での電氣的あるいはイオン誘起 SEL 観察結果は、デバイスの LU パスが存在することを示す。重要なことは、20K での閾値 LET は、300K のそれよりも低いことである。これは、室温で SEL が発生しなくとも、50K 以下のシャローインパクトイオン化領域で SEL が発生する可能性があることを示唆する。

参考文献

- [1] W. L. Kaufmann and A. A. Bergh, "The temperature dependence of ideal gain in double diffused silicon transistors," *IEEE Trans. Electr. Dev.*, vol. ED-15, pp. 732-735, 1968.
- [2] R. V. Martinelli, "The temperature dependence of the dc base and collector currents in silicon bipolar transistors," *IEEE Trans. Electr. Dev.*, vol. ED-23, pp. 1218-1224, 1976.
- [3] W. P. Dumke, "The effect of base doping on the performance of Si bipolar transistors at low temperatures," *IEEE Trans. Electr. Dev.*, vol. ED-28, pp. 494-500, 1981.
- [4] J. C. S. Woo and J. D. Plummer, "Optimization of silicon bipolar transistors for high current gain at low temperatures," *IEEE Trans. Electr. Dev.*, vol. ED-35, pp. 1311-1321, 1988.
- [5] J. G. Dooley and R. C. Jaeger, "Temperature dependence of latchup in CMOS circuits," *IEEE Electr. Dev. Lett.*, vol. 5, pp. 41-43, 1984.
- [6] H. Hanamura, M. Aoki, T. Masuhara, O. Minato, Y. Sakai, and T. Hayashida, *IEEE J. Solid-State Circuits*, vol. SSC-21, pp. 484-490, 1986.
- [7] E. Sangiorgi, R. L. Johnston, M. R. Pinto, P. F. Bechtold, and W. Fichtner, "Temperature dependence of latch-up phenomena in scaled CMOS structures," *IEEE Electr. Dev. Lett.*, vol. EDL-7, pp. 28-31, 1986.

- [8] C. C. Yao, J. J. Tzou, R. Cheung, and H. Chan, "Temperature dependence of latch-up characteristics in LDD CMOS devices," *IEEE Electr. Dev. Lett.*, vol. EDL-7, pp. 92–94, 1986.
- [9] C. Yao, J. Tzou, R. Cheung, and H. Chan, "Temperature dependence of CMOS reliability," in *Proc. IEEE IRPS*, 1986, pp. 175–182.
- [10] S. S. Rofail and M. I. Elmasry, *IEEE Trans. Electr. Dev.*, vol. 40, pp. 169–178, 1993.
- [11] R. R. Troutman, *Latchup in CMOS Technology*. Boston, MA: Kluwer Academic, 1986.
- [12] S. H. Voldman, *Latchup*. West Sussex, U.K.: Wiley, 2007.
- [13] R. C.-Y. Fang and J. L. Moll, "Latchup model for the parasitic p-n-p-n path in bulk CMOS," *IEEE Trans. Electr. Dev.*, vol. 31, pp. 113–120, 1984.
- [14] G. Bruguier and J.-M. Palau, "Single particle-induced latchup," *IEEE Trans. Nucl. Sci.*, vol. 43, pp. 522–532, 1996.
- [16] L. Deferm, E. Simoen, B. Dierickx, and C. Claeys, "Anomalous latch-up behavior of CMOS at liquid helium temperatures," *Cryogenics*, vol. 30, pp. 1051–1055, 1990.
- [17] E. A. Guttierrez-D., M. J. Deen, and C. Claeys, *Low Temperature Electronics: Physics, Devices, Circuits, and Applications*. New York: Academic Press, 2001, pp. 274–318.
- [20] H. Iwata and T. Ohzone, "Numerical simulation of single event latchup in the temperature range of 77–450 K," *IEEE Trans. Nucl. Sci.*, vol. 42, pp. 148–154, 1995.
- [25] E. Simeon, B. Dierickx, L. Deferm, C. Claeys, and G. Declerck, "The charge transport in a silicon resistor at liquid-helium temperatures," *J. Appl. Phys.*, vol. 68, pp. 4091–4099, 1990.

3.2.9 シャロートレンチアイソレーションにおける低ドーズレート効果

文献名	Low Dose Rate Effects in Shallow Trench Isolation Regions
出典	EEE Transaction on Nuclear Science, Vol 57, No.6, pp. 3279-3287, Dec. 2010.
著者名	A. H. Johnston, Fellow, IEEE, R. T. Swimm, Member, IEEE, and T. F. Miyahira
対象デバイス	CMOS, 250nm, 90nm, TSMC 製
実験設備	—
照射線種及びエネルギーの区分	X線 (10-keV) Co-60 ガンマ線
単発現象又は積算線量効果の区分	積算線量効果
実験又は理論の区分	実験

(1) 要約

本論文はシャロートレンチアイソレーションに対するドーズレート効果の研究であり、筆者らは高ドーズレートの場合と比較して低ドーズレートにおけるダメージ増加を確認した。また、3次元モデルのプログラムを用いて、トレンチにて電界を減らすのに十分な電荷が存在する場合、トレンチ領域のより深い部分で電荷捕捉が発生することを示した。

Index Terms: CMOS, modeling, radiation effects, shallow trench isolation (STI), total dose.

(2) 序論

微細化する CMOS デバイスにおいて、トレンチ酸化膜 (Shallow Trench Isolation, STI) 界面における反転は、STI 領域で発生した電荷によって引き起こされ、これらの電荷はドレイン-STI 境界で収集される。この電荷が収集される横方向の距離は、桁数にして 100nm である[2]。これはゲート酸化膜中の電界よりは小さく、バイポーラ酸化膜における電界よりは大きい電界によって引き起こされる。また、トレンチに隣接したシリコン領域での反転は、界面トラップではなく、捕捉ホールによって引き起こされる。

本論文は電荷輸送と電荷捕捉に大きな影響を及ぼすトレンチ分離領域の形状に関する研究であり、電荷輸送と捕捉の解析には Synopsys のプログラムによる 3次元モデルを用いている。

(3) トレンチアイソレーション反転

(a) 概要

筆者らは P-well による絶縁領域と NMOS トランジスタを囲む、シャロートレンチの界面に沿って生成される捕捉ホールによるドレインからソースの側部のリークパスについて検討した。図 3.2.9-1 にそのリークパスを示す。

0.5 μm プロセスによるデバイスを用いた初期の研究では、約 10krad (SiO_2) の照射で反転が確認

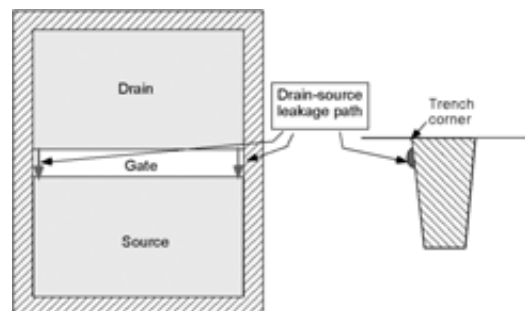


図 3.2.9-1. NMOS トランジスタにおける放射線照射によるドレインからソースへのリークパス模式図

された。また、同様のサイズにおけるデバイスの LOCOS (local oxidation of silicon) 絶縁領域では、より低いドーズ量で反転することが確認されている[4]。さらに、より微細化されたデバイスを用いた研究で、反転閾値はより高いことが示されたが、基本的な原因は解明されていない。

(b) トレンチ形状

トレンチ領域の幅は一般的に加工寸法とともに縮小する。典型的には、最小チャンネル長の2倍である。横方向電荷収集はトレンチから酸化側壁にて発生する。ゲートに覆われた表層からトレンチ側壁に至る電気力線はほぼ 1/4 円の形状である。電荷収集はトレンチ内部の横方向距離にして 100nm までおよぶ。ゲート酸化膜と異なり、トレンチ内部での電界は STI コーナーからの距離が増えるに従い変化する。これは STI における電荷の捕捉と収集のモデルにおいて考慮しなければならない。

トレンチの厚さはデバイスの微細化と関連性が低く、ITRS のロードマップはプロセスルールが 250nm から 60nm に縮小したときに 380nm から 290nm まで縮小することを示している。また 1990 年代後半の STI 技術はトレンチの底でチャンネルストップとして用いられてきたが、現在のデバイスではウェル内で高濃度のドーピングを行うため、チャンネルストップは用いられていない。

Shaneyfelt らによる 0.5 μm デバイスを用いた初期の研究において、トレンチのコーナー領域における電荷収集の重要性が説かれたが、微細化されたデバイスにおいてその重要性は薄れている。これはノッチ寸法が微細化に伴い縮小しているためである[2]。またトンネリング効果により、STI 境界から 4nm より近傍にトラップされている電荷は除去される(これについては後述する)。

(c) 電圧依存性

トレンチ反転は照射中の印加電圧に強く依存する。図 3.2.9-2 に TSMC 製 0.25 μm プロセスにおける放射線照射後のドレインソース間のリーク電流を示す。図 3.2.9-2 から、次の 3 点が明らかである。第一に、電圧が高い方から 3 つの条件において、反転の閾値は印加電圧に反比例する。第二に、これら 3 条件において、リーク電流は閾値に到達すると急激に増加するが、さらに高いトータルドーズ量まで照射を行うと増加が小さくなる。第三に、 $V_{GS}=0V$ で照射を行った場合、反転は 500krad (SiO_2) の照射後でも発生しない。

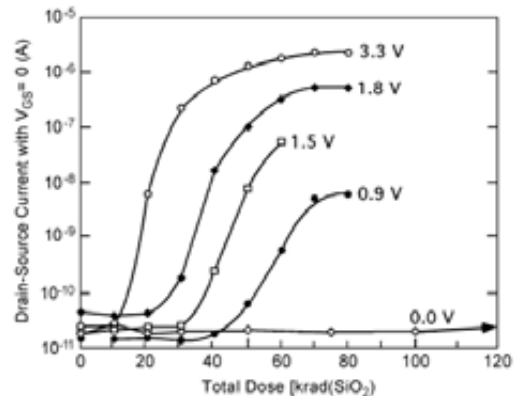


図 3.2.9-2. ドレインソース間リーク電流のトータルドーズ量依存性

(4) 実験結果

(a) サンプル

実験に用いられたサンプルは TSMC 製 0.25 μm CMOS プロセス、コア電圧 1.8V のデバイスである。ゲート酸化膜厚は 4.1nm、チャンネル長は 0.18 μm 、チャンネル幅は 3.6 μm である。評価トランジスタのドレイン電流のノミナル飽和値は 140 μA である。On/Off 比率の判定値は 10^4 であり、リーク電流は 20nA である。

(b) 放射線試験

Co-60 ガンマ線を用いて、高ドーズレート[50-100rad(SiO₂)/s]、中ドーズレート[0.1rad(SiO₂)/s]、低ドーズレート[0.01rad(SiO₂)/s]で照射を行い、照射ステップ毎に I-V 特性の測定を行った。照射間に行われる測定に要した時間は約 20 分である。さらに追加評価として 10-kV X 線照射を行った。なお全ての試験は常温 (22°C) で行った。

(c) 低ドーズレートにおける試験結果

図 3.2.9-3 に二つのドーズレートによる実験結果を示す。ドーズレート依存性は二つの放射線条件で全く異なる結果を示している。0.1rad(SiO₂)/s における反転は高ドーズレートのトータルドーズレベルの半分で発生している。反転は低ドーズレートで照射した際に低いドーズレベルで始まるが、高ドーズレートの場合の結果と比較して、10nA 以降増加の傾きが減少する。この電流値は前述した 10⁴:1 の比率と一致する。このように、ドーズレート依存性の意義はデバイス性能評価に依存する。

ドーズレート依存性がさらに低いドーズレートまで継続しているのかを確認するため、さらに低ドーズレートでの追加評価を実施した。図 3.2.9-4 に照射レート 0.1 rad(SiO₂)/s と 0.01rad(SiO₂)/s による試験結果比較を示す。最初の反転が発生するトータルドーズは 0.01rad(SiO₂)/s のほうが 20%小さい。これはドーズレート依存性が飽和傾向にあることを示している。

(d) 10kV X 線による試験結果

Co-60 のドーズレートと等しい 100rad(SiO₂)/s で 10-kV X 線照射を行い、両者を比較した結果を図 3.2.9-5 に示す。サンプルは 0.25μm プロセスによるトランジスタである。その結果、ドレイン電流値が小さい領域では、同じ電流値に到達するのに X 線の方が 30~40%高い照射量を必要とすることが確認された。一方、STI 反転の研究の多くは 10-kV X 線でのみ評価されている[7]-[9]。よって、今回得られた結果はこれまでの研究による STI CMOS の放射線耐性は過大評価されている可能性があることを示唆している。

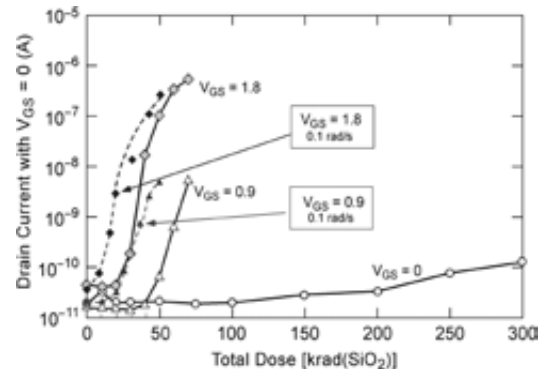


図 3.2.9-3. 低ドーズレートと高ドーズレートによる照射結果比較

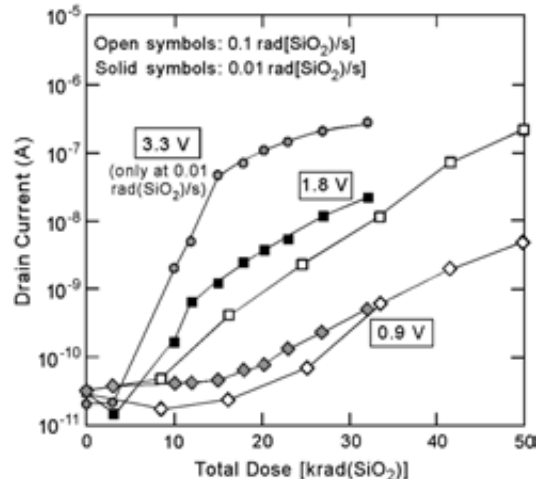


図 3.2.9-4. 照射レート 0.1 rad(SiO₂)/s と 0.01rad(SiO₂)/s による照射結果比較

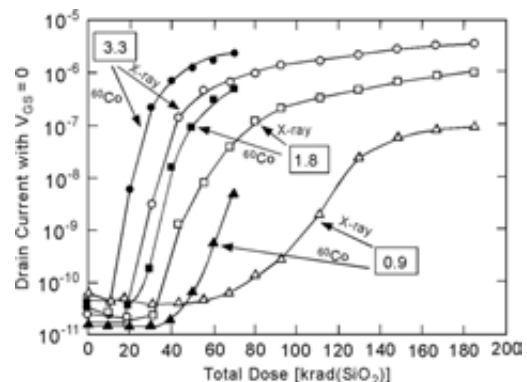


図 3.2.9-5. Co-60 と X 線による照射結果比較

Co-60 と 10-kV X 線によるダメージの比較には、SiO₂ 層における様々な深さでの線量増加を含め、多くの複雑な点がある[10]-[12]。これらは X 線と Co-60 ガンマ線の評価結果の正確な比較を困難にしているが、両者に見られる差異は酸化膜電界 0.1MV/cm と 1MV/cm における電荷収率の差にほぼ一致する[13]。図 3.2.9-5 の結果の重要性は X 線による反転では、高いトータルドーズ量が必要なだけでなく、高いドーズ量において同量の Co-60 の結果と比較して緩やかなリーク電流の増加が見られることである。

(e) アニール効果

バイポーラデバイスと異なり、CMOS デバイスは比較的短時間でアニールされる。図 3.2.9-6 に 50krad (SiO₂) の照射を行った 0.25 μ m プロセスによるトランジスタ(STI) のドレインリーク電流の測定結果を示す。同様に 150krad (SiO₂) の照射を行った類似デバイス(STI) の結果も示す。さらに従来の LOCOS フィールド酸化膜による、二種類のゲート酸化膜の過去の結果[14]も示している。

図 3.2.9-6 におけるリーク電流を示す縦軸は、STI の結果にのみ適用される。他酸化膜におけるアニール効果を示す縦軸は、酸化膜の種類に応じて、ゲート閾値電圧または、フラットバンド電圧を用い、STI との比較評価を行った。このような違いがあるが、50krad(SiO₂) で照射された STI のアニリングの結果は、フィールド酸化膜の結果とほぼ重なることが確認された。

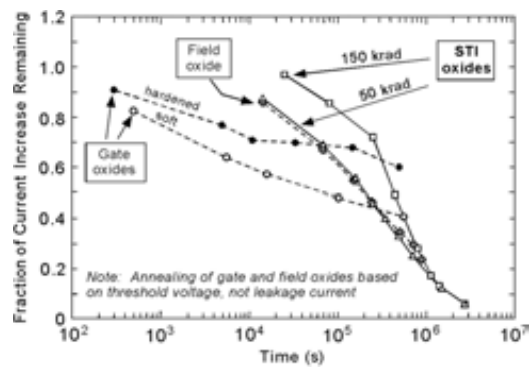


図 3.2.9-6. STI 構造におけるリーク電流のアニール特性

(5) コンピュータモデリング

(a) 基本的考察

Synopsys のような 3 次元デバイスモデリングプログラムは有効であるが、必ずしもトータルドーズによる劣化の検討に必要な機能を含んでいない。また、微細化したデバイスで計算を収束させることが重要な実用上の問題として存在する。

このような問題点はあるが、3 次元モデルではセグメント化したトランジスタによって、トレンチ領域に沿った精度の高い横方向電流の計算が可能である。3 次元モデルは捕捉電荷によって大きく変化する、STI 内部電界の捕捉電荷による影響も評価可能である。

今回の研究において、電荷輸送とホール収率は Synopsys プログラムに直接組み込まれている。ホールの移動は、界面における捕捉ホールのデフォルト値を用いて、SiO₂ 中のホールの移動度によって決定される。

図 3.2.9-7 にトレンチ領域内の単純化した等電位線を示す。トランジスタの活性領域の深さは数 nm である

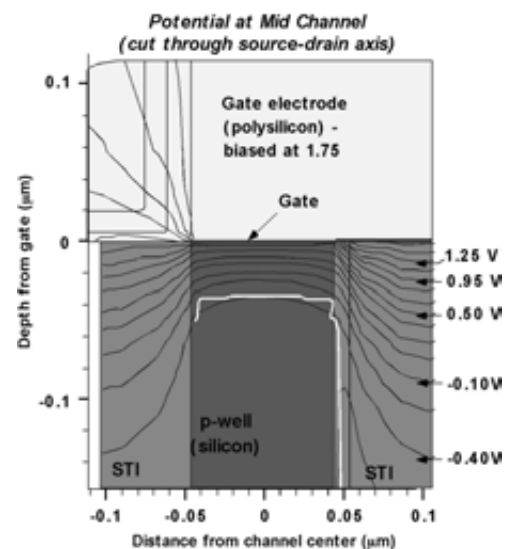


図 3.2.9-7. 0.25 μ m プロセスにおけるトランジスタの等電位線模式図

が、隣接する STI 領域内にて横方向に伸びる等電位線は、それらがフラットになるまでに 100nm 以上の距離が必要となる。

電気力線(等電位線に垂直)はおおよそ 1/4 円である。ゲートに 1.75V 印加し、等電位線に沿った電界は表面から 10nm 下の位置にて 1.1MV/cm で、表面から 100nm 下の位置にて 0.11MV/cm となる。

このモデルにおいて弱電界での初期の再結合はトレンチ領域から横方向の広がりにおける電荷収集を決定する重要な入力情報となる。筆者らは Benedetto らが収集したオリジナルデータに手を加えて、再結合曲線を図 3.2.9-8 のように求めた。

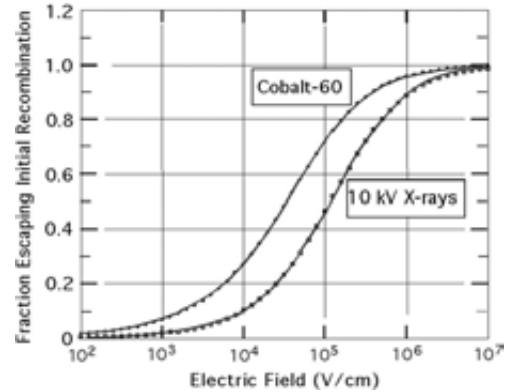


図 3.2.9-8. Co-60とX線による再結合特性

(b) STI 内部の電気力線

放射線照射の間、STI とウェル領域間の境界沿いにおいて徐々に増加していく捕捉電荷のため、電位線(ポテンシャルライン)は変化する。しかし、STI 反転に関する多くの研究は、一定の表面電荷密度を仮定し、電界に及ぼす電荷補足の影響と同様に、電荷輸送に及ぼす STI 内の電気力線の影響を考慮せずにいる。

筆者らのこれまでの STI 反転に関する研究は、1/4 円の等電位線がトレンチ境界まで延びる単純なモデルを用いている[2]。図 3.2.9-9 は、0.25 μ m プロセスにおけるホールの移動に影響する電気力線の形状を示すものである。図 3.2.9-9 は照射前の状態を示すが、照射中に捕捉電荷が蓄積されることによる電気力線の変化を考慮していない。

電荷の収集と輸送のモデルは最表面から下方へいくに従い電荷密度は変化するということを考慮しなければならない。0.25 μ m デバイスにおいて、最大の電荷捕捉は STI-ゲートの角付近の下方約 35nm で発生する[2]。

本論文では反転するためにはより高いトータルドーズレベルが必要で、わずかな電流増加のみ確認されている、先端プロセス(90nm) に対してこのモデルを適用した。90nm プロセスにおける最大ゲート電圧は 1.2V で、I/O 電圧 2.5V である。

10⁵rad (SiO₂)/s の照射後の 90nm プロセスによるトランジスタの等電位線を図 3.2.9-10 に示す。これらは図 3.2.9-7 同様、1/4 円の特性を保つが、STI コーナーから 20nm 以上離れた位置から境界沿いに異なる状態を示す。

捕捉電子の影響による変化は、電界を調査することでより明らかになる。その調査結果を図 3.2.9-11 に結果を示す。電界のピーク値は 0.46MV/cm であり、かつ広範囲に広がっている。等電位線は 1/4 円を示すが、界面付近の電界は高く、境界付近の電界をより小さな値にまで減少させる。これがトータルドーズ量の高い場合に STI 界面のより下方領域に捕捉電子が広がっている理由である。

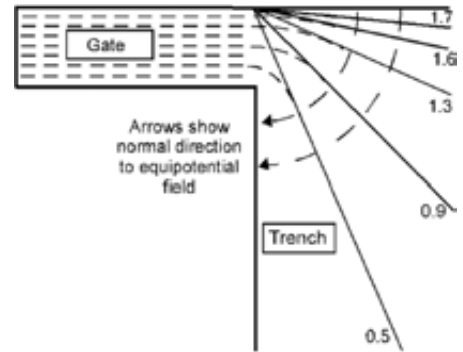


図 3.2.9-9. 0.25 μ m プロセスにおける単純化した電界線モデル

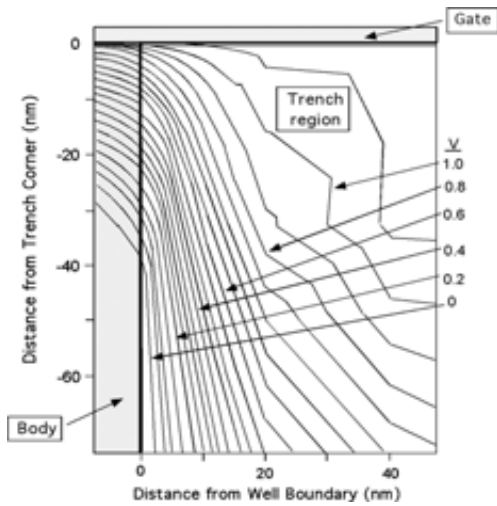


図 3.2.9-10. 90nm におけるトレンチ境界での等電位線 ($10^5\text{rad}(\text{SiO}_2)$ 照射後)

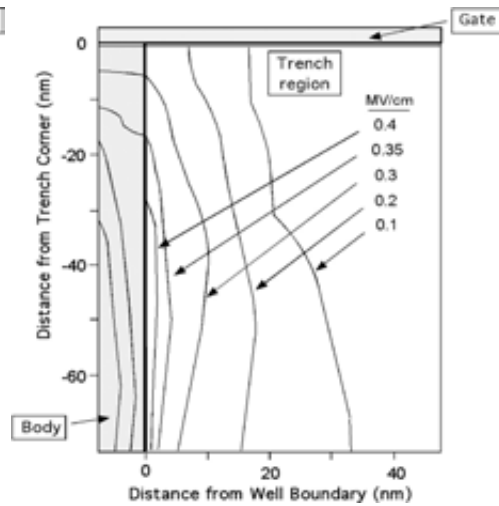


図 3.2.9-11. 90nm におけるトレンチ境界での電界線 ($10^5\text{rad}(\text{SiO}_2)$ 照射後)

(c) 捕捉ホールの位置

図 3.2.9-12 にトータルドーズ量 $3 \times 10^4 \text{rad}(\text{SiO}_2)$ における、捕捉ホールのピーク位置を示す。シミュレーションには Co-60 の再結合の値を用いた。最大電荷密度は $1.6 \times 10^{17} \text{cm}^{-3}$ 、STI コーナーの 5nm 下方に位置する。さらにゲートや STI 境界面に近い箇所はトンネリングのため、どちらも電荷密度が低くなっている。コーナーから 25nm 下方の位置において捕捉密度は $1.2 \times 10^{17} \text{cm}^{-3}$ であり、ピーク値の 2/3 である。このように、比較的低いトータルドーズレベルであっても、電荷はトランジスタの活性領域のはるか下方へ押しやられる。

再結合モデルを 10-keV X 線の実験結果と一致するよう変更した結果、シミュレーション結果は図 3.2.9-13 に示すように全く異なる結果となった。STI コーナーからトンネリングの距離を置いた位置で、最大捕捉密度は $1.1 \times 10^{17} \text{cm}^{-3}$ である。コーナー領域から 25nm 下方の捕捉密度は、 $6.6 \times 10^{16} \text{cm}^{-3}$ であり、ピーク値の約 1/2 である。

Co-60 によるトータルドーズ $10^4 \text{rad}(\text{SiO}_2)$ シミュレーションの再結合モデル(図 3.2.9-12)では、大部分の捕捉電荷が STI コーナーの近傍にあることを示す。

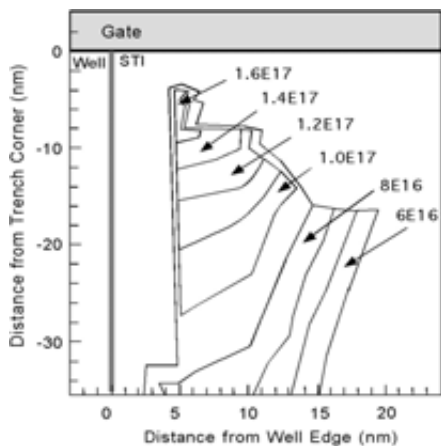


図 3.2.9-12. Co-60 照射時の 3 次元シミュレーションによる捕捉ホール密度

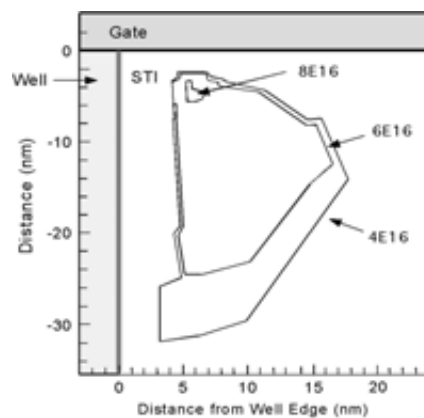


図 3.2.9-13. X 線照射時の 3 次元シミュレーションによる捕捉ホール密度

(6) 考察

(a) 微細化と STI 反転

STI 構造にて反転を引き起こすために必要なトータルドーズ量は、ノード寸法が減少すると増加することが、いくつかのプロセスにおける実験結果でこれまでに示されている。反転特性を決定するのは次の二つである。第一に、上述した通り、30krad(SiO₂)以上のトータルドーズ量で全く状態が異なる電荷捕捉の分布である。捕捉ホールの分布の変化は多くの電荷を STI 構造のより深い位置で捕捉させ、リーク電流に対する影響を減少させる。そして、より高いトータルドーズレベルで STI 反転が起こるノード寸法に対して、リーク電流のドーズ量依存性を拡張している。

第二の要因は、反転に必要な電荷量である。ITRS ロードマップはウェルのドーピングレベルをゲート長 150nm で $2 \times 10^{17} \text{cm}^{-3}$ からゲート長 50nm 以下で $2 \times 10^{18} \text{cm}^{-3}$ に増加することを示している。フィールド酸化膜の反転に必要な電荷量はドーパ密度の二乗根に比例する。従って、上記ゲート長の範囲で反転に必要なトータルドーズ量は 3 倍に増える。このことから、130nm ノードのデバイスが 90nm ノードのデバイスより約 2 倍高い 50krad(SiO₂)のトータルドーズ量で反転したことを説明できる。

(b) ELDRS 効果との比較

STI プロセスにおける反転は界面トラップではなく、捕捉ホールによって引き起こされる。界面領域で捕捉される電荷はトレンチ内で横方向に広く収集されるが、電荷の輸送は正バイアス状態のみ起こる(図 3.2.9-2 参照)。STI 反転において、界面捕捉は部分的に起因するが、バイアス依存性は明らかに ELDRS と異なっている。

二つ目の違いはアニーリングである。ELDRS にセンシティブなデバイスのほとんどは、数か月の期間をおいても室温においてアニーリングはほとんど起きない。

一方、STI 構造では大きなアニーリングが起こる。図 3.2.9-6 において、照射 1 か月後にはダメージは約 10%しか残っていない。10mrad(SiO₂)/s のドーズレートの場合、反転を起こすトータルドーズ量に到達するには 1 か月以上必要である。しかし、筆者らはドーズレート 100mrad(SiO₂)/s と比較して 10mrad(SiO₂)/s でより大きいダメージを確認した。これはアニーリングによる損傷回復を相殺するほどドーズレート依存性が大きいということを示している。

三つ目の違いは、効果の大きさの違いである。バイポーラデバイスにおいて低ドーズレートにおけるダメージは高ドーズレートの 10 倍以上になる場合がある。筆者らがこれまで研究してきたデバイスにおいて、反転を起こした時のトータルドーズ値で、ダメージは 2 倍である。

(c) 低ドーズレートにおけるダメージの増加のメカニズム

これまでに 3 つのメカニズムが考察されてきている。第一に低ドーズレートでは放射線によって生成されるホールが低密度であるため、弱電界の再結合は減少する可能性がある。弱電界において減少した再結合は電荷の捕捉量を増加するというモデルの結果は示している。およそ 0.1MV/cm の電界における低い再結合率(高い電荷収率)はダメージの増加を説明できる。

第二に、電界線は単純なゲートやキャパシタと異なり、STI 領域で強く非対象となる。この非対象は界面において電荷を集める領域を変え、電荷輸送に影響する可能性がある。初期には STI 領域のエッジ部で電荷は増加したが(注:図 3.2.9-12、図 3.2.9-13 が示すように、コーナーから 4nm

以内はトンネリングにより電荷は減少している)、照射を延長していくと界面で電荷が増加するので非対称性は変化する可能性がある。

第三に、厚い酸化膜中における電荷輸送は複合的な問題である。固定電荷量は恒常的な照射中の再結合によって減少する可能性があり、それはダメージ増加のメカニズムとして可能性があるが、このメカニズムは現在の 3 次元モデルでは説明されていない。

(d) ダメージ増加の実用への影響

低ドーズレート条件では、イベントが成立するには長期間が必要であり、アニーリングは STI 反転の重要性を減少させるであろう。しかし、恒常的に照射を受ける状態でのアプリケーションにおいては、低ドーズレートでの反転に対する感度の増加は重要であり、デバイスの放射線許容レベルを低下させる。

STI 反転はホールのトラップによって起こる。しかし、現在のトータルドーズテストの標準 (MIL-STD-883, Method 1019) は、低ドーズレートの試験に関して界面トラップが支配的なメカニズムが反映され作られた。界面トラップは、筆者らの実験ではリークパスの形成はされず、正ゲート電圧のシフトという結果になる(これはモデリングの総合的な結果によって支持されている)。従って、試験標準は STI 領域でのドーズレート効果を明確にして修正されなければならない。

筆者らが評価した $0.25\mu\text{m}$ プロセスにおいて、ドーズレート依存性は $0.01\text{rad}(\text{SiO}_2)/\text{s}$ まで続き、これはバイポーラデバイスのもので比較できるドーズレートでのテストが要求されることを意味する。

幸い、リークのメカニズムは、バイポーラデバイスにおけるゲインの劣化に比べてはるかに理解しやすい。さらに、効果の大きさはバイポーラの場合と比較して大変小さい。このことは、高ドーズレートのデータに単純なディレーティングファクターを適用することで、ドーズレート依存性の取り扱いを許容可とする可能性がある。また X 線と Co-60 の違いによる結果は同様に重要であり、X 線での試験結果で品質保証をしている耐放射線強化デバイスにおいて注意する必要がある。

(7) 結論

本論文は低ドーズレートと高ドーズレートの照射結果を比較し、トレンチアイソレーション構造を含む CMOS デバイスにおいて、反転するのに必要なトータルドーズ量に顕著な違いがあることを示した。この効果は照射中に電界印加される場合に生ずる。そして、それは ELDARS のメカニズムとは明らかに異なる。

その効果のメカニズムはまだ決定していないが、低ドーズレート条件における電荷収率の増加から、説明することができる。あるいはホール輸送に長時間が必要であることから、増加した再結合がこの効果を引き起こす可能性も考えられる。STI プロセスに対するこれらのメカニズムの調査のために、更なる研究が必要である。

コンピュータモデリングは次のことを示す。捕捉電荷領域のピークはゲートの直下にある。そして、捕捉電荷による局所的な電界のため、捕捉電荷の位置は境界の内側深くに徐々に形成される。宇宙用途において、アニーリングとダメージ増加の相互作用はトータルの影響を決定するので重要である。10kV X 線の結果は予想を上回り、STI 構造は 2 倍を超える耐放射線性を示している。この結果は STI リークが支配的なメカニズムである先端 CMOS に対する放射線試験方法と耐放射線の品質保証について考察が必要なことを示している。

(8) 調査委員の所見

STI の TID 耐性を評価する上で考慮すべき点として以下が示されたと考える。①強いバイアス依存性がある(特に、無バイアス時にリーク電流の増加は見られない)。②低ドーズレートでの照射時にダメージが大きくなる。③ELDRS 効果と異なり、顕著なアニーリング効果を示すことを考慮しなければならない。④X線とCo-60の違いにより、反転にいたるTID量が異なることから、評価時の照射線源の選択を適切に行わなければならない。

低ドーズレートでダメージが増加するモデルの確立については更なる研究を要する。

参考文献

- [1] R. L. Pease, "Total ionizing dose effects in bipolar devices and circuits," *IEEE Trans. Nucl. Sci.*, vol. 50, no. 3, pp. 539–551, Jun. 2003.
- [2] A. H. Johnston, R. T. Swimm, G. R. Allen, and T. F. Miyahira, "Total dose effects in CMOS trench isolation regions," *IEEE Trans. Nucl. Sci.*, vol. 56, no. 4, pp. 1941–1949, Aug. 2009.
- [3] S. C. Witzak, R. C. Lacoce, J. V. Osborn, J. M. Hutson, and S. C. Moss, "Dose-rate sensitivity of modern nMOSFETs," *IEEE Trans. Nucl. Sci.*, vol. 52, no. 6, pp. 2602–2608, Dec. 2005.
- [4] M. R. Shaneyfelt, P. E. Dodd, B. L. Draper, and R. S. Flores, "Challenges in hardening technologies using shallow-trench isolation," *IEEE Trans. Nucl. Sci.*, vol. 45, no. 6, pp. 2584–2592, Dec. 1998.
- [5] ITRS Roadmap, 2007. [6] M. Simons, R. L. Pease, D. M. Fleetwood, J. R. Schwank, M. F. Krzesniak, T. L. Turflinger, J. Buaron, L. C. Riewe, W. T. Kemp, P. W. C. Duggan, A. H. Johnston, M. C. Wiedeman, R. E. Mills, A. G. Holmes-Siedle, L. M. Cohn, H. J. Doane, and W. H. Lohmeier, "Commonsource TID and RADFET characterization of Co-60, Cs-137, and x-ray irradiation sources," in *Proc. Radiation Effects Data Workshop*, 1997, pp. 28–34.
- [7] G. Niu, S. J. Mathew, G. Banerjee, J. D. Cressler, S. D. Clark, M. J. Palmer, and S. Subbanna, "Total dose effects on shallow trench isolation leakage currents in a 0.35 μ m SiGe BiCMOS technology," *IEEE Trans. Nucl. Sci.*, vol. 46, no. 6, pp. 1841–1847, Dec. 1999.
- [8] M. McLain, H. J. Barnaby, K. E. Holbert, R. D. Schrimpf, H. Shah, A. Amort, M. Baze, and J. Wert, "Enhanced TID susceptibility in Sub-100 nm bulk CMOS I/O transistors and circuits," *IEEE Trans. Nucl. Sci.*, vol. 54, no. 6, pp. 2210–2217, Dec. 2007.
- [9] B. Jun, R. M. Diestelhorst, M. Bellini, G. Espinel, A. Appaswamy, A. P. G. Prakash, J. D. Cressler, D. Chen, R. D. Schrimpf, D. M. Fleetwood, M. Turowski, and A. Raman, "Temperature dependence of offstate leakage current in x-ray irradiated 130 nm CMOS devices," *IEEE Trans. Nucl. Sci.*, vol. 53, no. 6, pp. 3203–3209, Dec. 2006. JOHNSTON *et al.*: LOW DOSE RATE EFFECTS IN SHALLOW TRENCH ISOLATION REGIONS 3287

- [10] C. M. Dozier, D. M. Fleetwood, D. B. Brown, and P. S. Winokur, "An evaluation of low-energy x-ray and cobalt-60 irradiation of MOS transistors," *IEEE Trans. Nucl. Sci.*, vol. 34, no. 6, pp. 1535–1539, Dec. 1987.
- [11] J. M. Benedetto and H. E. Boesch, Jr., "The relationship between ^{60}Co and 10-keV x-ray damage in MOS devices," *IEEE Trans. Nucl. Sci.*, vol. 33, no. 6, pp. 1318–1323, Dec. 1986.
- [12] J. R. Schwank, M. R. Shaneyfelt, P. E. Dodd, V. Ferlet-Cavrois, R. A. Loemker, P. S. Winokur, D. M. Fleetwood, P. Paillet, J.-L. Leray, B. L. Draper, S. C. Witzak, and L. C. Riewe, "Correlation between Co-60 and x-ray radiation-induced charge buildup in silicon-on-insulator buried oxides," *IEEE Trans. Nucl. Sci.*, vol. 47, no. 6, pp. 2175–2182, Dec. 2000.
- [13] T. R. Oldham and F. B. McLean, "Total ionizing dose effects in MOS oxides and devices," *IEEE Trans. Nucl. Sci.*, vol. 50, no. 3, pp. 483–499, Jun. 2003.
- [14] T. R. Oldham, A. J. Lelis, and F. B. McLean, "Spatial dependence of trapped holes determined from tunneling analysis and measured annealing," *IEEE Trans. Nucl. Sci.*, vol. 33, no. 6, pp. 1203–1209, Dec. 1987.
- [15] M. Turowski, A. Raman, and R. D. Schrimpf, "Nonuniform total-dose-induced charge distribution in shallow-trench isolation oxides," *IEEE Trans. Nucl. Sci.*, vol. 51, no. 6, pp. 3166–3171, Dec. 2004.
- [16] H. E. Boesch, Jr., F. B. McLean, J. M. Benedetto, J. M. McGarrity, and W. E. Bailey, "Saturation of threshold voltage shift in MOSFETs at high total dose," *IEEE Trans. Nucl. Sci.*, vol. 33, no. 6, pp. 1191–1197, Dec. 1986.
- [17] D. M. Fleetwood, L. C. Riewe, J. R. Schwank, S. C. Witzak, and R. D. Schrimpf, "Radiation effects at low electric fields in thermal, SIMOX, and bipolar base oxides," *IEEE Trans. Nucl. Sci.*, vol. 43, no. 6, pp. 2537–2546, Dec. 1996.
- [18] D. M. Fleetwood, R. D. Schrimpf, S. T. Pantelides, R. L. Pease, and G. W. Dunham, "Electron capture, hydrogen release and ELDRS in bipolar linear devices," *IEEE Trans. Nucl. Sci.*, vol. 55, no. 6, pp. 2986–2991, Dec. 2008.
- [19] R. L. Pease, R. D. Schrimpf, and D. M. Fleetwood, "ELDRS in bipolar linear circuits: A review," *IEEE Trans. Nucl. Sci.*, vol. 56, no. 4, pp. 1894–1908, 2009.
- [20] H. E. Boesch, Jr. and F. B. McLean, "Hole trapping and transport in field oxides," *IEEE Trans. Nucl. Sci.*, vol. 32, no. 6, pp. 3940–3945, Dec. 1985.

3.2.10 プロトンにより誘発された製造工程に依存した GaN HEMT の劣化

文献名	Process Dependence of Proton-Induced Degradation in GaN HEMTs
出典	IEEE Transaction on Nuclear Science, Vol 57, No.6, Dec 2010, pp.3060-3065
著者名	Tania Roy, En Xia Zhang, Yevgeniy S. Puzyrev, Daniel M. Fleetwood, Ronald D. Schimpf, Bo K. Choi, Anthony B. Hmelo, and Sokrates T. Pantelides
対象デバイス	AlGaIn/GaN HEMTs
実験設備	HVE AN-2000 Van de Graff
照射線種及びエネルギーの区分	Proton 1.8MeV
単発現象又は積算線量効果の区分	積算線量効果
実験又は理論の区分	実験

(1) 概要

1.8MeV のプロトン照射による応答を Ga リッチ、N リッチ (N₂ を N の供給源としている)、NH₃ リッチ (NH₃ を N の供給源としている) で成長した AlGaIn/GaN HEMT で比較した。NH₃ リッチで成長した素子は Ga リッチ、N リッチで成長した素子よりもプロトン照射の影響を受けやすい。素子の 1/f 雑音はフルエンスの増加に伴い増える。密度汎関数理論では、N 空孔と Ga-N の 2 重空孔が素子内で雑音を増やすことを示している。

Index Term : 1/f 雑音、AlGaIn/GaN、劣化、HEMT、プロトン

(2) 序論

AlGaIn/GaN の高電子移動度トランジスタ(HEMT)は、高い破壊耐圧、キャリア移動度の高さ、GaN の広いバンドギャップのおかげで、高電力、高周波製品に実用化されている。プロトンが誘発した GaN HEMT の劣化に関するこれまでの研究のほとんどが、放射線耐性に問題あることを示している。ある実験では、DC 電流と相互コンダクタンスが 1.8MeV のプロトン 10¹⁴ p⁺/cm² のフルエンスに対して、各々 60%、70% まで劣化した[1]。そのフルエンスは、最も過酷な宇宙システムで受ける量よりも高い。他の GaN HEMT でもフルエンス 10¹⁴ cm⁻² まで 1.8MeV のプロトン照射することで DC 特性に微小な変化が発生することが報告されている[2]-[4]。本研究では、3 つの異なる条件下で成長した GaN HEMT に 1.8MeV のプロトンで放射線照射をした。すべての素子は、分子線エピタキシー(MBE)を使用して成長させた。素子は Ga リッチ、N リッチ、NH₃ リッチの条件下で成長させた。Ga リッチ成長は通常エピ表面の出来栄を滑らかにする。一方で、N リッチ成長は結晶の欠陥密度を下げる。アンモニアは結晶欠陥を低減しながら、高温、高レートでエピを成長させる窒素源として利用されている。

Ga リッチ、N リッチの素子においては、ホットキャリアストレスにより V_{pinch-off} がプラス側にシフトする。一方、NH₃ リッチの素子は、マイナス側に V_{pinch-off} がシフトする。この 3 種類の素子への放射線照射効果を研究することは、興味深い。そこで我々は、上記の異なる 3 条件で成長した GaN HEMT の放射線照射への応答を比較した。1.8MeV プロトン照射(フルエンス 10¹⁴cm⁻²)の結果より、Ga リッチおよび N リッチ素子は、NH₃ リッチ素子に比べて放射線耐性が高いことがわかった。3 種類いずれの製造方式でも、低周波雑音は変位損傷誘起により、プロトンのフルエンスと共に増加した。

この欠陥の性質は、密度汎関数理論によって調査できる。つまり、N 空孔と Ga-N の 2 重空孔の組成と一致する結果となった。

(3) 実験

AlGaIn/GaN HEMT は、カリフォルニア大学サンタバーバラ校において、SiC 基板上に MBE を使って AlGaIn/GaN のヘテロ構造層を成長させて製造した。GaN と AlGaIn 層の MBE 成長は、(i)GaN リッチ、(ii)N リッチ、(iii)NH₃ リッチの環境で製造した。素子のゲート長は、0.7 μ m、Lgd=1.2 μ m、Lgs=0.7 μ m である。また、ゲート幅は 150 μ m である。素子は HVE AN-2000 Van de Graff 加速器を使って、10¹⁴cm⁻²のフルエンスで 1.8MeV プロトンを照射した。照射時は全端子を接地した。照射の間に生成される欠陥を同定するために、低周波 1/f 雑音の測定は電流-電圧測定と同じく放射線の照射前後で実施した。少なくとも、各々の製造方式毎に 6 素子は放射線を照射し、検査を行った。

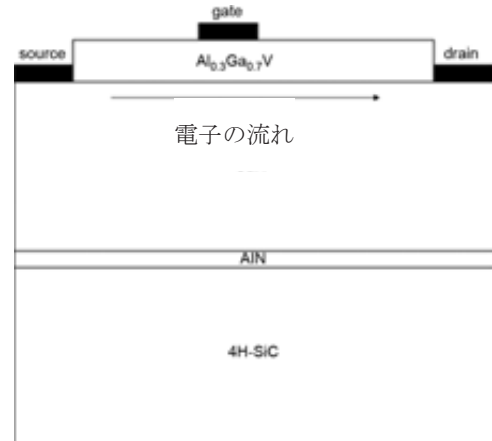


図 3.2.10-1. GaN/AlGaIn HEMT の断面図。窒化アルミニウム (AlN) の結晶層が 4H-SiC (六方結晶を単位構造とした SiC の多型結晶構造) 基板上に生成されている。

(4) 結果と考察

(a) 電氣的ストレスが誘発した劣化

Ga リッチ、N リッチ、NH₃ リッチの GaN/AlGaIn HEMT に V_{ds}=20V、ゲート電圧はピンチオフより高く設定し、ストレスを印加した。この時 3 種類の素子で同一の熱効果を維持するために、消費電力はすべて 3.3W/mm にした。ストレスとしてのゲート電圧は、ゲート-ドレイン端で高電界を生成するように選定した。図 3.2.10-2 に示すように、Ga リッチ、N リッチの素子では V_{pinch-off} の正のシフトが起き、NH₃ リッチ素子では V_{pinch-off} の負のシフトが起きる。Ga リッチ、N リッチ素子の V_{pinch-off} の正のシフトは、Ga 空孔の脱水素によるものでアクセプタライクトラップ濃度の増加を促す。NH₃ リッチ素子の V_{pinch-off} の負のシフトは、窒素と対を成す H が脱水素するためトラップ内の負の電荷を減少させる。我々は、プロトン照射が素子にどのような影響を与えるかを考察した。

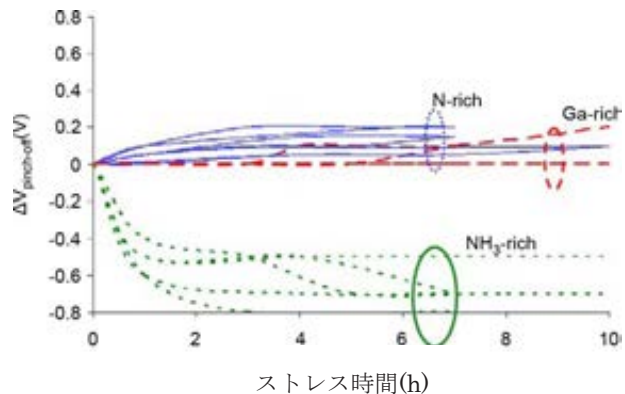


図 3.2.10-2. ストレス時間に伴った V_{pinch-off} の変化。文献[5]の試験後の結果

(b) DC特性

Ga リッチ、N リッチ、NH₃ リッチ条件下で成長した HEMT の Id-Vg 特性を、図 3.2.10-3 のように放射線の照射前後で示す。Ga リッチと N リッチ素子は、10¹⁴cm⁻²のフルエンスまでにピンチオフ電圧が正にシフトし、飽和電流が劣化する。アンモニアリッチの素子は、電流の変化とピンチオフ電圧の変化はかなり少ない。Ga リッチ、N リッチ素子がフルエンスの増加に伴ってピンチオフ電圧が正にシフトするのは、アクセプタライクトラップの生成を意味している。前回の報告で劣化の原因とな

る欠陥は、図 3.2.10-1 の HEMT の断面図に示すような AlGaIn 層で生成される[2]。飽和電流の減少は移動度の劣化で生じる。

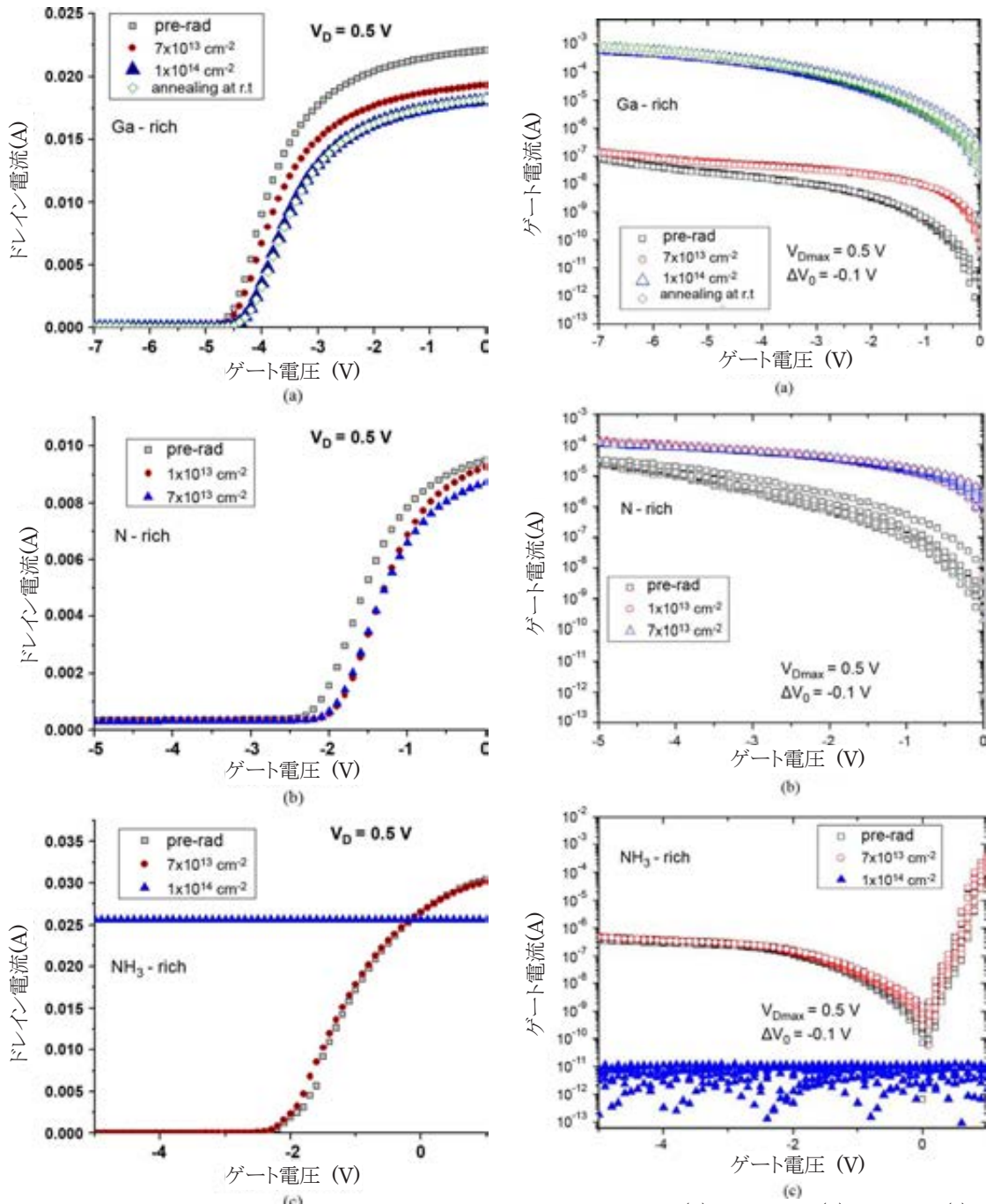


図 3.2.10-3. (a)Ga リッチ、(b)N リッチ、(c)NH₃ リッチ条件下で成長した素子の放射線照射前後の Id-Vg 曲線。図(a)の Ga リッチ素子については、室温で数週間アニーリングした後の遷移特性も示す。

図 3.2.10-4. (a)Ga リッチ、(b)N リッチ、(c)NH₃ リッチ条件下で成長した素子の放射線照射前後の Ig-Vg 曲線。図(c)のようにアンモニアリッチ素子は 10¹⁴cm⁻² のフルエンスの放射線を照射後、完全にゲートの制御を失っている。

図 3.2.10-4 は、放射線照射前後の Ga リッチ、N リッチ、NH₃ リッチの素子の Ig-Vg 特性示している。ゲートのリーク電流は、フルエンスの増加に伴って増える。これは過去にレポートされているように、ショットキーバリア障壁の低下が原因である。アンモニアリッチ素子では、10¹⁴cm⁻² のフルエンスで図 3.2.10-4(c)に示すように完全にゲートの制御を失う。このフルエンスで、ドレイン電流はゲー

ト電圧に対して一定となり、ゲート電流は測定系のノイズフロア以下に減少している。

図 3.2.10-3(a)と図 3.2.10-4(a)は、プロトンの衝突によって生成された欠陥が GaN HEMT の恒久的な劣化の原因となることを示している。プロトンを 10^{14}cm^{-2} フルエンスで照射した後、室温アニーリングを数週間実施しても Ga リッチ素子ではドレイン電流もしくはゲート電流の変化は見られなかった。アニーリングの傾向は N リッチ、 NH_3 リッチ素子でも同様であった。

(c) $1/f$ 雑音のゲート電圧依存性

HEMT の低周波雑音はチャンネル層のゲートとゲート外の一部で生じ、素子内部の欠陥に敏感である。チャンネル抵抗 R_{total} は、ゲートとゲート外の一部(アクセス領域)からなる。

$$R_{\text{total}} = R_G + R_U = \frac{L_{\text{gate}} V_{\text{off}}}{W q \mu_{\text{ch}} (V_{\text{GS}} - V_{\text{off}})} + R_U \quad (1)$$

ここで、 μ はチャンネル移動度、 n_{ch} は 2 次元電子ガス(2DEG)内の局所キャリア濃度、 W はゲート幅、 L_{gate} はゲート長、 q は素電荷、 V_{off} はピンチオフ電圧、 R_G はチャンネルのゲート部の抵抗、 R_U はゲート外のチャンネルの抵抗である。経験的な相関から

$$\frac{S_V}{V^2} = \frac{S_I}{I^2} = \frac{S_R}{R^2} = \frac{\alpha}{fN} \quad (2)$$

ここで、 S_V は電圧の雑音パワースペクトル強度、 N はチャンネル内の総キャリア数、 α は異なった種類のマイクロ電子素子の雑音を比較するためによく使われる経験的な係数である。 α の値は欠陥密度が高くなると大きい値になる。チャンネルからの総合的な雑音は

$$S_{R_{\text{total}}} = S_{R_G} + S_{R_U} = \frac{\alpha_{\text{ch}} R_{\text{ch}}^2}{N_{\text{ch}} f} + S_{R_U} \quad (3)$$

となる。 V_G がピンチオフ電圧に近づく、チャンネル内の電子が数個になり、ゲート領域の抵抗はゲートのない領域の抵抗よりも高くなる。この状況で雑音がゲート領域で生じると、AlGaIn/GaN HEMT の雑音は経験的に $(V_G - V_{\text{off}})^{-1}$ に比例することがわかっていく。

$$\begin{aligned} \frac{S_V}{V^2} &= \frac{\alpha}{fN_{\text{ch}}}; \text{具体的には} \\ S_{\text{vd}} &= \frac{\alpha}{fN_{\text{ch}}} V_d^2 \propto (V_G - V_{\text{off}})^{-1} \end{aligned} \quad (4)$$

少し高いゲート電圧では、チャンネル内の電子密度は十分高いのでゲート領域の抵抗はアクセス領域の抵抗値よりも小さくなる。

$$\frac{S_V}{V^2} = \frac{S_{R_{\text{total}}}}{R_{\text{total}}^2} = \frac{S_{R_G}}{R_G^2} = \frac{\alpha}{R_U^2} \frac{R_G^2}{N_{\text{ch}} f} \propto (V_G - V_{\text{off}})^{-3} \quad (5)$$

ここで報告する結果では、ゲート電圧が上記範囲内にあり、雑音のパワースペクトル密度は $(V_G - V_{\text{off}})^{-1}$ もしくは $(V_G - V_{\text{off}})^{-3}$ に比例している。雑音がチャンネル内に生じるのは、チャンネルがプロトンの衝突で生成した過度の欠陥の影響を最も受ける領域であることを示している。

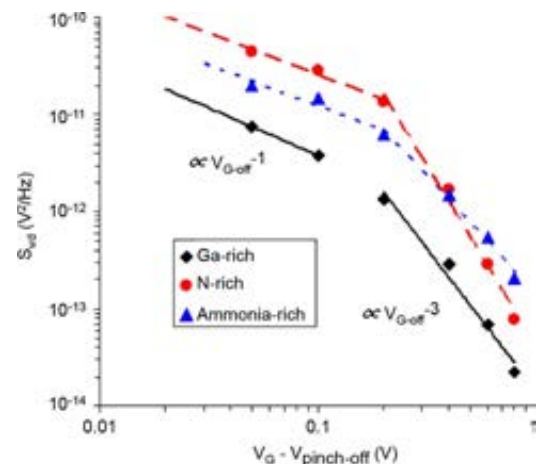


図 3.2.10-5. Ga リッチ、N リッチ、 NH_3 リッチ素子への過剰ドレイン電圧でのパワースペクトル密度のゲート電圧依存性

図 3.2.10-5 は 3 つの異なる条件下で成長した GaN/AlGaN HEMT の雑音の電圧依存性を示している。雑音は $V_{DS}=0.02V$ 、 $f=10Hz$ にして室温で測定している。 $S_{vd} \propto (V_G - V_{off})^{-1}$ ($V_G - V_{off} < 0.1V$)、 $S_{vd} \propto (V_G - V_{off})^{-3}$ ($0.1V < V_G - V_{off} < 1V$)であった。

(d) S_{vd} 対周波数

図 3.2.10-6 は $V_g = V_{off} + 0.1V$ 、 $V_d = 20mV$ 、 $f = 10Hz$ での周波数関数として $1/f$ 雑音を示している。Ga リッチ、N リッチ、 NH_3 リッチのすべての素子で $7 \times 10^{13} cm^{-2}$ フルエンスまでプロトンを照射すると雑音の増加が起こっている。プロトンの衝突は GaN 層と AlGaN 層で変位損傷を誘発し、GaN、AlGaN 層の各々に新しい欠陥を生み出す。雑音は AlGaN 層の欠陥に最も敏感である。プロトン照射による雑音の増加は新しい欠陥準位が雑音測定中にフェルミ準位の近傍で生成されていることを示している。

図 3.2.10-7 は放射線照射前後での過剰なドレイン電圧での雑音のパワースペクトル密度 S_{vd} のゲート電圧依存性を示している。雑音は 3 種類のすべての素子でプロトンのフルエンスの増加に伴い増える。すべての測定において放射線の照射前後で S_{vd} はピンチオフ付近の電圧では $(V_G - V_{off})^{-1}$ に比例し、電圧の絶対値がピンチオフから離れて増加すると $(V_G - V_{off})^{-3}$ に比例する。3 種類すべての場合において雑音はチャネル領域から生じていることを示している。

ホーグのパラメータ α は相関に従って、放射線の照射前後で素子毎に計算することが出来る。

$$\text{相関は } \alpha_{gate} = f \frac{S_{vd}}{V_d^2} \frac{L_{gate}^2}{q\mu R_{gate}} \quad (6) \text{ である。}$$

ここで $V_g = V_{pinch-off} + 0.1V$ のとき、 $R_{gate} \gg R_{ungate}$ とする。典型的な Ga リッチ、N リッチ、 NH_3 リッチの素子を試験すると、 $V_g = V_{pinch-off} + 0.1V$ でのゲート抵抗は約 250Ω 、 $L_g = 0.7\mu m$ 、 $V_D = 0.02V$ となった。 $f = 10Hz$ での S_{vd} を使うことで累計平均ホーグパラメータは照射前約 0.01 から $7 \times 10^{13} cm^{-2}$ のプロトンを照射後は約 0.08 となる。この値は欠陥生成ストレスに従って、化合物半導体素子では広範囲で経験値と一致する(例えば、ホットキャリア)。しかしながら、素子特性の変化と低周波雑音は、ホットキャリアストレスによって生成する場合よりも放射線照射によって生成する方がさらに大きく、規則的である。

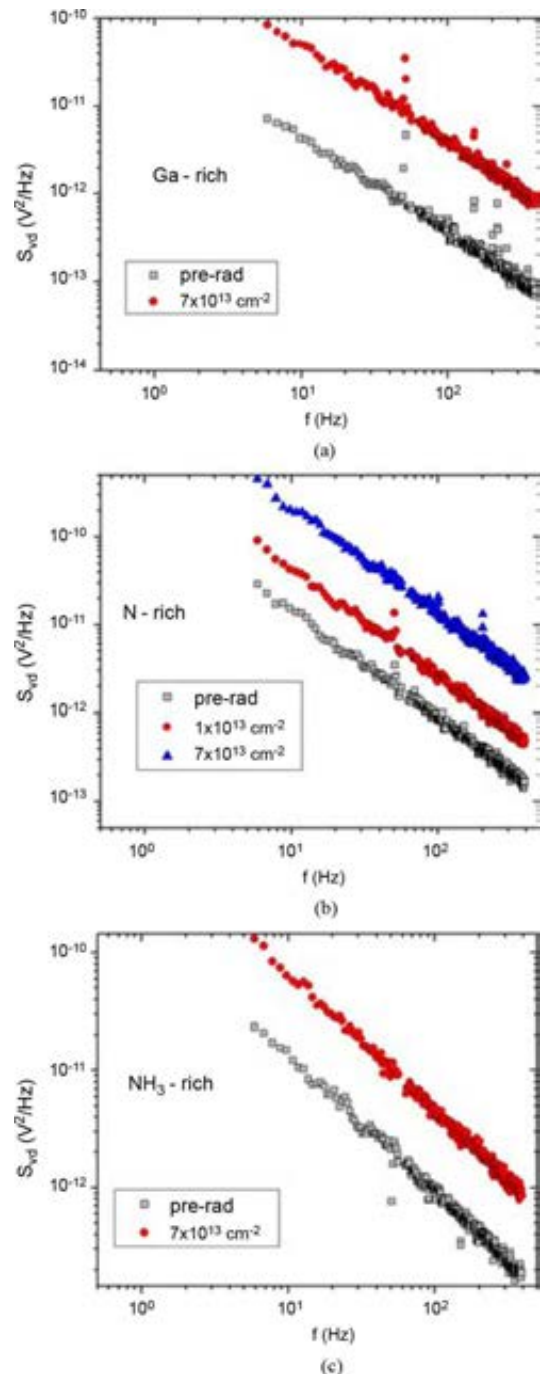


図 3.2.10-6. 放射線照射前後での (a)Ga リッチ、(b)N リッチ、(c) NH_3 リッチ素子に対する S_{vd} 対 周波数

これは適度の電気ストレスが雑音を増加させる場合もあれば、減少させる場合もあることを示している。ももとの欠陥箇所(例えば、窒素と対を成す欠陥や炭素不純物)の水素化もしくは脱水素化は、ホットキャリアストレスによる雑音で何例かの変化を説明できる。しかしながら、この欠陥はプロトン照射で観察された雑音増加に合致するエネルギー準位と電荷状態ではない。

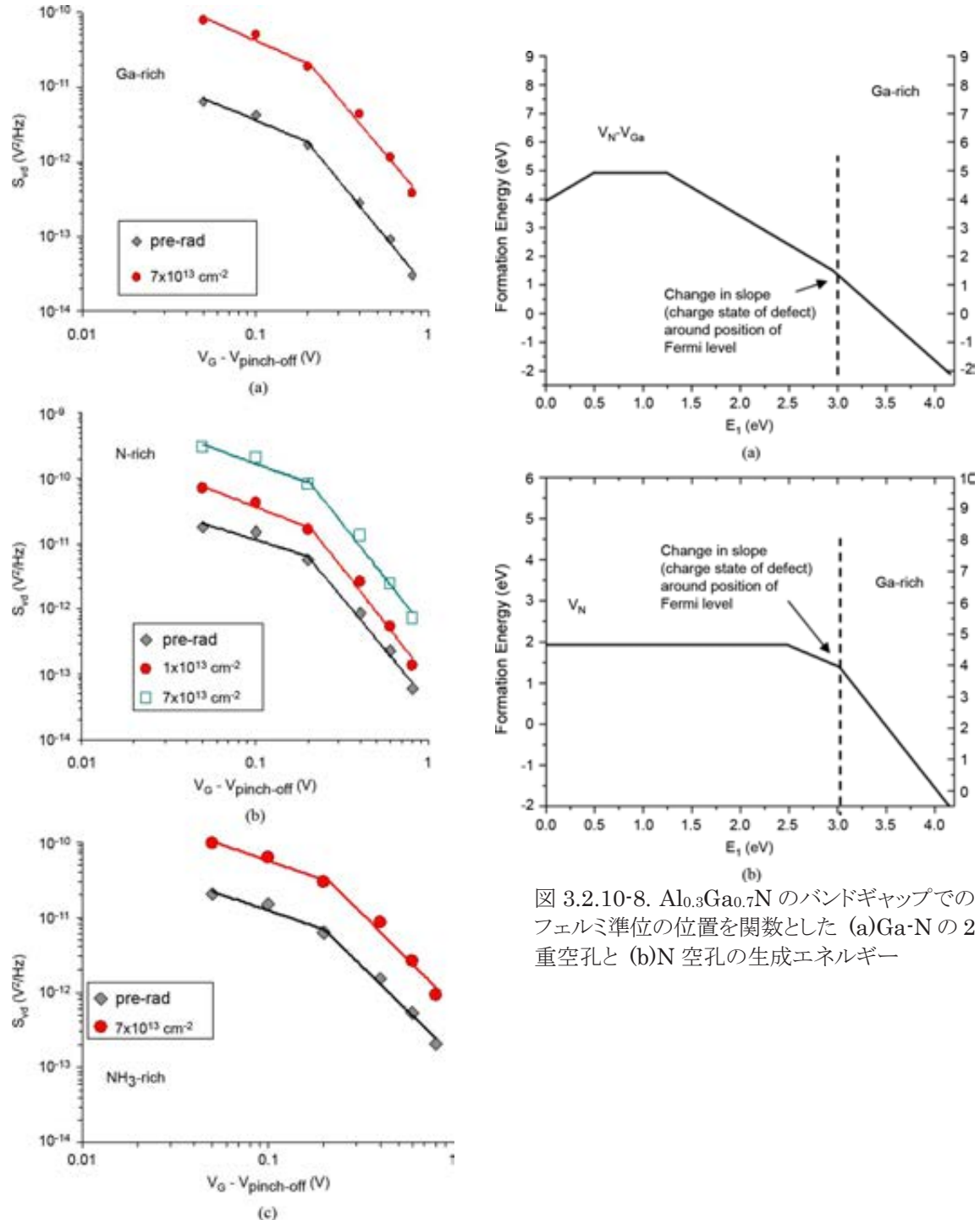


図 3.2.10-7. (a)Ga リッチ、(b)N リッチ、(c)NH₃ リッチ素子の照射前後の S_{vd} のゲート電圧依存性

図 3.2.10-8. Al_{0.3}Ga_{0.7}N のバンドギャップでのフェルミ準位の位置を関数とした (a)Ga-N の 2 重空孔と (b)N 空孔の生成エネルギー

どの種類の欠陥がプロトン照射で雑音の増加をもたらすかを考察する。素子の AlGa_{0.7}N 障壁のフェルミ準位は、ピンチオフで $\sim E_c - 1.2$ eV である。図 3.2.10-8 は密度汎関数理論を使って計算し

たフェルミエネルギーの関数として、窒素空孔と GaN の 2 重空孔の生成エネルギーを示している。線の傾きは欠陥の帯電状態を示し、傾きの変化は欠陥の荷電状態の変化を表わしている。グラフの傾きの変化は、特定エネルギーの潜在的なトラップレベルを同定している。放射線照射後、窒素空孔と Ga-N の 2 重空孔はプロトンによる GaN 層と AlGaN 層での原子の変位で生成される。この欠陥は、動作バイアス条件で負に帯電するアクセプタライクトラップで、図 3.2.10-3 に示すピンチオフ電圧の正のシフトの原因である。雑音を $V_G = V_{\text{pinch-off}} + 0.05\text{V} \sim V_{\text{pinch-off}} + 1\text{V}$ の範囲で測定すると、フェルミ準位は AlGaN 障壁で $\sim E_c - 1.2\text{eV}$ となる。フェルミ準位付近では、N 空孔と Ga-N の 2 重空孔に結びつく電荷状態の変化がある。N 空孔の帯電状態は-1 から-3 に変化する。Ga-N の 2 重空孔は-2 から-3 に変化する。そのため、この欠陥は電子の捕獲と放出に影響し、雑音が放射線照射後に増加する。Ga 空孔はフェルミ準位に近い位置に遷移準位を持っていないので、素子の雑音に影響しない。しかしながら、Ga-N の 2 重空孔も N 空孔より生成することが非常に難しい。これは、N 空孔が放射線照射により雑音が増加する主要因であることを示している。

(5) 要約と結論

我々は、1.8MeV のプロトンを 10^{14}cm^{-2} のフルエンスまで GaN/AlGaN HEMT に照射し、反応を調査した。アンモニアリッチの MBE 下で成長した素子は、Ga リッチ、N リッチの MBE で成長した素子に比べて、プロトンが誘発する劣化に敏感であることがわかった。プロトン照射による素子劣化の特徴は、ホットエレクトロンストレスが起因の劣化と異なる。ホットエレクトロンのストレスでは、Ga リッチ、N リッチの素子はピンチオフ電圧が正にシフトし、アンモニアリッチの素子はピンチオフ電圧が負にシフトするが、プロトン照射では 3 種類の素子すべてでピンチオフ電圧が正にシフトしている。1/f 雑音は $7 \times 10^{13}\text{cm}^{-2}$ までプロトン照射すると増加する。アクセプタライクの N 空孔がプロトンの照射で生成され、放射線を照射した素子に雑音の増加をもたらしている。

(6) 委員の考察

実験結果から、NH₃リッチ (NH₃ を N の供給源としている) エピが Ga リッチ、N リッチ (N₂ を N の供給源としている) エピよりも放射線の耐性が少ないと考察されているが、成長条件によってエピの出来栄は変わるため、すべての NH₃リッチのエピが Ga リッチ、N₂リッチと比較して放射線の耐性が低いと判断できないと考える。いずれのエピでも宇宙用途を考慮した場合、フルエンス 1×10^{10} [p/cm²]程度で素子の劣化がなければ実運用では問題ないと考えられる。Ga リッチ、N リッチ、NH₃リッチすべての素子で 7×10^{13} [p/cm²]で素子の破壊がないことから、エピ成長の差が実使用で影響しない可能性が高いと考える。

参考文献

- [1] S. J. Cai, Y. S. Tang, R. Li, Y. Wei, L. Wong, Y. L. Chen, K. L. Wang, M. Chen, Y. F. Zhao, R. D. Schrimpf, J. C. Keay, and K. F. Galloway, "Annealing behavior of a proton irradiated Al_xGa_{1-x}N/GaN high electron mobility transistor grown by MBE," *IEEE Trans. Electron Devices*, vol. 47, pp. 304–307, Feb. 2000.
- [2] B. D. White, M. Bataiev, L. J. Brillson, B. K. Choi, D. M. Fleetwood, R. D. Schrimpf, S. T. Panelides, R. W. Dettmer, W. J. Schaff, J. G. Champlain, and U. K. Mishra,

- “Characterization of 1.8 MeV proton irradiated AlGaIn/GaN field-effect transistor structures by nanoscale depth-resolved luminescence spectroscopy,” *IEEE Trans. Nucl. Sci.*, vol. 49, no. 6, pp. 2695–2701, Dec. 2002.
- [3] X. Hu, A. P. Karmarkar, B. Jun, D. M. Fleetwood, R. D. Schrimpf, R. D. Geil, R. A. Weller, B. D. White, M. Bataiev, L. J. Brillson, and U. K. Mishra, “Proton-irradiation effects on AlGaIn/Al/GaN high electron mobility transistors,” *IEEE Trans. Nucl. Sci.*, vol. 50, no. 6, pp.1801–1806, Dec. 2003.
- [4] B. D. White, M. Bataiev, S. H. Goss, X. Hu, A. Karmarkar, D. M. Fleetwood, R. D. Schrimpf, W. J. Schaff, and L. J. Brillson, “Electrical, spectral, and chemical properties of 1.8 MeV proton irradiated AlGaIn/GaN HEMT structures as a function of proton fluence,” *IEEE Trans. Nucl. Sci.*, vol. 50, no. 6, pp. 1934–1941, Dec. 2003.
- [5] T. Roy, Y. S. Puzyrev, B. R. Tuttle, D. M. Fleetwood, R. D. Schrimpf, D. F. Brown, U. K. Mishra, and S. T. Pantelides, “Electrical-stress-induced degradation in AlGaIn/GaN high electron mobility transistors grown under gallium-rich, nitrogen-rich and ammonia-rich conditions,” *Appl. Phys. Lett.*, vol. 96, 2010, 133503.

3.2.11 CMOS イメージセンサーの界面状態とトラップ電荷密度測定によるトータルドーズ誘起の暗電流の解析

文献名	Analysis of Total Dose-Induced Dark Current in CMOS Image Sensors From Interface State and Trapped Charge Density Measurements
出典	IEEE Transaction on Nuclear Science, Vol. 57, No. 6, pp. 3087- 3093, Dec. 2010.
著者名	V. Goiffon, C. Virmondois, P. Magnan, S. Girard, and P. Paillet
対象デバイス	CMOS イメージセンサー
実験設備	ARCOR モデル 4100 (CEA-DIFF)
照射線種及びエネルギーの区分	X 線 10keV
単発現象又は積算線量効果の区分	積算線量効果
実験又は理論の区分	実験、シミュレーション

(1) 概要

CMOS イメージセンサーにおける TID 誘起暗電流の起源を調べるために、暗電流測定と界面状態密度、トラップ電荷密度の測定を比較した。2 種類のフォトダイオードと幾つかの酸化膜 FET を 0.18 μm CMOS イメージセンサープロセスで製造し、10keV X 線を 3krad から 1Mrad の範囲で照射した。放射誘起トラップ電荷が酸化膜界面の空間電荷領域まで拡張し、界面 SRH 生成電流が増加した。等時アニーリングを行い、100 $^{\circ}\text{C}$ 以下では STI 界面状態がアニールアウトすることを示した。他方、300 $^{\circ}\text{C}$ 30 分のアニーリングではトラップ電荷のおよそ 1/3 が残る。

(2) 序論

CMOS イメージセンサー (CIS) は現在、アプリケーションとして広く使用されている。TID 暗電流の増加は、照射を受けた CMOS センサーにおいてよく観測される劣化であり[1]-[3]、これは放射耐性を持ったデバイスでも観測される[4]-[7]。CIS における暗電流の起源はよく知られておらず、トラップ電荷と界面状態の本質的な役割はまだ明確でない。本論文では、欠陥密度と暗電流の関係に基づいて、CIS フォトダイオードにおける暗電流の解析を行った。

(3) 実験の詳細

(a) テストチップ

通常の CIS フォトダイオードは、典型的な不純物プロファイル、形状、サイズでデザインされてきた。製造された PN 結合の周長は約 14 μm 、面積は約 10 μm^2 である。接触位置と周囲環境は、古典的な CMOS センサー 3T pixels と同様である。300 個のフォトダイオードをお互いに 5 μm 離し、アレイ状に配置した。CIS フォトダイオードの断面図を図 3.2.11-1 に示す。

フォトダイオード近傍の欠陥密度を評価するために、FOX FET (フィールド酸化膜 FET) を測定した。図 3.2.11-2 に FOX FET 構造を示す。ソースとドレインはフォトダイオード well で作られ、ゲート酸

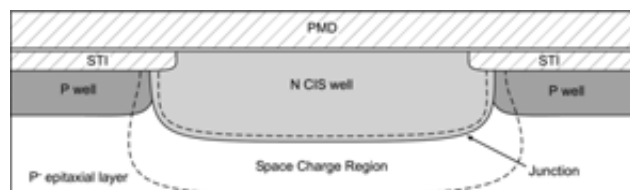


図 3.2.11-1. 通常の CIS フォトダイオードの断面図。

化膜は STI (shallow trench isolation) である。チャンネル幅 W は $300\mu\text{m}$ 、チャンネル長 L は $0.7\mu\text{m}$ 、 $7\mu\text{m}$ 、 $100\mu\text{m}$ の 3 種類とした。

さらに、フィールド酸化膜をダイオード well から $2\mu\text{m}$ 離れた RFD (リセスフィールド酸化膜ダイオード) を用意した (図 3.2.11-3)。これは、空乏層が PMD (金属膜下絶縁膜) 界面で終端している (図 3.2.11-1 の通常フォトダイオードでは STI 界面で終端している)。PMD (premetal dielectric) FET (図 3.2.11-4) では、ゲートは第 1 レベル金属層に形成される。

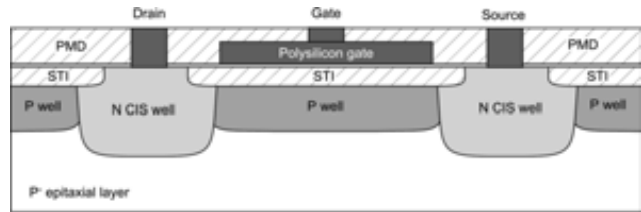


図 3.2.11-2. FOXFET (フィールド酸化膜 FET) の断面図。ソースとドレインの接合部には N CIS well がある。

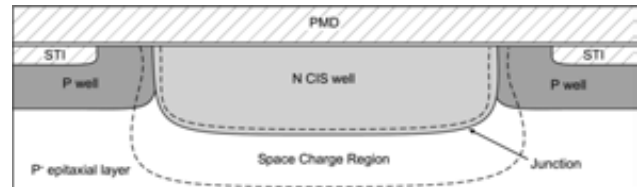


図 3.2.11-3. RFD (リセスフィールド酸化膜フォトダイオード) の断面図。

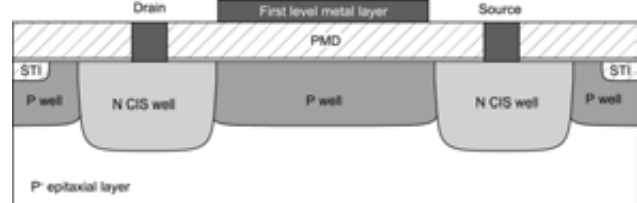


図 3.2.11-4. PMD (premetal dielectric) FET の断面図。

(b) 測定、照射、アニーリング条件

室温での I-V 測定は、 22°C 湿度 50% で行った。

デバイスには印加していない状態で 10keV X 線を当てた。フォトダイオードで

は、照射中に印加するか否かによる重要な違いは観測されていない[8]。吸収された TID の範囲は、 $3\text{krad}(\text{SiO}_2)$ から $1\text{Mrad}(\text{SiO}_2)$ で、ドーズレートはおおよそ $100\text{rad}(\text{SiO}_2)/\text{s}$ である。

アニーリングは、ゲート酸化膜のトラップ電荷と界面状態の役割を区別するのに便利な手法である。印加していない状態で、 35°C から 300°C まで 30 分の等時アニーリングを実施した。

(c) 欠陥密度の抽出と TCAD の詳細

欠陥密度は、FET の研究に適用される McWhorter and Winokur の方法[11]で抽出した。mid-gap ドレイン電流を決めるために、次の式を用いた[12]:

$$I_D = \frac{\mu_n}{(q/kT)^2} \left(\frac{W}{L} \right) \sqrt{\frac{q\epsilon_{\text{Si}}N_A}{2\Phi_s} \left(\frac{n_i}{N_A} \right)^2 e^{(q\Phi_s/kT)}}. \quad (1)$$

ファクタ $\mu_n W/L$ は、相互コンダクタンス測定から評価される[13]。平均表面ドーピングは、SIMS により求めた。トラップ電荷密度は mid-gap 電圧シフトから、界面状態密度はサブスレッショルドの傾きから求めた。

TCAD シミュレーションは SENTAURUS を用いた。垂直方向のドーピングプロファイルは SIMS で評価し、横方向のドーピングプロファイルは垂直方向の測定プロファイルからラフに外挿した。

(4) 放射誘起暗電流解析

(a) 暗電流の性質

放射誘起暗電流の起源として考えられるものは、①ドレイン接合拡散電流 (NP 中性領域からの)、②空乏層からのドレイン接合 SRH 生成電流 (電界の有る場合と無い場合)、③トンネル電

流(バンド間、トラップアシスト)、④サブスレッショルド逆反転伝導、⑤ゲート誘起ドレインリーク(GIDL)³、⑥ゲートリーク電流、⑦ドレインからソースへのパンチスルー電流、である。STI酸化膜が相対的に厚いため、⑥は無視できる。TID 欠陥は表面から遠く離れた空乏領域を大きく変化させないので、⑦は考慮しない。

通常の写真ダイオードの I-V 測定を図 3.2.11-5 に示す。300krad 以下では、暗電流(逆電流)は TID で単調に増加した。これは、電界が無い場合は②が支配的であることを示唆している[15]。

図 3.2.11-6 は FOXFET の測定結果である。暗電流は TID で増加する。100krad 以下では、ゲート電圧依存性はない。これは、④と⑤がドレインリーク電流、暗電流に寄与しないことを示している。100krad 以上になると、ゲート電圧が 0V 付近の場合、④がドレインリーク電流を支配し始める。図 3.2.11-5 では、この効果は 300krad では明確には見えず、1Mrad では暗電流が逆バイアスに依存しなくなる。これは弱反転電流および STI 界面での空乏層のマーヅで説明できる。

通常の写真ダイオードと RFD 写真ダイオードについて、暗電流の温度依存性を図 3.2.11-7 に示す。この直線の傾きは $E_g/2$ によく一致する。これは、たとえ空乏領域がマーヅされ、TID が 1Mrad と高くても、TID 誘起暗電流へ主に寄与するものが界面状態 SRH 生成電流であることを示している。RFD と PMDFET の結果も同様である。

このため以下の議論では、通常の写真ダイオードと RFD の暗電流が正確に(2)式で表されると仮定する。

$$I_{\text{dark}}(V_R) = qW_{\text{STI}}(V_R)P_j\sigma_{\text{eff}}v_{\text{th}}k\pi TD_{\text{it}}n_i \quad (2)$$

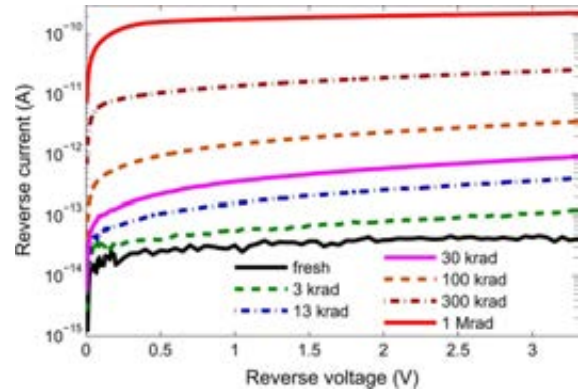


図 3.2.11-5. 通常の写真ダイオードの照射時における暗電流と電圧の関係。

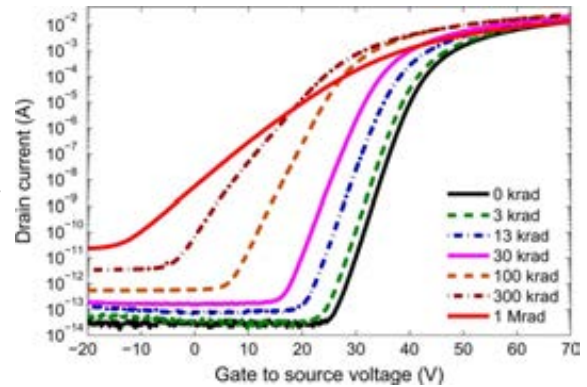


図 3.2.11-6 FOXFET の照射時のサブスレッショルド特性 ($W=300\mu\text{m}$ 、 $L=0.7\mu\text{m}$ 、 $V_D=3.3\text{V}$)。

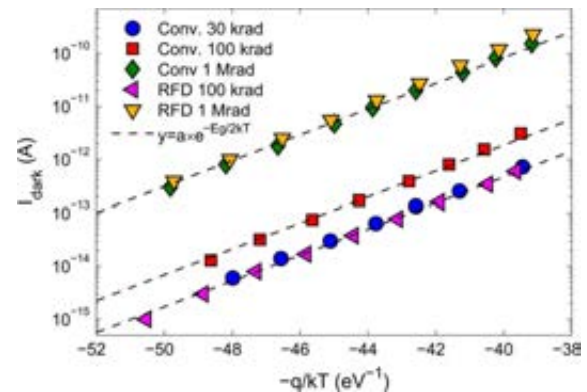


図 3.2.11-7. 写真ダイオードの幾つかの TID に対する暗電流アレーニウスプロット。破線は指数関数 $\exp(-E_g/2kT)$ をプロットしたもの ($V_D=3.3\text{V}$)。

³ MOS トランジスタが OFF 状態のときに、ゲート電極下のドレイン端がゲート電位の影響を受けて、ドレインから基板へ流れる電流。

(b) 界面状態とトラップ電荷の役割

照射された CIS において、界面状態とトラップ電荷の役割を区別する直接的な方法は、等温または等時アニーリングを実行すること、そして、暗電流の変化と放射誘起欠陥のアニーリング挙動を比較することである。

FOXFET の等時アニーリングの結果を図 3.2.11-8 に示す。TID は 300krad である。アニーリング温度の上昇にしたがって、放射誘起暗電流が連続的に減少する。放射誘起界面状態は、MOSFET ゲート酸化膜の挙動とは異なり、75°C 以上では速やかにアニールアウトし、300°C 以上ではほとんど完全に消失する。他方、トラップ電荷については、300°C でも放射誘起電荷の 30% が残る。

図 3.2.11-9 では、FOXFET と通常のフォトダイオードの暗電流がよく一致している。他方、図 3.2.11-10 では RFD と PMDFET の暗電流は異なっている。このことより、空乏層が STI まで達している場合は、放射誘起暗電流が主に接合境界に起因することになる。

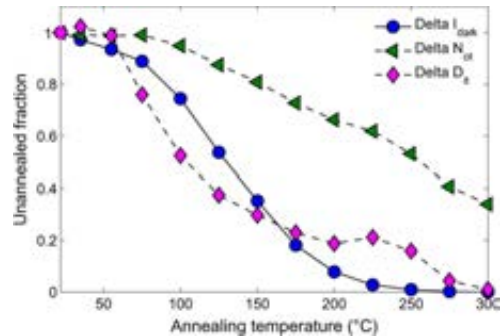


図 3.2.11-8. 放射誘起暗電流、トラップ電荷密度、界面状態密度の温度依存性(30 分間の当時アニーリング)。

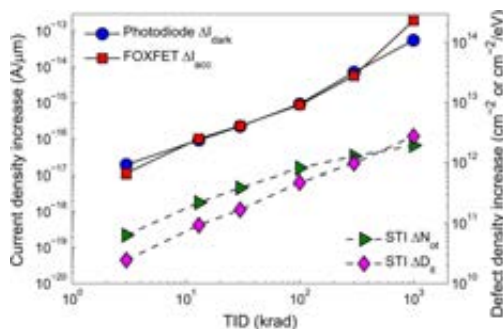


図 3.2.11-9. 通常のフォトダイオードと FOXFET の暗電流増加量、トラップ電荷密度増加量、界面状態密度増加量の TID 依存性 ($V_R=V_D=3.3V$)。

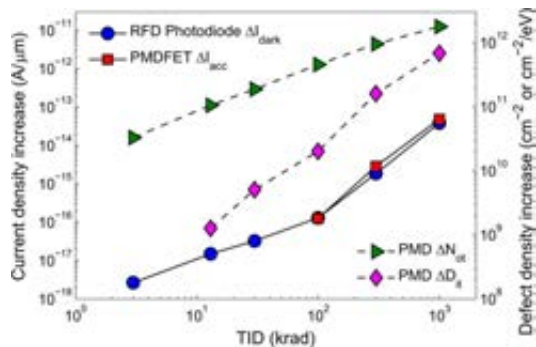


図 3.2.11-10. RFD と PMDFET の暗電流増加量、トラップ電荷密度増加量、界面状態密度増加量の TID 依存性 ($V_R=V_D=3.3V$)。 ΔD_{it} が $10^{10} \text{cm}^{-2}/\text{eV}$ 以下の部分は、サブスレッショルドの傾きが不確かなので信頼できない。

放射誘起暗電流におけるトラップ電荷の効果を無視すると、(2)式は次の(4)式に変換できる:

$$\Delta I_{\text{dark}}(\text{TID}) = qW_{\text{STI}}P_j\sigma_{\text{eff}}v_{\text{th}}n_i k\pi T \Delta D_{\text{it}}(\text{TID}), \quad (4)$$

しかし、図 3.2.11-11 では、 ΔI_{dark} と ΔD_{it} の関係が線形でない。したがって、トラップ電荷が暗電流に寄与していることになる。

放射誘起トラップ電荷 ΔN_{ot} は、表面での静電平衡状態を変えるので、フォトダイオード表面の空乏層を拡張させる。STI 界面での空乏領域拡張幅 $W_{\text{STI}}(\Delta N_{\text{ot}})$ は TID で変動する。次の式(6)を図 3.2.11-12 にプロットした。

$$W_{\text{STI}}(\Delta N_{\text{ot}}) = \frac{I_{\text{dark}}}{qP_j\sigma_{\text{eff}}v_{\text{th}}n_i k\pi T [D_{\text{it0}} + \Delta D_{\text{it}}]}. \quad (6)$$

D_{it0} は照射前の界面状態密度で、低 TID では誘起トラップ電荷の効果は小さいので、

$W_{STI}(TID=0) \approx W_{STI}(TID=3\text{krad})$ と仮定して D_{it0} の値を決めた。高TIDでは、 $D_{it} \gg D_{it0}$ となり、ほとんど影響しない。 σ_{eff} は有効捕獲断面積で、TCADによるTID=0での結果を基に決めた。

両タイプの写真ダイオードの解析結果を図 3.2.11-12、図 3.2.11-13 に示す。トラップ電荷密度が $10^{11}\text{cm}^{-2}\text{eV}^{-1}$ (FOX-FET へ約 6krad の照射) までは、 W_{STI} の変化は 10% 以下である。しかし、 $10^{11} \sim 10^{12}\text{cm}^{-2}$ (6~300krad) では、トラップ電荷が空乏層に大きな影響を与え、暗電流が大幅に増加する。

TCAD での計算結果を示す。実験と同様に、 10^{11}cm^{-2} までは界面でのトータルの空乏幅のわずかな変化のみが見られる(図 3.2.11-14、図 3.2.11-15)。ただし、N ドープ領域では空乏幅がわずかに減少する。トラップ電荷密度がより高い場合は、P 領域で空乏層が拡張し、2 つの空乏層がマージする(図 3.2.11-16)。シミュレーション結果は、実験結果と定性的に一致した。

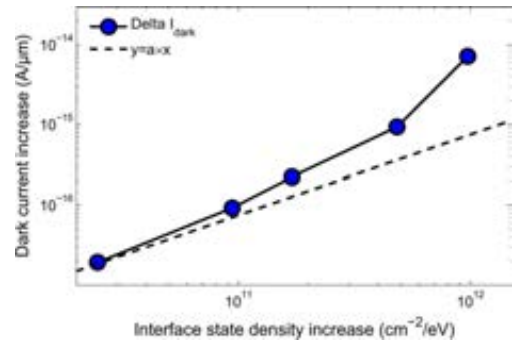


図 3.2.11-11. 通常の写真ダイオードの TID による暗電流増加量と界面状態密度増加量の比較。

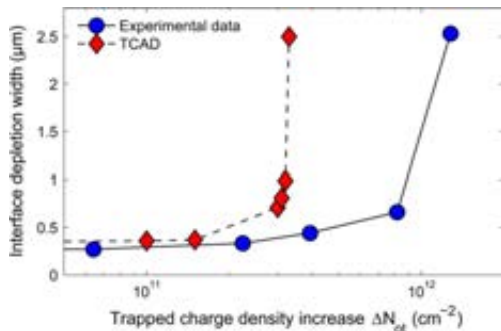


図 3.2.11-12. 通常の写真ダイオードにおける、空乏領域拡張幅の放射誘起トラップ電荷依存性。実験値は、式(6)を用いてプロットした。ここで、 $D_{it0}=1.4 \times 10^{10}\text{cm}^{-2}/\text{eV}$ 、 $\sigma_{eff}=2 \times 10^{-16}\text{cm}^{-2}$ とした。

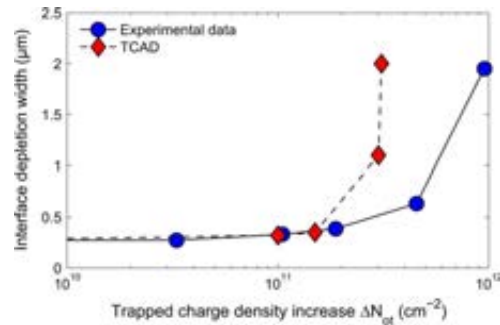


図 3.2.11-13. RFD における空乏領域拡張幅の放射誘起トラップ電荷依存性。実験値は式(6)を用いてプロットした。ここで、 $D_{it0}=2.3 \times 10^{10}\text{cm}^{-2}/\text{eV}$ 、 $\sigma_{eff}=1.26 \times 10^{-16}\text{cm}^{-2}$ とした。

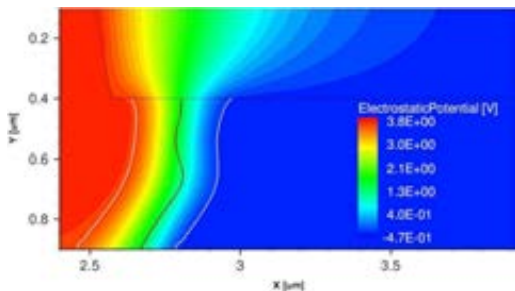


図 3.2.11-14. TCAD で計算したトラップ電荷がない場合の通常写真ダイオードのポテンシャル分布。STI/Si 界面に沿って、空間電荷領域が拡張しているのが明確にわかる。

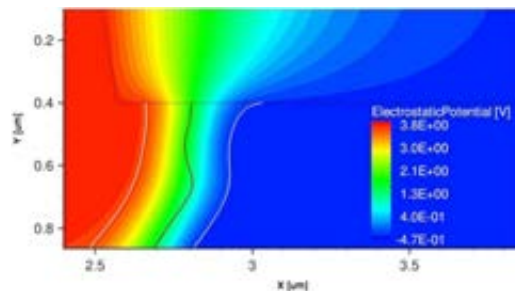


図 3.2.11-15. TCAD で計算したトラップ電荷密度が $1.5 \times 10^{11}\text{cm}^{-2}$ (TID \approx 7krad) の場合の通常写真ダイオードのポテンシャル分布。

(5) まとめ、結論

フォトダイオードについて、3krad から 1Mrad までの範囲で、TID 誘起暗電流、界面状態密度、トラップ電荷密度の増加を分析、比較した。放射誘起暗電流は、電界が無くても、SRH 生成プロセスで生じることを示した。TCAD 計算によって、6～300krad においては、放射誘起トラップ電荷が酸化膜界面での空間電荷領域を広げ、界面状態に起因する生成電流を増加させることを示した。300krad を超えると、近接するフォトダイオードの空乏領域がマージし、FOXFET ではデバイス間リークが観測される。等時アニーリングを実行し、100°C 以下では界面状態がアニールアウトし、トラップ電荷のおよそ 1/3 が 300°C 30 分のアニーリング後も残った。

以上により、フォトダイオードの HBD 技術に関するいくつかの結論が得られた。放射耐性の向上のために、“生成中心密度の増加”と“TID による空乏領域の拡大”が緩和される必要がある。前者は設計で抑えることは困難である(STI より界面状態蓄積が遅い酸化膜(例えばゲート酸化膜)でフォトダイオードを囲む以外は)。後者は、幾つかの方法で制御できる可能性がある。例えば、P 不純物を適切に選択し適切に配置する、ポリシリコンゲートで表面ポテンシャルを制御する([4])などである。CIS フォトダイオードにおいて放射誘起暗電流を減少させる最も直接的な方法は、接合部境界線を減らすことである(量子効果と電荷-電圧変換ファクタにインパクトを与える)。先端 CIS の劣化の主要なファクタは、STI での界面状態の buildup と電荷トラップである。このため、イオン照射下での CIS 挙動の完全な理解の前に、照射後とアニール後の STI の挙動を理解すべきである。

(6) 委員の考察

CIS の TID による劣化(暗電流の増加)のメカニズムについて、多角的に分析され、よく整理されている。STI 界面の挙動の理解、トラップ電荷と界面状態の本質的な役割の解明の重要性が強調されている。放射耐性の向上策についても最後に述べられている。元論文の序論にあるとおり、CIS の製造プロセス、デザイン、ロット、照射条件などに依存して、アニーリング後の暗電流が増加したり減少したりするという矛盾が報告されており、その解明は今後の課題である。

参考文献

- [1] G. R. Hopkinson, “Radiation effects in a CMOS active pixel sensor,” *IEEE Trans. Nucl. Sci.*, vol. 47, no. 6, pp. 2480–2484, Dec. 2000.
- [2] M. Cohen and J.-P. David, “Radiation-induced dark current in CMOS active pixel sensors,” *IEEE Trans. Nucl. Sci.*, vol. 47, no. 6, pp.2485–2491, Dec. 2000.
- [3] E.-S. Eid, T. Y. Chan, E. R. Fossum, R. H. Tsai, R. Spagnuolo, J. Deily, W. B. Byers, and J. C. Peden, “Design and characterization of ionizing radiation-tolerant CMOS APS image sensors up to 30 Mrd (Si) total dose,” *IEEE Trans. Nucl. Sci.*, vol. 48, no. 6, pp. 1796–1806, Dec. 2001.

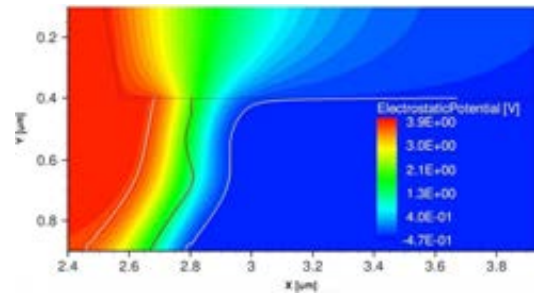


図 3.2.11-16. TCAD で計算したトラップ電荷密度が $3.2 \times 10^{11} \text{cm}^{-2}$ (TID \approx 25krad) の場合の通常フォトダイオードのポテンシャル分布。

- [4] B. R. Hancock, T. J. Cunningham, K. P. McCarty, G. Yang, C. J. Wrigley, P. G. Ringold, R. C. Stirbl, and B. Pain, "Multi-megarad (Si) radiation-tolerant integrated CMOS imager," in *Proc. SPIE*, 2001, vol. 4306, pp. 147–155.
- [5] J. Bogaerts, B. Dierickx, G. Meynants, and D. Uwaerts, "Total dose and displacement damage effects in a radiation-hardened CMOS APS," *IEEE Trans. Electron Devices*, vol. 50, no. 1, pp. 84–90, Jan. 2003.
- [6] B. Pain, B. R. Hancock, T. J. Cunningham, S. Seshadri, C. Sun, P. Pedadda, C. J. Wrigley, and R. C. Stirbl, "Hardening CMOS imagers: Radhard-by-design or radhard-by-foundry," in *Proc. SPIE*, 2004, vol. 5167, pp. 101–110.
- [7] M. Beaumel, D. Hervé, and D. Van Aken, "Cobalt-60, proton and electron irradiation of a radiation-hardened active pixel sensor," Radiation and its Effects on Components and Systems. Bruges, Belgium, Sep. 14–18, 2009.
- [8] V. Goiffon, P. Magnan, O. Saint-Pé, F. Bernard, and G. Rolland, "Total dose evaluation of deep submicron CMOS imaging technology through elementary device and pixel array behavior analysis," *IEEE Trans. Nucl. Sci.*, vol. 55, no. 6, pp. 3494–3501, Dec. 2008.
- [11] P. J. McWhorter and P. S. Winokur, "Simple technique for separating the effects of interface traps and trapped-oxide charge in metal-oxidesemiconductor transistors," *Appl. Phys. Lett.*, vol. 48, pp. 133–135, Jan. 1986.
- [12] S. M. Sze, *Physics of Semiconductor Devices*, 2nd ed. New York: Wiley, 1981.
- [13] R. Pease, D. Emily, and H. E. Boesch, Jr., "Total dose induced hole trapping and interface state generation in bipolar recessed field oxides," *IEEE Trans. Nucl. Sci.*, vol. 32, pp. 3946–3952, 1985.
- [15] G. Vincent, A. Chantre, and D. Bois, "Electric field effect on the thermal emission of traps in semiconductor junctions," *J. Appl. Phys.*, vol. 50, no. 8, pp. 5484–5487, 1979.

3.2.12 事前に TID 照射されたフローティングゲートセルにおける重イオン照射によるアップセット発生断面積の増加

文献名	Increase in the Heavy-Ion Upset Cross Section of Floating Gate Cells Previously Exposed to TID
出典	IEEE Transaction on Nuclear Science, Vol.57, No. 6, pp. 3407- 3413, Dec. 2010.
著者名	Bargatin, M. ; Gerardin, S. ; Paccagnella, A. ; Cellere, G. ; Visconti, A. ; Bonanomi, M.
対象デバイス	NOR-type Multi-level Cell Flash Memory
実験設備	Laboratori Nazionali di Legnaro (LNL), Padova, Italy
照射線種及びエネルギーの区分	X 線 (10 keV) 重イオンビーム: O (100.9 MeV, 2.85 MeV·cm ² /mg), Si (121 MeV, 9.8 MeV·cm ² /mg), Ni (212.8 MeV, 28.4 MeV·cm ² /mg), Si (256.6 MeV, 54.7 MeV·cm ² /mg)
単発現象又は積算線量効果の区分	積算線量効果の単発現象への影響
実験又は理論の区分	実験

(本抄記に掲載する図表は、すべて出典論文からの引用である。)

(1) 序論

近年、放射線効果に関するコミュニティでは、フラッシュメモリのシングルイベント効果(SEE)とトータルドーズ効果(TID)の両方に対する反応についての興味が増している。このデバイスは、宇宙用の大容量不揮発性のデータストレージ向けへの利用が注目されており、放射線環境下で安全にデータを保持できることを保証する必要がある。

これまでの研究では、TIDとSEEを別々に扱うケースがほとんどであったが、特にフラッシュメモリについては、これらを合わせた効果に関する研究はない。実際の宇宙環境では、これらを同時に受けることから、TIDとSEEを組み合わせた効果について研究する必要がある。この論文では、フローティングゲート(FG)セルでのシングルイベントアップセット(SEU)の発生について、TIDとSEEの相乗効果を研究したものである。

(2) 実験手順と評価対象デバイス

この研究において対象としたデバイスは、Multi-level CellのNOR型フラッシュメモリであり、以下の2つのプロセスサイズのものである。

90-nmプロセス: Numonyx製 M58PR512J

65-nmプロセス: Numonyx製 M58PR512LE

これらのデバイスにはテストモード機能がついており、各々のFGセルの閾値電圧 V_{th} (ゲートのオン・オフが切り替わる電圧)を直接測定できるほか、内蔵されているエラー訂正コード(ECC)をDisableすることができる。この研究では、ECCなしの状態を読み出したときに、書き込んだ値と異なる値が読み出された場合、それをRaw Bit Errorと呼ぶことにする。なお、本論文で使用する「ビットエラー」とは、全てRaw Bit Errorを意味するビット状態を示す。4つのレベルを、 V_{th} の小さい方から順にL0, L1, L2, L3と呼ぶこととする(図3.2.12-1参照)。

試験では、10keV の X 線 (照射レート: 350rad/s(Si))と 3~54MeV・cm²/mg の重イオンビーム (表 3.2.12-1 に使用したイオン種を掲載) を照射した。試験手順は以下のとおりである (図 3.2.12-2 のフローチャート参照)。

- i) サンプルにマルチレベルのチェッカーボードパターンを書き込む (L0 ~ L3 のセル数が均等になるように書き込む)。
- ii) 書き込んだFGのそれぞれについてV_{th}を測定し、その分布を求める。
- iii) FGセルにX線を照射する (照射量は、0、10、20、30krad(Si) の4レベル)。
- iv) X線照射後、V_{th}分布を測定する。
- v) FGセルに重イオンを3 × 10⁷ions/cm²まで照射する。X線照射と重イオン照射の間では、書き込み消去操作は行わない。
- vi) 重イオンビーム照射後のV_{th}分布を測定する。

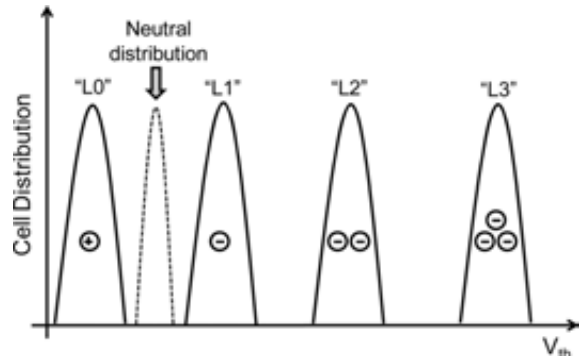


図 3.2.12-1. NOR 型フラッシュメモリでの閾値電圧分布の概略図

表 3.2.12-1. この研究で使用した重イオンビーム

Ion species	Energy [MeV]	LET [MeV・cm ² /mg]	Range in Si [μm]
O	100.9	2.85	109
Si	121	9.8	44
Ni	212.8	28.4	33.7
Ag	256.6	54.7	27.6

X線および重イオンビーム照射後のV_{th}分布測定は、照射から数日が経過した後に実施しており、主なアニーリング効果 (100 時間程度でほぼ落ち着く) はすでに済んでいる状態である。

(3) 結果と考察

(a) ビットエラー

図 3.2.12-3 は、事前 X 線照射量により、重イオンでのビットエラー発生断面積がどのように影響を受けるかを示したものである。ここに示されているのは、4 つのプログラムレベル L0 ~ L3 を合わせた数値 (つまり平均値) である。90-nm と 65-nm のどちらのプロセスサイズでも、事前 X 線照射量が多くなると、それに比例して重イオンによるビットエラー発生断面積が大きくなっている。アニーリング効果はすでに済んでいることから、X 線照射による FG セルでの電荷損失がビットエラー発生の主な原因と考えられる。

それぞれのプログラムレベル (L0 ~ L3) を分けてビットエラー発生断面積を示したのが図 3.2.12-4 である。低い V_{th} のプログラムレベル L0、L1 では、ビットエラーは発生していない。V_{th} が高いプログラムレベル (つまりトンネル酸化膜内の電場が強い) では、ビットエラー発生断面積が大きくなる。また、重イオン照射に先立ち TID を受けると、事前に TID を受けていない場合と比べ、ビットエラー発生断面積が大きくなる。また、65-nm と 90-nm プロセスを比較すると、65-nm の方が、ビットエラー発生断面積が大きくなっている。

図 3.2.12-5 と図 3.2.12-6 は、それぞれ 90-nm と 65-nm プロセスのデバイスについて、重イオ

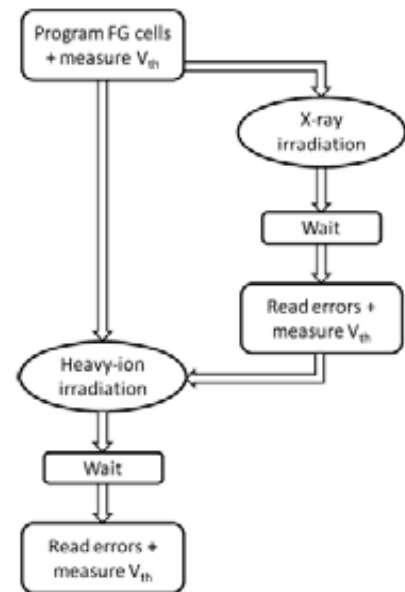


図 3.2.12-2. この研究での試験手順のフローチャート

ン照射によるビットエラー発生断面積を LET の関数としてプロットしたものである。どちらのプロセスも、LET 値が大きくなると、重イオンビットエラー発生断面積に対する事前 TID 照射の影響は小さくなる。また、ビットエラー発生の LET 閾値は、事前 TID 照射により小さくなる。

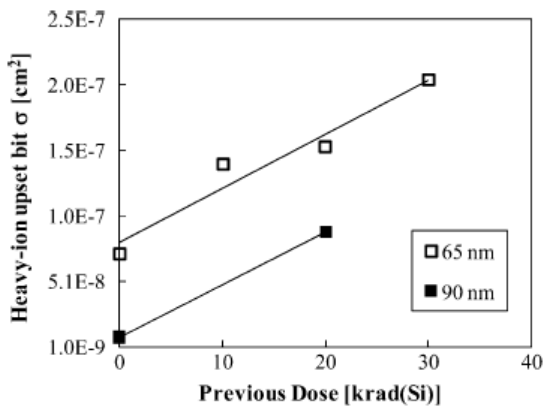


図 3.2.12-3. 事前 X 線照射量と重イオンによるビットエラー発生断面積の関係 (Si イオン照射)

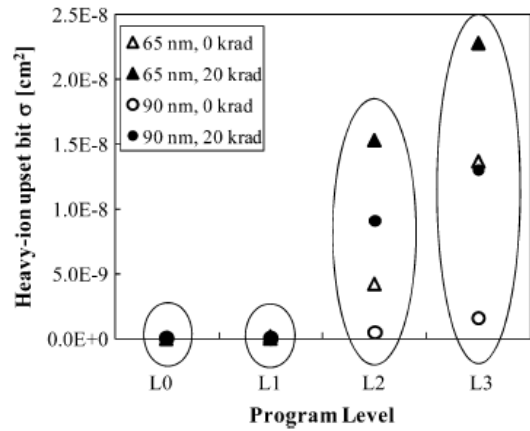


図 3.2.12-4. 各々のプログラムレベルについての重イオンによるビットエラー発生断面積

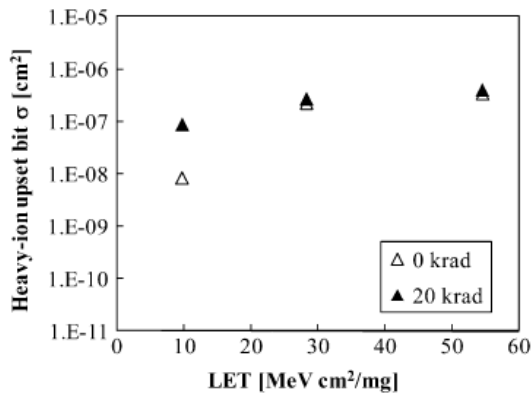


図 3.2.12-5. 90-nm プロセスについて、重イオンの LET 値とビットエラー発生断面積との関係

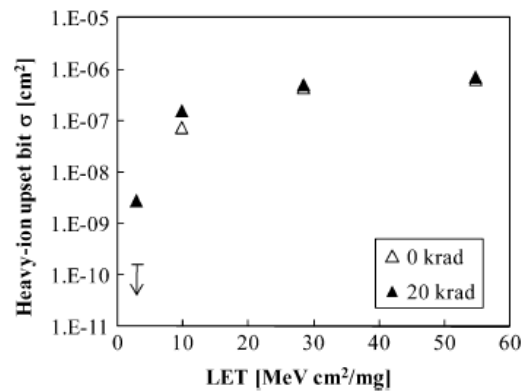


図 3.2.12-6. 65-nm プロセスについて、重イオンの LET 値とビットエラー発生断面積との関係

(b) 閾値電圧 V_{th} のシフト

TID や SEE を受けた FG セルの V_{th} 分布を調べ、それらを足し合わせるにより TID と SEE を組み合わせた効果を評価する。

まず、TID のみを受けた場合の V_{th} 分布は図 3.2.12-7 に示したとおりである。TID 照射により、 V_{th} 分布の形は大きく変化せず、中性レベルの方向(L0 と L1 の間)へ平行移動し、その移動量はプログラムレベルが高いほど大きい。TID による V_{th} 分布のシフトの大きさを、 $\Delta V_{th,TID}$ と記する。シフトした V_{th} 分布のうち、プログラムレベルを識別するリファレンス電圧 V_{ref} を超えた部分がビットエラーと判定されるものであり、その数は以下の式(1)で表される。

$$\# \text{ errors} = \int_{-\infty}^{V_{ref}} V_{th, \text{ after rad}} (V) dV \quad (1)$$

図 3.2.12-8 には、 $\Delta V_{th,TID}$ と TID 照射量との関係を示した。照射量が大きくなるに従い、シフト量も大きくなっている。また、小さいプロセスサイズ(65-nm)の方がシフト量が大きい、これは、

90-nm プロセスに比べもとの V_{th} が大きく、データ保持時のトンネル酸化膜内の電場が大きくなり、電荷損失の確率が高くなるためである。

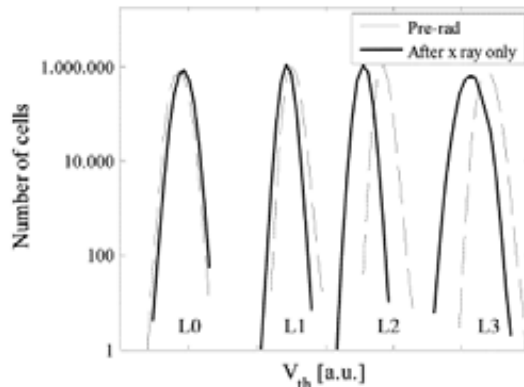


図 3.2.12-7. 90-nm FG セルについて、TID による V_{th} 分布への影響

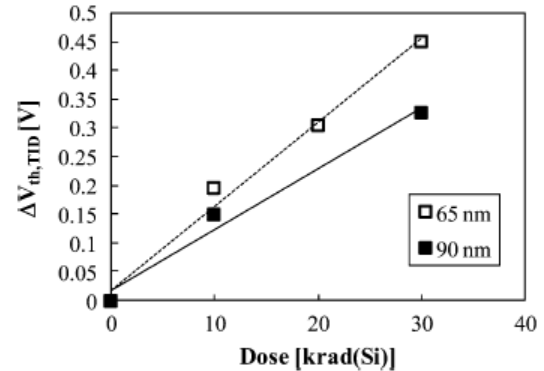


図 3.2.12-8. TID 照射量とそれによる V_{th} 分布のシフト量($\Delta V_{th,TID}$)との関係

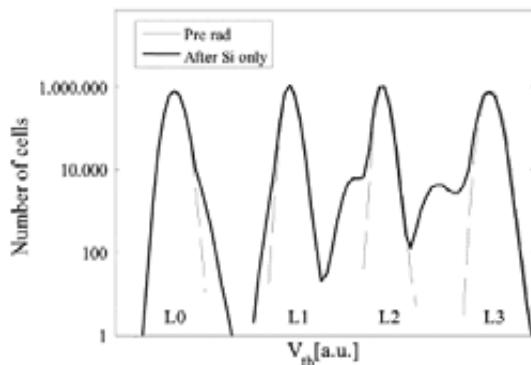


図 3.2.12-9. 重イオン(Si)照射のみを行った場合の V_{th} 分布への影響

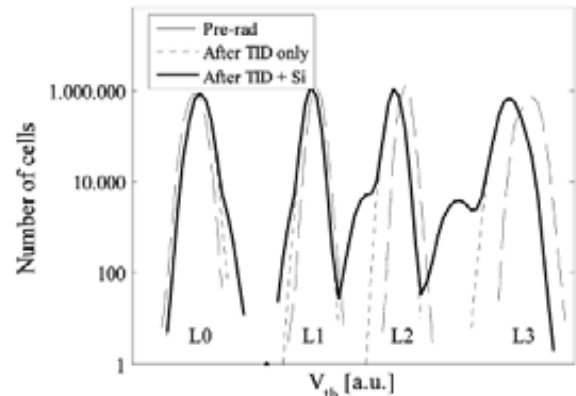


図 3.2.12-10. TID 照射を行った後、重イオン照射を行ったサンプルの V_{th} 分布への影響(90-nm プロセス)

次に、重イオン照射のみを行った場合の V_{th} 分布への影響を示したのが図 3.2.12-9 である。もともとの V_{th} 分布に加え、重イオン照射によって 2 番目のピークが出現している。重イオン照射による V_{th} 分布のシフトの大きさを $\Delta V_{th,HI}$ と記する。重イオン照射で V_{th} がシフトする理由は、以下の 3 点である。

- i) トンネル酸化膜中に重イオンの飛跡に沿った過渡的な導電性の経路が生成され、そこを通過して FG 内の電荷が放電する。
- ii) 過渡的なキャリアの流れが発生し、FG に出入りする。
- iii) マイナーな効果ではあるが、FG 周辺の誘電体層に正電荷捕獲が生ずる。

最後に、TID 照射を受けた後に重イオン照射を行ったサンプルの V_{th} 分布への影響を示したものが図 3.2.12-10 である。この図より、TID と重イオンを組み合わせ効果は、それら個別の効果の足し算で表される(式(2))。

$$\Delta V_{th} = \Delta V_{th,TID} + \Delta V_{th,HI} \quad (2)$$

図 3.2.12-11 には 65-nm プロセスについての試験結果を示した。結果は、基本的に 90-nm プロセスと同様であるが、小さいプロセスサイズの場合、重イオンにより引き起こされる V_{th} のシフト量が大きくなり、例えば、L3 の分布では、重イオン照射により出現する 2 番目のピークが L2 の分布の

中に隠れてしまっている。

TID と重イオン照射を行ったときのビットエラー数は、以下の式(3)により表される。

$$\# errors = \int_{-\infty}^{V_{ref}} V_{th,HI} (V) dV + \int_{V_{ref}}^{V_{ref} + \Delta V_{th,TID}} V_{th,HI} (V) dV \quad (3)$$

一番目の積分 I_1 は重イオン照射による V_{th} のシフトによりビットエラーとなるセル数であり、二番目の積分 I_2 は事前 TID による V_{th} 分布のシフトによりビットエラーとなるセル数である。ここで重要なのは、 I_1 と I_2 の相対的な大きさにより、事前 TID 照射のインパクトが表現されていることである。例えば、低 LET 領域では、 I_1 の値は高 LET 領域に比べ小さくなり、 I_2 のインパクトが大きくなる。

ただし、上記の議論は、以下の 2 点を見逃した単純化されたものである。第一に、事前 TID 照射により V_{th} 分布の幅が広がる効果を見逃している点である。第二に、事前 TID 照射により V_{th} が小さくなる方向にシフトしており、これに伴い、重イオン照射による V_{th} のシフト量も小さくなるはずだが、この効果を見逃している点である。実際、図 3.2.12-12 には、TID 照射の有無による $\Delta V_{th,HI}$ の違いを示しているが、TID を受けていないサンプルの方が $\Delta V_{th,HI}$ は大きくなっている。図 3.2.12-13 は、各 LET について、 ΔV_{th} の大きさを示したものであるが、すべての LET において、TID 未照射のサンプルの方がシフト量が大きくなっている。

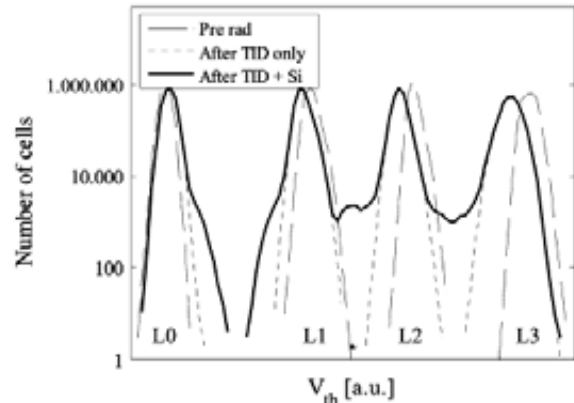


図 3.2.12-11. TID 照射を行った後、重イオン照射を行ったサンプルの V_{th} 分布への影響(65-nm プロセス)

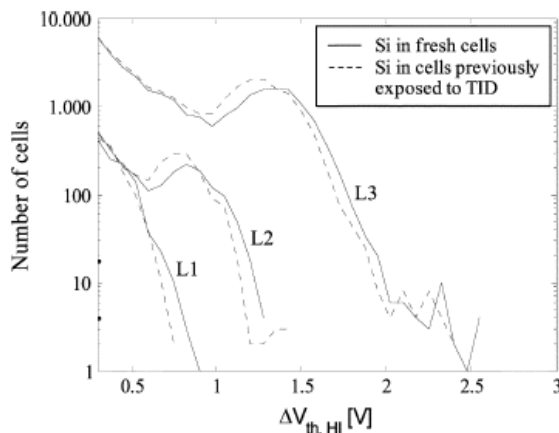


図 3.2.12-12. TID 照射ありとなしでの、重イオン照射に伴う V_{th} のシフト量の比較

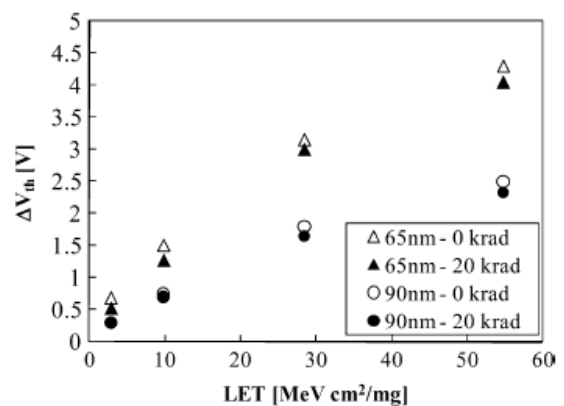


図 3.2.12-13. V_{th} 分布のシフト量と LET 値の関係

(c) 放射線耐性保証との関係

宇宙環境に近いレベルである低 TID 領域 (< 50krad) では、低ドーズ量の TID の効果を見逃すると、重イオンによる SEU 発生断面積を過小評価してしまう。TID は、ビットエラー数を増やすとともに SEU 発生 LET 閾値を下げる効果があることから、特に低 LET の粒子については、ビットエラー数を 1 桁程度小さく見積もる可能性がある。一方、この論文で行ったような TID と SEE の効果を単純に足し算する方法では、ビットエラー数を過大評価する可能性があり、今回評価したデバイ

スでは、低 LET 領域では 5~8%程度、高 LET 領域では 20%程度の過大評価となる。

また、この論文では、最初に TID 照射を行い、その後、重イオン照射を行ったが、順番を変えると、ビット反転数は今回の結果より大きくなることも小さくなることもある。これを評価するには、トンネル酸化膜内の電場強度を、TID 照射量および重イオン照射量の関数として求める必要がある。

最後に、原子番号の小さい(low-Z)物質と原子番号の大きい(high-Z)物質の境界面があるようなデバイスでは、X 線による TID は、陽子や電子による TID に比べ、TID 効果が大きくなることもあり、今回の結果は、ワーストケースの上限値といってよい。

(4) 結論

この論文では、事前に TID 照射(< 50krad)を受けたフローティングゲートセルについて、重イオン照射による SEU 発生断面積を示した。その結果、低 LET 領域においては、TID による SEU 発生断面積の増加への寄与は大きく、重イオンによるビットエラー数は、TID 照射量に比例して大きくなる。これは、TID と重イオン照射による V_{th} 分布のシフトの組み合わせに起因する。

TID 照射に続いて照射された重イオンによる SEU 発生断面積の増加は、宇宙でのエラーレート予測について重要な帰結をもたらす。TID と重イオンを組み合わせた効果は、別々に考えたとき(つまり単純に足し合わせた効果)に比べ、 V_{th} のシフト量としては小さくなる。これは、TID によるフローティングゲートからの電荷損失によって酸化膜内の電場が小さくなり、引き続いて照射された重イオンによる V_{th} のシフト量は、TID を受けていない場合と比べ、小さくなるためである。

(5) 考察

この論文では、フラッシュメモリの SEU について、TID と SEE の両方を合わせた相乗効果について研究している点において、目新しいものとする。実験の結果、TID による V_{th} への効果と SEE による V_{th} の効果をうまく分離し、それらの足し算によって相乗効果が理解できることを示しており、実際の宇宙環境下におけるビットエラーレートの予測方法に対して一定の指針を与えるものであり、非常に良い成果を挙げていると考える。一方、論文中に示されている結果を用いれば、より定量的な議論ができると思われるが、本論文では定性的な議論にとどまっており、この点は今後の研究の進展に期待するところである。

4 検討委員会の運営

学識経験者から構成される検討委員会を 3.1.2 項に示す通り設置し、表 3.1.2-1 に示す委員長及び副委員長並びに委員を選定・委嘱を行い、検討委員会の運営を実施した。また、委員会を運営するにあたり、表 4-1 に示すように、事務局を HIREC 内に設置し、JAXA 検査員殿と各種連絡調整作業等を実施した。

表 4-1 JAXA 検査員及び HIREC 事務局一覧

氏名	会社名	所属	役職
田村 高志	宇宙航空研究開発機構	研究開発本部 電子部品・デバイス・材料グループ	グループ長
久保山 智司	同上	同上	技術領域リーダ*
廣瀬 和之	同上	宇宙科学研究所 宇宙探査工学研究系	准教授
新藤 浩之	同上	研究開発本部 電子部品・デバイス・材料グループ	主任開発員
池田 直美	同上	同上	主任開発員
阿部 一英	同上	同上	主任開発員
水田 栄一	同上	同上	開発員
丸 明史	同上	同上	開発員
加藤 真耶	同上	同上	開発員
土屋 佑太	同上	同上	
梯 友哉	同上	宇宙科学研究所 電子部品・デバイス・電源グループ/大気球実験室	
宮崎 良雄	HIREC株式会社	技術部	部長
梨山 勇	同上	同上	専門技師
杉本 憲治	同上	同上	主席技師
榎原 亜紀子	同上	同上	副主席技師
浅井 弘彰	同上	同上	主任技師
松田 美恵子	同上	同上	副主席
倉持 喜代子	同上	同上	派遣職員

検討委員会については、表 3.1.3-1 の通り合計 5 回開催し、最終回は成果報告会も兼ねた。

検討委員会の運営にあたっては、JAXA 殿、委員長及び副委員長と日程調整を実施するとともに、委員会開催場所の確保、各委員に対する委員会開催通知を実施した。また、検討委員会で使用する資料の調達・準備を実施するとともに、委員会当日の議事進行を実施した。検討委員会で検討する内容等に関しては JAXA 殿、委員長及び副委員長と調整の上で決定した。また、各委員会開催後に議事録を作成し委員の了承を得た。

5 成果のまとめ

平成 23 年度の本検討委員会における検討内容は、IEEE Transaction on Nuclear Science, Vol.57, No.6 (December 2010)から、SOI デバイス、バルクデバイス、FPGA、フラッシュメモリ、パワーデバイス、HBTなどを調査対象として選定した。また現象としては、トータルドーズ現象、シングルイベント現象、陽子・中性子核反応シングルイベントについて検討を実施した。

以上選定した 12 件の論文に対して、学識経験者で構成される検討委員会を設置し、最新デバイスの耐放射線性強化技術の動向に関する討議を行い、これを成果報告書に編纂することができた。

平成 20 年度～平成 23 年度の 3 年間ににおける本委員会の成果を「最新デバイスの耐放射線性強化技術に関する検討委員会の成果と意義(副題:宇宙用半導体デバイスの放射線の影響に関する世界動向の把握と今後の見通し)」というタイトルでまとめた。本資料(HIREC-TD-E11131)を添付 6-4 に添付するので参照されたい。

6 添付資料

以下に示すとおり、委員会の会議資料、議事録、委員会成果と意義に関する資料を添付 6-1～6-4 にまとめた。

- ・添付 6-1 検討委員会 議事録
- ・添付 6-2 検討委員会 配付資料
- ・添付 6-3 最新デバイスの耐放射線性強化技術に関する検討委員会の成果と意義

(副題:宇宙用半導体デバイスの放射線の影響に関する世界動向の把握と今後の見通し)

—以上—

添付 6-1
検討委員会 議事録

会 議 議 事 録

【取扱注意】
(1/4)

整理 No.HIREC-MG-E110007

1.議題	2011 年度 第 1 回最新デバイスの耐放射線強化技術に関する検討委員会		
2.日時	平成 23 年 6 月 24 日 (15 時 00 分から 17 時 30 分まで)	8.確認欄	
		社名・所属等	サイン
3.場所	HIREC 株式会社 川崎事業所 第 1 会議室	JAXA	
4.出席者	添付資料 1 による	HIREC	
5.配布資料	添付資料 2 による		
6.配布先	出席者		
7.議事要約	<p>1.HIREC 挨拶(宮崎技術部長)</p> <p>この委員会は、10 年以上続いている長い委員会である。NSREC の論文について調査し、最新デバイスの耐放射線性技術に関する議論をお願いします。今年度は、JAXA 殿との 3 年契約の 3 年目にあたる。来年度以降もこの委員会を継続させるため、勉強会を開催し、委員会活動成果を中だけではなく外部に向けて発表したいと考えている。今後ともご協力をお願い致します。</p> <p>2.委員長・副委員長の選出</p> <p>委員長及び副委員長が以下の通り選出され、承認された。</p> <ul style="list-style-type: none"> ・委員長 : 伊部英史氏 株式会社日立製作所 横浜研究所 ・副委員長 : 高橋芳浩氏 日本大学 理工学部 電子情報工学科 <p>3.委員及び出席者の自己紹介</p> <p>委員及び出席者の自己紹介を行った。</p> <p>4. 委員会活動内容及び検討論文の発表 (事務局)</p> <p>本年度の委員会活動内容及び検討論文について、新デバ 1-3(1),(2) に基づき説明した。</p> <p>5.国際学会参加報告 (委員長)</p> <p>SELSEVII及び IRPS2011 調査報告について、新デバ 1-4(1)及び(2) に基づき説明があった。なお、IRPS2011 については、次回委員会に</p>		(処置・等)

HIREC 株式会社

帳 10I (保存年限 7 年) (H21.9.1)

会 議 事 録

(3 / 4)

て詳細に報告する。

【質疑】

Q1: 熱中性子試験の発表があったが、既に 10B を使わないことで対策されているのでは？

A1: 10B を使わないことで、熱中性子によるソフトエラーの影響は回避されてきた。しかし、別工程で配線層に微量の 10B が入り、それが熱中性子と反応を起こしてソフトエラーを引き起こすことがわかった。

Q2: JESD89A の改訂で、プロトン試験について議論されているか？

A2: 議論されており、特に低エネルギープロトンの影響に着目。

6. 各委員の調査結果報告 (Q 質問、A 回答、C コメント)

6.1 Scaling Trends in SET Pulse Widths in Sub-100nm Bulk CMOS Processes (事務局)

【概要】

65nm, 90nm, 130nm の Bulk CMOS プロセスについて、SET パルス幅のスケールリングトレンドを評価した。重イオン照射より、SET パルス幅は、65nm が最も小さい結果であったが、これは pulse broadening 効果や寄生バイポーラ効果等、複数要素を含んでいることがわかった。SET パルス幅のスケールリングトレンドについて議論する場合は、複数の要素を含んだ結果となるため確定することが困難だが、n-well コンタクトのレイアウトを横並びにしたテスト回路を用いて SET 評価試験をすることが必要である。

【質疑】

Q1: 比較した 65nm, 90nm 130nm のデバイスサイズは同じか？

A1: 論文に記述はないが、ゲート長、ゲート幅も違うと考えられる。

C1: PMOS に占める n-well コンタクトエリアの割合が、プロセスによって違う (130nm では 1% であるのに対し、65nm は約 20%) とあるが、これは製造メーカーによって異なるため、一意に言えない。

C2: ウェルコンタクトの面積がどれほど SET パルス幅に影響を与えるかを評価することが重要であると考えられる。

C3: この論文をきっかけに、SET 評価手法 (SET 測定回路含む) の標準化が望まれる。

Q2: P8 Fig.5 はどのように求めたのか？

A2: 発生する pulse broadening を測定し、その測定結果からオリジナルの SET パルス幅を再計算し、プロットしたものである。

HIREC 株式会社

帳 10I (保存年限 7 年) (H21.9.1)

会 議 事 録

C4:寄生バイポーラ効果は、ウェルコンタクトの面積で効いているとあるが、むしろ抵抗の影響が大きいと考えられる。

Q3:65nm プロセスのドーピングレベルはどれくらいか？

A3:130nm プロセスと比較して、1桁多い。10¹⁸ オーダである。

7.JAXA 殿挨拶(久保山技術領域リーダー)

本日は、委員会にご出席下さりありがとうございます。最近のデバイスは多様化しており、昔の実験データと比べると異なることが多くなってきた。宇宙用部品の耐放射線性強化について本委員会で議論・検討したいと考えている。3月に東日本大震災が発生し委員会が開催できるか心配されたが、本日無事開催することができた。今年度は3年契約の最後の年である。来年度以降の開催は不透明であるが今まで通り活発なご議論をお願いします。今年度もよろしくお願い致します。

8.その他

- (1)事務局より、半導体デバイスの放射線照射効果に関するスクール開催について説明した。
- (2)後日、各委員に検討論文の電子データ (CD-ROM) を送付する。
- (3)平尾委員より、自身が研究している SOI デバイスのマイクロビーム照射に関する概要説明があった。

—以上—

会 議 議 事 録

添付資料1 出席者(順不同)

1. 委員

- | | | |
|----------|------|-----------------|
| 1. 伊部 英史 | 委員長 | (株)日立製作所 横浜研究所 |
| 2. 高橋 芳浩 | 副委員長 | 日本大学 |
| 3. 平尾 敏雄 | 委員 | 日本原子力研究開発機構 |
| 4. 石井 茂 | 委員 | 三菱重工業(株) |
| 5. 坪山 透 | 委員 | 高エネルギー加速器研究機構 |
| 6. 加藤 一成 | 委員 | 三菱電機(株) 鎌倉製作所 |
| 7. 三浦 規之 | 委員 | OKIセミコンダクタ宮城(株) |
| 8. 新保 健一 | 委員 | (株)日立製作所 横浜研究所 |

2. 検査員

- | | |
|-----------|----------|
| 1. 久保山 智司 | 技術領域リーダー |
| 2. 丸 明史 | 開発員 |
| 3. 加藤 真耶 | 開発員 |

3. 事務局

- | | |
|-----------|----------|
| 1. 宮崎 良雄 | 技術部長 |
| 2. 榎原 亜紀子 | 技術部副主席技師 |
| 3. 浅井 弘彰 | 技術部主任技師 |
| 4. 松田 美恵子 | 技術部副主席 |
| 5. 倉持 喜代子 | 技術部 |

HIREC 株式会社

帳 10I (保存年限 7 年) (H21.9.1)

会 議 議 事 録

添付資料2 配布資料

- 新デバ 1-1 「平成 23 年度 最新デバイスの耐放射線性強化技術に関する検討委員会」
第 1 回委員会 座席表
- 新デバ 1-2 「平成 23 年度 最新デバイスの耐放射線性強化技術に関する検討委員会」
第 1 回委員会 議事次第
- 新デバ 1-3(1) 「平成 23 年度 最新デバイスの耐放射線性強化技術に関する検討委員会」
委員会の進め方について
- 新デバ 1-3(2) 「平成 23 年度 最新デバイスの耐放射線性強化技術に関する検討委員会」
担当論文アサインリスト
- 新デバ 1-4 国際学会参加報告 (委員長)
- 新デバ 1-5 **Scaling Trends in SET Pulse Widths in Sub-100 nm Bulk CMOS Processes**
(事務局)

HIREC 株式会社

帳 10I (保存年限 7 年) (H21.9.1)

会 議 議 事 録

【取扱注意】
(1/4)

整理 No.HIREC-MG-E11032

1.議題	2011 年度 第 2 回最新デバイスの耐放射線強化技術に関する検討委員会		
2.日時	平成 23 年 10 月 7 日 (14 時 00 分から 17 時 40 分まで)	8.確認欄	
		社名・所属等	サイン
3.場所	HIREC 株式会社 川崎事業所 第 1 会議室	JAXA	
4.出席者	添付資料 1 による	HIREC	
5.配布資料	添付資料 2 による		
6.配布先	出席者		
7.議事要約	<p>1. 配布資料 新デバ 2-2 の議事次第に従い議事を進行した。議事次第 4 項「国際学会参加報告（委員長）」については、次回委員会にて報告する。</p> <p>2. 各委員の調査結果報告(Q 質問、A 回答、C コメント)</p> <p>2-1 Independent Measurement of SET Pulse Widths From N-Hits and P-Hits in 65-nm CMOS (高橋副委員長)</p> <p>【概要】</p> <p>nMOS及びpMOSそれぞれのSETパルス幅を評価するため、nMOS評価 (N-Hits) 回路をNAND+Inv.、pMOS評価 (P-Hits) 回路をNOR+Inv.で構成した回路を設計し、重イオン照射によるSETパルス幅を測定した。デバイステクノロジーは、65nmバルクCMOS。実験の結果、①低LET領域 (LET=約20MeV/(mg/cm²)) では、N-Hitsの方が約10%SETパルス幅が長く、②高LET領域 (LET=約60MeV/(mg/cm²)) では、P-Hitsの方がSETパルス幅が長い (W-E方向60° 照射ではN-Hitsより60%増大する) ことがわかった。高LET領域でのP-HitsのSETパルス幅増大の要因は、寄生バイポーラ効果であると結論づけた。</p> <p>【質疑】</p> <p>Q1:本論文で設計したN-Hits用評価回路、P-Hits用評価回路のSOIデバイスへの適用について、入力信号の極性を逆転させることで可能か？</p> <p>A1:入力信号の極性を逆にするだけでは、インバータでSETが発生</p>		(処置・等)

HIREC 株式会社

帳 10I (保存年限 7 年) (H21.9.1)

会 議 議 事 録

する可能性があるため、適用できない。更なる工夫が必要。

Q2:pMOSでは寄生バイポーラ効果の影響があるとのことだが、nMOSではどうか？

A2:wellが存在しないため、pMOSと比較して電荷は蓄積しない（寄生バイポーラ効果の影響は小さい）。

C1:より正確にSETパルス幅を測定するには、レーザ、マイクロビームを用いてターゲットブロックを特定して照射した方が良い。

Q3:wellは島状のため、照射角度を付けても寄生バイポーラ効果は増加しないのでは？

A3:傾けたことによる収集電荷量は増加する。この増加量がパルス幅増大に起因している。

Q4:デバイススケールとSETパルス幅の関連性はどうか？

A4:スケールによるSETパルス幅の影響に関する議論はない。

Q5:照射試験での動作電圧は？

A5:論文に記述はない。過去の報告等から、動作電圧によりSETパルス幅は変化すると考える。

Q6:デバイステクノロジーは65nmとのことだが、垂直入射でのチャージシェアリングの影響はあるか？

A6:今回試験したデバイスのレイアウトは、wellは島状のためチャージシェアリングの影響は無いと考えられる。また、各ブロックの2つのインバータが同時にSETを発生させないため、距離を離している（3.5um以上）。

Q7:照射の結果、SETは何イベント発生したのか？

A7:P16の”SET cross section per gate” vs. “SET Pulse width”グラフの結果をそれぞれ積分する必要があるが、論文では触れられていない。

C1: この評価手法では、nMOS, pMOSの相対値によるSETパルス幅の比較は可能だが、絶対値での議論は難しい。

2-2 Evaluating the Influence of Various Body-Contacting Schemes on Single Event Transients in 45-nm SOI CMOS (三浦委員)

【概要】

45nm SOI CMOSプロセスにおけるレーザ照射によるSET耐性について、設計した2種類のボディコンタクトによる影響を評価した。設計したボディコンタクトはT型及びノッチ型であり、ノッチ型のSi層部は、T型と比較して13%小さい。評価試験の結果、T型

HIREC 株式会社

帳 10I (保存年限 7 年) (H21.9.1)

会 議 議 事 録

と比較してノッチ型の方がSET耐性に優れていることがわかった。この結果は、放射線環境下で使用するアプリケーションで求められるRF性能、耐放射線性（SEE, TID耐性）のトレードオフに資する。今後、TCADを用いてSETに関する物理メカニズムを解析する。

【質疑】

Q1:図3Nfetに関するソース電流のグラフで、Body側（右方向）のレーザ照射で、T型とノッチ型で電流が変化するのはわかるが、逆方向（左方向）の照射で、電流が変化するのはなぜか？

A1:論文では、過渡電流のピーク値のみで議論しており（ノッチ型はT型と比較してピーク過渡電流は20%小さい）、ポジションによる電流値の違いに関する議論はない。

Q2:図2の結果と電界分布との関連性はどうか？

A2:論文に記述はない。

C1:SET電流の照射位置の依存性を議論する上で、電界強度の分布はキーパラメータである。

Q3:1nJ及び10.7nJのレーザを用いているが、それぞれ試験でキャリアの熱拡散の影響はどうか？

A3: 論文に記述はない。

Q4:図3のボディ電流の比較で約1/3の違いが確認された原因は？

A4:ボディ電流が流れるのはPoly Gate付近に照射された場合である。従って、この電流の違いは、T型とノッチ型でのアクティブエリア（面積）の違いが原因であると考えられる。

2-3 Combining Results of Accelerated Radiation Tests and Fault Injections to Predict the Error Rate of an Application Implemented in SRAM-Based FPGAs (石井委員)

【概要】

SRAMベースFPGAにおけるアプリケーションレベルのソフトウェアエラー率を”Static (静的な)放射線試験結果”と”Fault injection (故障注入)試験結果”を組み合わせて予測する手法を提案した。本手法による予測結果とDynamic (動的な)放射線試験結果を比較した結果、非常に良く一致した。今回使用したSRAMベースFPGAは、Virtex-II XC2V1000。今後、MBUに対応したFault injection方法を検討すると共に、LWS衛星を用いて予測値と実測値を比較する予定である。

【質疑】

HIREC 株式会社

帳 10I (保存年限 7 年) (H21.9.1)

会 議 事 録

C1:資料の訂正：“P14 Argonの静的なクロスセクション値”

【誤】 5.68×10^{-3} [cm²/device]

【正】 5.68×10^{-2} [cm²/device]

Q1:P8 試行回数とは何か？

A1:意図的にエラー（1bit反転）を注入した回数のこと。

Q2:TMRにもエラー注入しているのか？

A2:TMRにもエラー注入している。なお、エラー注入の場所及びタイミングは、メルセンヌツイスタ擬似乱数発生プログラムを用いている。

Q3:P14のエラー予測結果で、CarbonイオンとArgonイオンで予測結果に違いがあるのはなぜか？

A3:本手法による予測エラー率は、Static放射線試験で得られたSEU断面積（ σ_{SEU} ）とFault injection試験によって得られたエラー率（ T_{inj} ）の積で求められる。従って、Carbon及びArgonイオンの σ_{SEU} が異なるため、予測結果はCarbon, Argonで異なる。

C2:同一のFPGAでもブロック毎でSEU耐性は異なるケースがあるため、本予測手法はこれらについても加味する必要があると考える。

3.2011年 NSREC 参加報告（事務局）

Las Vegas で開催された 2011 年 NSREC 参加報告について、新ページ 2-6 に基づき説明があった。

参加者は約 580 名、発表論文は 140 件であり、昨年と比較し若干減少傾向。Short Course のテーマは、“Space Radiation Environments and Their Effects on Devices and Systems : Back to the Basics”、Technical Session は全 10 セッションあり、タイトルは昨年と同じである。日本からの発表論文は 2 件（JAXA/JAEA : 1 件、京都工芸繊維大/京大 : 1 件）。来年の NSREC 開催場所は、マイアミである。

4.その他

(1)第 3 回、第 4 回の委員会開催日は、11/25、12/16 を予定する。

(2)本日報告した委員は、10/21 までに抄訳を事務局へ提出する。

－以上－

HIREC 株式会社

帳 10I（保存年限 7 年）（H21.9.1）

会 議 議 事 録

添付資料1 出席者(順不同)

1. 委員

- | | | |
|----------|------|------------------|
| 1. 伊部 英史 | 委員長 | (株)日立製作所 横浜研究所 |
| 2. 高橋 芳浩 | 副委員長 | 日本大学 |
| 3. 平尾 敏雄 | 委員 | 日本原子力研究開発機構 |
| 4. 石井 茂 | 委員 | 三菱重工業(株) |
| 5. 深田 孝司 | 委員 | みずほ情報総研(株) |
| 6. 猪俣 輝司 | 委員 | NEC東芝スペースシステム(株) |
| 7. 加藤 一成 | 委員 | 三菱電機(株) 鎌倉製作所 |
| 8. 三浦 規之 | 委員 | ラピスセミコンダクタ宮城(株) |

2. 検査員

- | | |
|-----------|----------|
| 1. 久保山 智司 | 技術領域リーダー |
| 2. 新藤 浩之 | 主任開発員 |
| 3. 土屋 佑太 | 開発員 |

3. 事務局

- | | |
|-----------|-----------|
| 1. 宮崎 良雄 | 技術部長 |
| 2. 梨山 勇 | 技術部 専門技師 |
| 3. 榎原 亜紀子 | 技術部 副主席技師 |
| 4. 飯出 芳弥 | 技術部 副主席技師 |
| 5. 浅井 弘彰 | 技術部 主任技師 |
| 6. 松田 美恵子 | 技術部 副主席 |
| 7. 倉持 喜代子 | 技術部 |

4. オブザーバ

- | | |
|----------|-------------|
| 1. 黒崎 忠明 | HIREC(株) 社長 |
| 2. 下平 勝平 | HIREC(株) 顧問 |

HIREC 株式会社

帳 10I (保存年限 7 年) (H21.9.1)

会 議 議 事 録

添付資料2 配布資料

- 新テ`ハ` 2-1 「平成 23 年度 最新デバイスの耐放射線性強化技術に関する検討委員会」
第 2 回委員会 座席表
- 新テ`ハ` 2-2 「平成 23 年度 最新デバイスの耐放射線性強化技術に関する検討委員会」
第 2 回委員会 議事次第
- 新テ`ハ` 2-3 Independent Measurement of SET Pulse Widths From N-Hits and P-Hits in 65-nm
CMOS (高橋委員)
- 新テ`ハ` 2-4 Evaluating the Influence of Various Body-Contacting Schemes on Single Event
Transients in 45-nm SOI CMOS (三浦委員)
- 新テ`ハ` 2-5 Combining Results of Accelerated Radiation Tests and Fault Injections to Predict the
Error Rate of an Application Implemented in SRAM-Based FPGAs (石井委員)
- 新テ`ハ` 2-6 2011 年 NSREC 参加報告 (事務局)
- 新テ`ハ` 2-7 国際学会参加報告 (委員長)

HIREC 株式会社

帳 10I (保存年限 7 年) (H21.9.1)

会 議 議 事 録

【取扱注意】
(1/4)

整理 No.HIREC-MG-E11043

1.議題	2011 年度 第 3 回最新デバイスの耐放射線強化技術に関する検討委員会		
2.日時	平成 23 年 11 月 25 日 (14 時 00 分から 18 時 00 分まで)	8.確認欄	
		社名・所属等	サイン
3.場所	HIREC 株式会社 川崎事業所 第 1 会議室	JAXA	
4.出席者	添付資料 1 による	HIREC	
5.配布資料	添付資料 2 による		
6.配布先	出席者		
7.議事要約	<p>1. 配布資料 新デバ 3-2 の議事次第に従い議事を進行した。2-4 の論文については、第 5 回委員会にて再度報告することとした。</p> <p>2. 各委員の調査結果報告(Q 質問、A 回答、C コメント)</p> <p>2-1 Parametric Variability Affecting 45nm SOI SRAM Single Event Upset Cross-Sections (坪山委員)</p> <p>【概要】</p> <p>45nm SOI SRAMのSEU耐性に寄与するパラメータについて 3D-TCAD及びSPICEシミュレーションを用いて解析した。解析の結果、最もSEUに対して脆弱性のあるトランジスタは、OFF状態のnMOSであり、動作電圧、ボディタイなどのパラメータがSEU耐性に影響を与えることが分かった。また、LET=10 [MeV/(mg/cm²)]以下のプロトン起因のSEU発生領域では、入射するプロトンエネルギーのばらつきやSi層内に付与するエネルギー分布により、SEU断面積が変動することを確認した。</p> <p>【質疑】</p> <p>Q1:この論文はシミュレーションのみの結果を示したものか？</p> <p>A1:その通り。論文に示される実験データは、文献から引用した物である。</p> <p>Q2:シミュレーションで用いるイオンのLETは、どの部分を示したものか？</p> <p>A2:デバイス表面、つまりSurface LETであると考えられる。</p> <p>Q3:シミュレーションに用いたデバイスのSOI層厚は？</p>		(処置・等)

HIREC 株式会社

帳 10I (保存年限 7 年) (H21.9.1)

会 議 議 事 録

A3:70nmである。

Q4:P18 Fig.9は何を示しているか？

A4:直径10nm及び1000nmのシリコン球に1MeVのプロトンを入射させ、単位長当たりのエネルギー発生密度分布を示した図である。この結果から、特にSOIのようなナノデバイスでは入射エネルギーのばらつきによりSEU感度に影響を与えることを示している。

2-2 Theoretical Correlation of Broad Spectrum Neutron Sources for Accelerated Soft Error Testing (新保委員)

【概要】

宇宙から降り注ぐ広域中性子スペクトル (spallation neutron spectrum) を模擬する5つの中性子照射施設によって取得したSRAM及びDRAMのソフトエラー率について、標準中性子スペクトル (JESD89A, IEC TS-32396-1) を使って測定誤差を定量評価した。この結果、全ての照射施設で良い結果が得られ、標準スペクトルから予測されるソフトエラー率に対して50%以内の誤差であることがわかった。また、テクノロジーの微細化による臨界電荷量の低下から、JESD89Aで定められている中性子スペクトルの積分下限エネルギー (10MeV) の見直しを提案。

【質疑】

Q1:断面積評価ではワイブルフィッティングが適用されるが、低エネルギー側の断面積が下がらない (むしろ上がる) データもあるが、考慮しているのか？

A1:ワイブルフィッティングは非線形フィッティングのため、フィッティングが難しいケースもあり、それを考慮したフィッティング解析はできていない。

Q2:SパラメータやWパラメータはどのように決めたのか？

A2:著者がデータを基にフィッティングして決めた値である。

Q3:熱中性子の影響について言及しているか？

A3:論文に記述はない。

C1:評価デバイスによっては、熱中性子がソフトエラー率に影響を与えることもあり、今後議論されていくと考えられる。

Q4:プロトンや中性子照射によるTIDの影響はどうか？

A4:中性子はプロトンと比較してTIDの影響は少ないが、長時間照射する場合は考慮すべきである。

Q5:P6 Fig.1の中性子スペクトルの測定誤差はどれくらいか？

HIREC 株式会社

会 議 議 事 録

A5:論文に記述はない。

2-3 Charge Collection in Power MOSFETs for SEB Characterization-Evidence of Energy Effects (北村委員)

【概要】

3つのPower MOSFETについて、入射イオンのエネルギーの違いによるSEB耐性への影響を電荷収集手法によって調査した。この結果、低エネルギーでは飛程によってSEB耐性を過小評価する、高エネルギーではボンディングワイヤによるシャドウ効果を考慮する必要があることがわかった。さらに、SEB試験で使用するイオンの飛程について提案する。

【質疑】

Q1:P16 ダイレクトトンネリングとは？

A1:ドレインに高電圧を印加し高電界領域が形成され、イオンが入射すると寄生バイポーラ効果により直接トンネリング電流が流れる。これによってキャリア生成され収集電荷量が急激に増加する。

Q2:シャドウ効果とは？

A2:ボンディングワイヤにイオンが入射するとワイヤの影響によりデバイスに付与するエネルギーが変化し、収集電荷量が増加すること。この効果は、イオンの飛程がワイヤ径に近いほど影響が出る。従って、シャドウ効果を取り除くには、入射イオンの飛程は、ワイヤ径よりも非常に小さくするか大きくする必要がある。

Q3:P17 表3の設定レンジは、デバイス構造は考慮しているか？

A3:この表は、縦型Power MOSFETにおけるSEB試験で使用するイオンの飛程を耐圧毎に分類したものであり、デバイス構造は考慮していると考えられる。

C1:表3ではSEB試験のみを取り上げているが、SEGR試験についても飛程は考慮されるべきだと考える。

2-4 Mechanisms and Temperature Dependence of Single Event Latchup Observed in a CMOS Readout Integrated Circuit From 16-300 K (平尾委員)

【概要】

ROICのSEL耐性について、極低温 (20K) から室温 (300K) までの温度依存性を評価した。この結果、極低温領域でSELを初め

会 議 議 事 録

て観測でき、SEL断面積は、室温と同程度であることが分かった。

【質疑】

Q1:極低温の試験で、デバイスは正常に動作しているのか？

A1:論文には記述ない。

Q2:室温から極低温に温度を低下させると、極低温時にSELが再び発生するのはなぜか？

A2:極低温になるとバンドギャップナローイングが発生しキャリアが注入されるためであると考えられる。

C1:文献を調査し再度報告する。

3.国際学会参加報告（委員長）

「ソフトウェア研究に関する最新動向・2011年の国際学会動向」というタイトルで報告があった。

- ・様々なエラー原因に対して電子システムの階層毎に現象を捉える必要がある。
- ・SEEを①Fault②Error③Failureの階層に分類し、それぞれ定義を標準化する必要がある。（委員長提案）
- ・評価手法として、フォールトインジェクションによる評価が近年増加している傾向がある。

4.その他

(1)第4回の委員会開催日は、12/16を予定する。

(2)本日報告した委員は、12/9までに抄訳を事務局へ提出する。

－以上－

会 議 事 録

添付資料1 出席者(順不同)

1. 委員

- | | | |
|----------|------|---------------------|
| 1. 伊部 英史 | 委員長 | (株)日立製作所 横浜研究所 |
| 2. 高橋 芳浩 | 副委員長 | 日本大学 |
| 3. 平尾 敏雄 | 委員 | 日本原子力研究開発機構 |
| 4. 深田 孝司 | 委員 | みずほ情報総研株式会社 |
| 5. 坪山 透 | 委員 | 高エネルギー加速器研究機構 |
| 6. 猪俣 輝司 | 委員 | NEC東芝スペースシステム (株) |
| 7. 加藤 一成 | 委員 | 三菱電機(株) 鎌倉製作所 |
| 8. 新保 健一 | 委員 | (株)日立製作所 横浜研究所 |
| 9. 北村 明夫 | 委員 | 富士電機株式会社 |
| 10. 蓮池 篤 | 委員 | 三菱電機(株) 高周波光デバイス製作所 |

2. 検査員

- | | |
|----------|-------|
| 1. 新藤 浩之 | 主席開発員 |
|----------|-------|

3. 事務局

- | | |
|-----------|---------|
| 1. 宮崎 良雄 | 技術部長 |
| 2. 梨山 勇 | 技術部専任技師 |
| 3. 浅井 弘彰 | 技術部主任技師 |
| 4. 倉持 喜代子 | 技術部 |

HIREC 株式会社

帳 10I (保存年限 7 年) (H21.9.1)

会 議 議 事 録

添付資料2 配布資料

- 新テバ 3-1 「平成 23 年度 最新デバイスの耐放射線性強化技術に関する検討委員会」
第 3 回委員会 座席表
- 新テバ 3-2 「平成 23 年度 最新デバイスの耐放射線性強化技術に関する検討委員会」
第 3 回委員会 議事次第
- 新テバ 3-3 Parametric Variability Affecting 45 nm SOI SRAM Single Event Upset Cross-Sections
(坪山委員)
- 新テバ 3-4 Theoretical Correlation of Broad Spectrum Neutron Sources for Accelerated Soft Error
Testing (新保委員)
- 新テバ 3-5 Charge Collection in Power MOSFETs for SEB Characterization-Evidence of Energy
Effects (北村委員)
- 新テバ 3-6 Mechanisms and Temperature Dependence of Single Event Latchup Observed in a CMOS
Readout Integrated Circuit From 16–300 K (平尾委員)
- (再配布) 新テバ 2-7 「ソフトウェア研究に関する最新動向-2011 年の国際学会動向-」(委員長)

HIREC 株式会社

帳 10I (保存年限 7 年) (H21.9.1)

会 議 議 事 録

【取扱注意】
(1/4)

整理 No.HIREC-MG-E11051

1.議題	2011 年度 第 4 回最新デバイスの耐放射線強化技術に関する検討委員会		
2.日時	平成 23 年 12 月 16 日 (14 時 00 分から 17 時 00 分まで)	8.確認欄	
		社名・所属等	サイン
3.場所	HIREC 株式会社 川崎事業所 第 1 会議室	JAXA	
4.出席者	添付資料 1 による	HIREC	
5.配布資料	添付資料 2 による		
6.配布先	出席者		
7.議事要約	<p>1. 配布資料 新デバ 4-2 の議事次第に従い議事を進行した。</p> <p>2. 各委員の調査結果報告(Q 質問、A 回答、C コメント)</p> <p>2-1 Increase in the Heavy-Ion Upset Cross Section of Floating Gate Cells Previously Exposed to TID (加藤委員)</p> <p>【概要】</p> <p>NOR型 MLC Flash memory (65nm及び90nmプロセス) に対して、X線照射によるTID試験 (<30krad(Si)) 後に重イオン照射によるSEU試験を行い、SEUとTIDの相乗効果を評価した。この結果、ビットエラー数は、SEU試験前にX線照射すると増加し、その増加量はプロセスサイズの小さい方が大きいことが分かった(相乗効果を確認した)。解析の結果、これはTID効果と重イオン照射によるVth分布のシフトの組み合わせによるものであることが分かった。</p> <p>【質疑】</p> <p>Q1:このFlash memoryは、1つのセルに4つの論理状態があるのか?</p> <p>A1:その通り。使用したFlash memoryは、セルに2bitの論理状態がアサインされているデバイスである。</p> <p>Q2:P21 low-Z, high-Z物質とは何を指しているか?</p> <p>A2:low-Z物質とはアルミやシリコン、high-Z物質とはタングステンを指していると考えられる。</p>		(処置・等)

HIREC 株式会社

帳 10I (保存年限 7 年) (H21.9.1)

会 議 事 録

Q3:ビットエラーとSEUは同義か？

A3:同義ではないが、論文ではビットエラーとSEUを同じものとしている。この論文でビットエラーとは、照射前のデータと比較して変化したものをビットエラーとしており、この場合何回読み出してもエラーが起こる。一方、SEUとは、2回目に読み出すと元（照射前のデータ）に戻る現象であるため、両者は異なる。

C1:この論文では、SEUやTIDという用語の使い方が異なる。一般的にTID効果は恒久的な劣化を言うが、この論文では恒久的な現象として表現されていない。

Q4:ビットエラーの発生したセルに正しいデータを書き換えると元の状態に戻るか？

A4:論文には記述されていないが、元の状態に戻ると考えられる。

Q5:重イオン照射によるビットエラーの発生要因は、コンダクションパスが形成され電荷ロスとのことだが、RIDLやSIDLの効果も含まれているのか？

A5:含まれていると考える。

Q6:重イオン照射によってMCUは発生しているのか？

A6:論文には記述ないが、実験データからMCUは発生していると考えられる。

2-2 Analysis of Total Dose-Induced Dark Current in CMOS Image Sensors From Interface State and Trapped Charge Density Measurements (深田委員)

【概要】

CMOSイメージセンサ(CIS)のTID効果による暗電流とトラップ電荷密度の関係を評価するため、0.18umプロセスの4種類のデバイス(通常の写真ダイオード、RFD写真ダイオード、FOX-FET、PMD-FET)にTID試験を行い、TCADシミュレーションにて解析した。この結果、暗電流は、主に放射線入射によるSRH(Shockley-Read-Hall)生成電流とSTI(酸化膜)トラップ電荷によるリーク電流によってもたらされることを確認した。今後、CISの放射線照射効果を解析する前に、放射線照射時及びアニーリング時のSTIの振る舞いについて調査する。

【質疑】

Q1:暗電流の原因として、STIの界面が問題なのか？

A1:照射によりSTIに電荷が蓄積され、チャンネルが形成される。こ

HIREC 株式会社

会 議 事 録

れによりリーク電流が発生し劣化が促進される。また、空乏層はSRH生成の領域となり、リーク電流が発生する。

C1:リーク電流の影響度について、低ドーズ量ではSRH生成が主に影響を与える。高ドーズ量ではSRH生成の他にSTI界面領域によるリークも影響を与える。

2-3 Process Dependence of Proton-Induced Degradation in Gan HEMTs (蓮池委員)

【概要】

3つの条件下 (Gaリッチ、Nリッチ、NH₃リッチ) で成長させた GaN/AlGaN HEMTに1.8MeVプロトンを照射し、特性を評価した。評価の結果、①Gaリッチ及びNリッチと比較してNH₃リッチはプロトンに対して脆弱性があること、②ホットエレクトロンストレスによる劣化とプロトン照射による劣化の起因は異なること、③Fluence=7×10¹³ [p/cm²]まで照射するとアクセプタライク性質をもつN空孔が生成され1/f雑音が増加することがわかった。

【質疑】

Q1:ピンチオフ電圧とは？

A1:この論文ではゲートのしきい値電圧を指している。

Q2: NH₃リッチのプロトン照射後のI_D-V_G特性結果で、電流値がフラットになったのはなぜか？ (Fig.3)

A2:論文に記述はない。プロトン照射による通常の劣化ではない。

Q3:Fig.8の縦軸、横軸は？

A3:縦軸は、密度関数理論によって計算したエネルギー、横軸は、フェルミエネルギーの位置を示す。

Q4:GaN 2重空孔とは？

A4:プロトン照射により、隣り合うGaとN両方が抜けた状態のことであると考える。

Q5:実験で使用したプロトンのFluenceとエネルギーを選定した理由は？

A5:太陽フレアからのプロトンを想定しているかもしれないが、Fluence=10¹⁴ [p/cm²]は多すぎる量である。通常は10¹⁰ [p/cm²]程度である。また、選定したプロトンエネルギー1.8 [MeV]は低すぎる。

Q6:Fig.2のNリッチ及びGaリッチの結果で、ストレス時間を長くしても劣化が一定になっているのはなぜか？

A6:論文に記述ない。プロトン照射によって生じた欠陥にトラップ

HIREC 株式会社

会 議 事 録

(4/4)

された電荷がホットキャリアストレスによって抜けていった可能性がある。バイアス条件にもよるがアニーリングによって回復する。

3. 2011 年 RADECS 参加報告（事務局）

スペインのセビリヤで開催された 2011 年 RADECS 参加報告について、新デバ 4-6 に基づく報告があった。

参加者は、約 550 名、発表論文は 175 件であり、昨年と比べて増加した。Short Course のタイトルは、”A travel in radiation activities through a space program”、Technical Session は全 10Session で初めて Laser に特化した Session が立ち上がった。日本からの発表論文は 7 件（JAXA 殿, JAEA 殿, 三菱重工業殿, 九州大学殿, 静岡理工科大学殿, HIREC 2 件）であった。来年の RADECS は、フランスのビアリッツで開催される。

4. その他

(1)本日報告した委員は、2012 年 1/6 までに抄訳を事務局へ提出する。

(2)事務局より、半導体デバイスの放射線照射効果に関するスクール（案）について案内があった。

開催日：2012 年 2 月 14 日（火）

開催場所：日本大学理工学部駿河台キャンパス

—以上—

会 議 議 事 録

添付資料1 出席者(順不同)

1. 委員

- | | | |
|----------|------|---------------------|
| 1. 伊部 英史 | 委員長 | (株)日立製作所 横浜研究所 |
| 2. 高橋 芳浩 | 副委員長 | 日本大学 |
| 3. 深田 孝司 | 委員 | みずほ情報総研株式会社 |
| 4. 加藤 一成 | 委員 | 三菱電機(株) 鎌倉製作所 |
| 5. 蓮池 篤 | 委員 | 三菱電機(株) 高周波光デバイス製作所 |

2. 検査員

- | | |
|-----------|----------|
| 1. 久保山 智司 | 技術領域リーダー |
| 2. 丸 明史 | 開発員 |
| 3. 加藤 真耶 | 開発員 |

3. 事務局

- | | |
|-----------|----------|
| 1. 宮崎 良雄 | 技術部長 |
| 2. 梨山 勇 | 技術部専任技師 |
| 3. 榎原 亜紀子 | 技術部副主席技師 |
| 4. 浅井 弘彰 | 技術部主任技師 |
| 5. 倉持 喜代子 | 技術部 |

HIREC 株式会社

帳 10I (保存年限 7 年) (H21.9.1)

会 議 議 事 録

添付資料2 配布資料

- 新デ^ハ 4-1 「平成 23 年度 最新デバイスの耐放射線性強化技術に関する検討委員会」
第 4 回委員会 座席表
- 新デ^ハ 4-2 「平成 23 年度 最新デバイスの耐放射線性強化技術に関する検討委員会」
第 4 回委員会 議事次第
- 新デ^ハ 4-3 Increase in the Heavy-Ion Upset Cross Section of Floating Gate Cells Previously
Exposed to TID (加藤委員)
- 新デ^ハ 4-4 Analysis of Total Dose-Induced Dark Current in CMOS Image Sensors From Interface
State and Trapped Charge Density Measurements (深田委員)
- 新デ^ハ 4-5 Process Dependence of Proton-Induced Degradation in GaN HEMTs (蓮池委員)
- 新デ^ハ 4-6 2011 年 RADECS 参加報告 (事務局)

HIREC 株式会社

帳 10I (保存年限 7 年) (H21.9.1)

会 議 議 事 録

【取扱注意】
(1 / 4)

整理 No.HIREC-MG-E11078

1.議題	2011 年度 第 5 回最新デバイスの耐放射線強化技術に関する検討委員会		
2.日時	平成 24 年 3 月 2 日 (14 時 00 分から 17 時 00 分まで)	8.確認欄	
		社名・所属等	サイン
3.場所	HIREC 株式会社 川崎事業所 第 1 会議室	JAXA	
4.出席者	添付資料 1 による	HIREC	
5.配布資料	添付資料 2 による		
6.配布先	出席者		
7.議事要約	<p>1. 配布資料 新デバ 5-2 の議事次第に従い議事を進行した。</p> <p>2. 各委員の調査結果報告(Q 質問、A 回答、C コメント)</p> <p>2-1 Low Dose Rate Effects in Shallow Trench Isolation Regions (猪俣委員)</p> <p>【概要】</p> <p>250nmCMOSデバイスのシャロートレンチアイソレーション (STI) における低線量率TID効果について、Co-60及び10kV-X線を用いて実験を行い、さらにコンピュータモデリングによる解析も行った。この結果、①STI反転は印加電圧依存性を持ち、無バイアス状態では反転が起こらないこと、②放射線劣化にはドーズレート依存性があり低ドーズレートの方がダメージが大きいこと、③X線照射によるSTIの放射線耐性結果は過大評価していることなどがわかった。また、筆者らは、このSTIのTID試験データは、最先端CMOSデバイスの耐放射線品質保証に必要であると提案する。</p> <p>【質疑】</p> <p>Q1:照射中のバイアス条件は？</p> <p>A1:無バイアス及びバイアス印加状態で照射した。なお、照射実験の結果、無バイアスではSTIの反転は発生しなかった。</p> <p>C1:STIの反転の印加電圧依存性は、電圧の違いにより電子正孔対の再結合頻度が異なることが影響していると考えられる。</p>		(処置・等)

HIREC 株式会社

帳 10I (保存年限 7 年) (H21.9.1)

会 議 議 事 録

Q2:P22 「コンピュータモデリングから捕捉電荷のピークはゲートの直下にある」とあるが、どの図から読み取れるか？

A2:P17 Fig. 12にて電荷密度の最大値がゲート直下にあることで理解できる。

C2:Fig. 12は、ゲート直下の断面図であるため、ゲートから離れた位置での断面図がないと正解に比較できないだろう。

Q3:アニーリング時のバイアス条件は？

A3:照射時と同じようにバイアス印加状態でアニーリングした。無バイアスではアニーリングしていない。

C3:P19 STI反転とELDRSとの比較において、ELDRSに関する内容は、文献を引用したものである（本論文で得られたものではない）。

Q4:P17 Fig.12で、Co-60とX線の違いは何か？

A4:電荷密度は若干異なるが、電荷分布は同じであることを言いたいのだと考える。

Q5: P17 Fig.12で、ウェルとSTI界面で電荷分布が無いのは何故か？

A5:この領域ではトンネリングが発生し電荷密度が低下するため、記載しなかったのではないかと考える。

2-2 Mechanisms and Temperature Dependence of Single Event Latchup Observed in a CMOS Readout Integrated Circuit From 16-300 K (平尾委員)

【概要】

第3回放射線委員会にて報告した内容であり、今回補足の報告として行った。本論文では、ROICのSEL耐性について、極低温(20K)から室温(300K)までの温度依存性を評価した。この結果、極低温領域でSELを初めて観測でき、SEL断面積は、室温と同程度であることが分かった。

3.成果報告(本報告は成果報告会を兼ねる)

3-1 委員会運営の報告(事務局)

事務局より本年度委員会の運営について報告した。

3-2 本年度検討論文内容の報告(委員長)

伊部委員長より今年度の検討論文の内容について、まとめ報告を行った。

会 議 事 録

(4 / 4)

4.JAXA 殿 ご講評

久保山技術領域リーダーより講評をいただいた。

本日はご議論ありがとうございました。次の世代のデバイスを作る上で、貴重なご意見として活用させて頂く。最近、地上中性子の影響が注目され、放射線に対する問題は地上も宇宙も共通する部分があり、今後、地上と宇宙の技術交流が必要であると考えている。地上の最先端技術も宇宙に取り入れていきたい。発表の場も、NSREC だけではなく、段階的に幅を広げていく必要がある。JAXA の契約としては今年度までの 3 年間で一区切りであるが、この 3 年間でかなり視野が広がったと思う。次年度からの 3 年間も、引き続きご協力をお願いします。

5. その他

(1)事務局より、2012/2/14 に日大で開催された「第 1 回半導体デバイスの放射線照射効果研究会」の開催報告を行った。

(2)JAXA 殿より、2012 年に開催される RASEDA の案内があった。

—以上—

会 議 議 事 録

添付資料1 出席者(順不同)

1. 委員

- | | | |
|----------|------|---------------------|
| 1. 伊部 英史 | 委員長 | (株)日立製作所 横浜研究所 |
| 2. 高橋 芳浩 | 副委員長 | 日本大学 |
| 3. 平尾 敏雄 | 委員 | 日本原子力研究開発機構 |
| 4. 石井 茂 | 委員 | 三菱重工業(株) |
| 5. 深田 孝司 | 委員 | みずほ情報総研株式会社 |
| 6. 猪俣 輝司 | 委員 | NEC東芝スペースシステム(株) |
| 7. 新保 健一 | 委員 | (株)日立製作所 横浜研究所 |
| 8. 北村 明夫 | 委員 | 富士電機(株) |
| 9. 蓮池 篤 | 委員 | 三菱電機(株) 高周波光デバイス製作所 |

2. 検査員

- | | |
|-----------|----------|
| 1. 久保山 智司 | 技術領域リーダー |
| 2. 新藤 浩之 | 主任開発員 |
| 3. 丸 明史 | 開発員 |
| 4. 加藤 真耶 | 開発員 |
| 5. 土屋 佑太 | 開発員 |

3. 事務局

- | | |
|-----------|----------|
| 1. 宮崎 良雄 | 技術部長 |
| 2. 梨山 勇 | 技術部専任技師 |
| 3. 榎原 亜紀子 | 技術部副主席技師 |
| 4. 浅井 弘彰 | 技術部主任技師 |
| 5. 倉持 喜代子 | 技術部 |

4. オブザーバ

- | | |
|----------|-------------|
| 1. 下平 勝平 | HIREC(株) 顧問 |
|----------|-------------|

HIREC 株式会社

帳 10I (保存年限 7 年) (H21.9.1)

会 議 議 事 録

添付資料2 配布資料

- 新テバ 5-1 「平成 23 年度 最新デバイスの耐放射線性強化技術に関する検討委員会」
第 5 回委員会 座席表
- 新テバ 5-2 「平成 23 年度 最新デバイスの耐放射線性強化技術に関する検討委員会」
第 5 回委員会 議事次第
- 新テバ 5-3 Low Dose Rate Effects in Shallow Trench Isolation Regions (猪俣委員)
- 新テバ 5-4 新テバ 3-6 再配布のため欠番
Mechanisms and Temperature Dependence of Single Event Latchup Observed in a
CMOS Readout Integrated Circuit From 16–300 K (平尾委員)
- 新テバ 5-5 委員会運営の報告 (事務局)
- 新テバ 5-6 本年度の検討論文内容に関して (委員長)
- 新テバ 5-7 第 1 回半導体デバイスの放射線照射効果研究会 開催報告 (事務局)

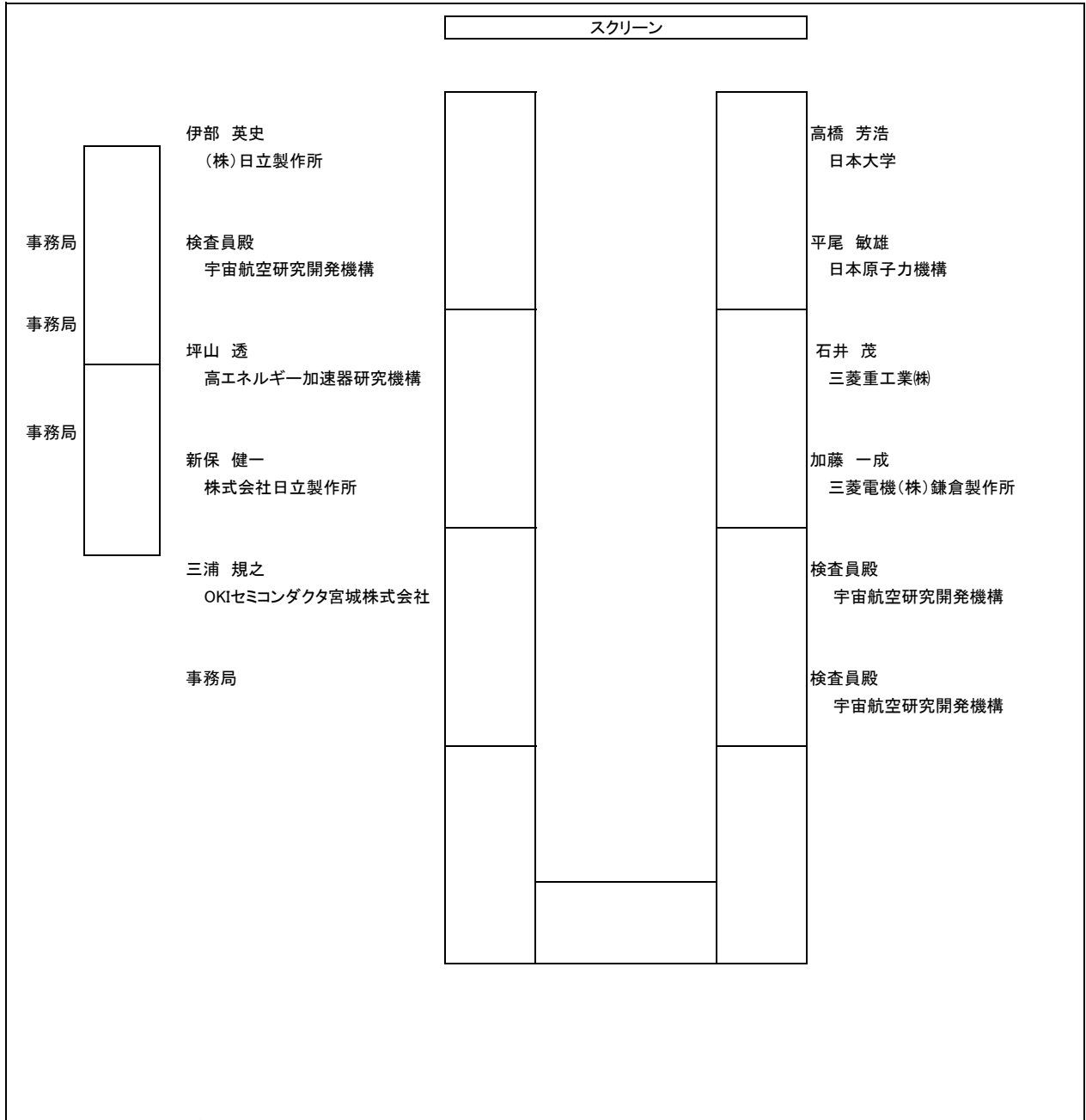
HIREC 株式会社

帳 10I (保存年限 7 年) (H21.9.1)

添付 6-2
検討委員会 配付資料

第1回委員会配付資料

第 1 回 最新デバイスの耐放射線性強化技術に関する検討委員会 座席表



入口

「平成 23 年度 最新デバイスの耐放射線性強化技術に関する検討委員会」

第 1 回委員会 議事次第

日時：平成 23 年 6 月 24 日(金) 15:00 ～ 17:20 (懇親会 18:00～20:00)

場所：HIREC 株式会社 川崎事業所 会議室

川崎市幸区大宮町 1310 ミューザ川崎セントラルタワー 12F

(TEL : 044-379-6013)

1. HIREC 挨拶 (5 分)15:00～15:05
2. JAXA 殿挨拶 (5 分)15:05～15:10
3. 委員長・副委員長の選出 (5 分)15:10～15:15
4. 委員及び出席者自己紹介 (15 分)15:15～15:30
5. 委員会活動内容及び検討論文の発表 (事務局) (20 分)15:30～15:50

- 休憩 (10 分)15:50～16:00

6. 国際学会参加報告 (委員長) (30 分)16:00～16:30
7. 各委員の調査結果報告／質疑 (報告 20 分／質疑 25 分：計 45 分)
 - 7.1 Scaling Trends in SET Pulse Widths in Sub-100 nm
 - Bulk CMOS Processes (事務局)16:30～17:15
8. 事務局からの連絡 (5 分)17:15～17:20

平成23年度 最新デバイスの耐放射線性 強化技術に関する検討委員会

委員会の進め方について

2011年 6月 24日
HIREC株式会社

1. 委員会名

「平成23年度 最新デバイスの耐放射線性強化技術に関する
検討委員会」

2. 委員会の目的

宇宙航空研究開発機構(JAXA)殿の委託業務契約「平成23年度 部品プログラム支援」の要求事項「最新デバイスの耐放射線性強化技術に関する検討委員会の開催支援」に基づき、大学、公的研究機関、及び産業界等の学識経験者から構成される委員会を設置し、最新デバイスの耐放射線性強化技術に関する検討を行う。

3. 委員会期間

平成23年6月 ～ 平成24年3月



最新デバイスの耐放射線強化に関する検討委員会 / 2011.06.24 第1回委員会

4. 委員一覧【外部委員】

番号	委員名	会社名	所属	役職	郵便番号	住所	tel	fax	E-mail
1	伊部 英史	株式会社日立製作所 横浜研究所		主管研究員	244-0817	神奈川県横浜市戸塚区吉田町292	045-860-3606	045-860-1625	hidefumi.ibe.hi@hitachi.com
2	高橋 芳浩	日本大学	理工学部 電子情報工学科	教授	274-8501	千葉県船橋市習志野台7-24-1	047-469-5459	047-469-5459	ytaka@ecs.cst.nihon-u.ac.jp
3	平尾 敏雄	日本原子力研究開発機構	量子ビーム応用研究部門 半導体耐放射線性研究グループ	研究副主幹	370-1292	群馬県高崎市綿貫町1233	027-346-9421	027-346-9687	hirao.toshio@jaea.go.jp
4	石井 茂	三菱重工株式会社	航空宇宙事業本部 誘導・エンジン事業部 電子システム技術部 電子機器設計課	主席	485-8561	愛知県小牧市東田中1200	0568-79-2447	0568-79-9749	shigeru_ishii@mhi.co.jp
5	深田 孝司	みずほ情報総研株式会社	サイエンスソリューション部	シニアコンサルタント	101-8443	東京都千代田区神田錦町2-3 竹橋スクエア7階	03-5281-5304	03-5281-5331	takashi.fukada@mizuho-ir.co.jp
6	坪山 透	高エネルギー加速器研究機構	素粒子原子核研究所 物理第一研究系	講師	305-0801	茨城県つくば市大徳1-1	029-864-5327	029-864-5340	toru.tsuboyama@kek.jp
7	猪俣 輝司	NEC東芝スペースシステム(株)	技術本部 管理グループ	エキスパートエンジニア	183-8551	東京都府中市日新町1丁目10番地	042-354-4757	042-354-4769	t-inomata@da.jp.nec.com
8	加藤 一成	三菱電機株式会社 鎌倉製作所	宇宙システム部 信頼性技術センター 部品グループ	担当	247-8520	神奈川県鎌倉市上町屋325番地	0467-41-6323		Kato.Issei@ak.MitsubishiElectric.co.jp
9	三浦 規之	OKIセミコンダクタ宮城株式会社	開発部 新機能プロセス開発グループ	サブグループリーダー	981-3603	宮城県黒川郡大衡村沖の平1番	022-345-6203	022-345-1312	miura288@myg.okisemi.com
10	新保 健一	株式会社日立製作所 横浜研究所	生産技術研究センタ 回路システム研究部	研究員	244-0817	神奈川県横浜市戸塚区吉田町292	045-860-3032	045-860-1625	kenichi.shimbo.tu@hitachi.com
11	北村 明夫	富士電機システムズ株式会社	電子デバイス事業本部 松本工場 技術統括部 ディスクリット・IC技術部 ディスクリットデバイスGr.	マネージャー	390-0821	長野県松本市筑摩4-18-1	0263-28-8734	0263-27-9782	kitamura-akio@fujielectric.co.jp
12	蓮池 篤	三菱電機株式会社 高周波光デバイス製作所	品質保証部 品質保証課		664-8641	兵庫県伊丹市瑞原4-1	072-784-7095	072-780-2661	Hasuike.Atsushi@ap.MitsubishiElectric.co.jp

High-Reliability Engineering & Components Corporation



最新デバイスの耐放射線強化に関する検討委員会 / 2011.06.24 第1回委員会

4. 委員一覧【検査員】

番号	委員名	会社名	所属	役職	郵便番号	住所	tel	fax	E-mail
13	田村 高志	宇宙航空研究開発機構	研究開発本部 電子部品・デバイス・材料グループ	グループ長	305-8505	茨城県つくば市千現2-1-1	050-3362-7234	029-868-2978	tamura.takashi@jaxa.jp
14	久保山 智司	宇宙航空研究開発機構	研究開発本部 電子部品・デバイス・材料グループ	技術領域リーダー	305-8505	茨城県つくば市千現2-1-1	050-3362-7652	029-868-2978	kuboyama.satoshi@jaxa.jp
15	廣瀬 和之	宇宙航空研究開発機構	宇宙科学研究本部 宇宙探査工学研究系	准教授	229-8510	神奈川県相模原市由野台3-1-1	042-759-8326	042-759-8463	hirose@isas.jaxa.jp
16	新藤 浩之	宇宙航空研究開発機構	研究開発本部 電子部品・デバイス・材料グループ	主任開発員	305-8505	茨城県つくば市千現2-1-1	050-3362-7674	029-868-2978	shindou.hiroyuki@jaxa.jp
17	矢野 善之	宇宙航空研究開発機構	研究開発本部 電子部品・デバイス・材料グループ	主任開発員	305-8505	茨城県つくば市千現2-1-1	050-3362-4532	029-868-2978	yano.yoshiyuki@jaxa.jp
18	池田 直美	宇宙航空研究開発機構	研究開発本部 電子部品・デバイス・材料グループ	主任開発員	305-8505	茨城県つくば市千現2-1-1	050-3362-2210	029-868-2978	nikeda@rd.tksc.jaxa.jp
19	阿部 一英	宇宙航空研究開発機構	研究開発本部 電子部品・デバイス・材料グループ	主任開発員	305-8505	茨城県つくば市千現2-1-1	050-3362-7941	029-868-2978	abe.kazuhide@jaxa.jp
20	水田 栄一	宇宙航空研究開発機構	研究開発本部 電子部品・デバイス・材料グループ	開発員	305-8505	茨城県つくば市千現2-1-1	050-3362-4328	029-868-2978	mizuta.eiichi@jaxa.jp
21	丸 明史	宇宙航空研究開発機構	研究開発本部 電子部品・デバイス・材料グループ	開発員	305-8505	茨城県つくば市千現2-1-1	050-3362-3866	029-868-2978	maru.akifumi@jaxa.jp
22	加藤 真耶	宇宙航空研究開発機構	研究開発本部 電子部品・デバイス・材料グループ	開発員	305-8505	茨城県つくば市千現2-1-1	050-3362-6624	029-868-2978	kato.maya@jaxa.jp
23	土屋 佑太	宇宙航空研究開発機構	研究開発本部 電子部品・デバイス・材料グループ		305-8505	茨城県つくば市千現2-1-1	050-3362-5931	029-868-2978	tsuchiya.yuta@jaxa.jp
24	梯 友哉	宇宙航空研究開発機構	宇宙科学研究所 電子部品・デバイス・電源グループ/大気球実験室		229-8510	神奈川県相模原市由野台3-1-1	050-3362-7618		kakehashi.yuya@jaxa.jp

High-Reliability Engineering & Components Corporation

4. 委員一覧【事務局】

番号	委員名	会社名	所属	役職	郵便番号	住所	tel	fax	E-mail
25	宮崎 良雄	HIREC株式会社	技術部	部長	305-0033	茨城県つくば市東新井8-1 第7芳村ビルブルーボックス2F	029-868-6770	029-868-6771	miyazaki@hirec.co.jp
26	梨山 勇	HIREC株式会社	技術部	専門技師	305-0033	茨城県つくば市東新井8-1 第7芳村ビルブルーボックス2F	029-868-6770	029-868-6771	nashiyama@hirec.co.jp
27	杉本 憲治	HIREC株式会社	技術部 第2グループ	グループ長	305-0033	茨城県つくば市東新井8-1 第7芳村ビルブルーボックス2F	029-868-6770	029-868-6771	sugimoto@hirec.co.jp
28	横原 亜紀子	HIREC株式会社	技術部 第1グループ	副主席技師	305-0033	茨城県つくば市東新井8-1 第7芳村ビルブルーボックス2F	029-868-6770	029-868-6771	makiyama@hirec.co.jp
29	浅井 弘彰	HIREC株式会社	技術部 第2グループ	主任技師	305-0033	茨城県つくば市東新井8-1 第7芳村ビルブルーボックス2F	029-868-6770	029-868-6771	asai@hirec.co.jp
30	松田 美恵子	HIREC株式会社	技術部 第2グループ	副主席	305-0033	茨城県つくば市東新井8-1 第7芳村ビルブルーボックス2F	029-868-6770	029-868-6771	matsuda@hirec.co.jp
31	倉持 喜代子	HIREC株式会社	技術部 第2グループ	---	305-0033	茨城県つくば市東新井8-1 第7芳村ビルブルーボックス2F	029-868-6770	029-868-6771	kuramochi@hirec.co.jp

5. 委員会開催予定日及び議題(予定)

○第1回委員会 <平成23年6月24日>

議題1:委員会運営についての説明 (事務局)

議題2:各担当論文の紹介 (事務局)

議題3:各担当論文の検討結果発表とその検討 (事務局)

○第2回委員会 <平成23年9月上旬>

議題:各担当論文の検討結果発表とその検討 (委員)
(NSREC参加報告)

○第3回委員会 <平成23年10月中旬>

議題:各担当論文の検討結果発表とその検討 (委員)
(RADECS参加報告)

○第4回委員会 <平成23年11月下旬>

議題:各担当論文の検討結果発表とその検討 (委員)

○第5回委員会 <平成24年2月上旬>

議題:委員会活動の“まとめ” (委員長/事務局)

※国際学会参加報告を適宜行う



2011年度 最新デバイスの耐放射線性強化技術に関する検討委員会スケジュール

項目	2011年												2012年			
	4月	5月	6月	7月	8月	9月	10月	11月	12月	1月	2月	3月				
1 委嘱作業(事務局)	←															
2 検討論文の選定																
3 委員会の開催 (原則金曜日)			6/24 ①	7/25~28 NSREC @Las Vegas		9/5 ②	9/19~23 RADECS @Spain	10/1 ③		11/5 ④					2/5 ⑤	
4 論文報告資料及び抄訳の作成(委員)			←													
5 論文報告資料の提出(委員)			△ *委員会開催 1週間前まで		△ *委員会開催 1週間前まで		△ *委員会開催 1週間前まで		△ *委員会開催 1週間前まで							
6 抄訳の提出(委員)				△ *委員会開催 2週間後まで		△ *委員会開催 2週間後まで		△ *委員会開催 2週間後まで		△ *委員会開催 2週間後まで						
7 抄訳の受領・確認(事務局)				←												
8 抄訳の確認(副委員長)				←												
9 検討論文のまとめ(委員長)				←												
10 まとめ資料の提出(委員長)															△	
11 作業報告書の作成と納入(事務局)				←												



6. 委員作業内容

- (1)事務局から送付される担当論文(電子データ)について、報告(発表)用資料(ppt形式)を作成する。
(詳細は7項に示す)
- (2)担当論文について、製本用の抄訳(原稿)を作成する。
(詳細は8項に示す)
- (3)委員会にて担当論文の調査報告(発表)及び討論を行う。

なお、当委員会では、環境問題、委員会資料を事前に各委員に配布し討議をより活性化させるなどの観点から、ペーパーレス化を導入しております。大変お手数をおかけ致しますが、委員会に「ノートパソコン」あるいは「事前に配布した資料」をご持参くださいますようご協力お願いいたします。

7. 担当論文の調査報告(発表)資料の作成及び配布について

- (1) 担当論文内容を発表形式(パワーポイント)にてまとめる。
[報告時間:20分/討論時間:25分]
- (2) 調査報告する委員会開催日の**1週間前(土・日・祝祭日除)**までに発表資料の電子データを事務局に送付する。
- (3) 事務局より委員会開催日前までに委員会資料をE-mailにて各委員に配布致します。

配布した資料に差し替え等が発生した場合、委員会当日にご持参いただいたPCにUSBメモリなどにて、資料をコピーさせていただきます。

8. 担当論文の抄訳作成について

- (1) 担当した論文を図・表は除き**3ページ程度を目標**にまとめ、word文書にて抄訳を作成する。
また、耐放射線性強化技術としての留意点・問題点、有効性、今後の課題、調査報告での討議内容等、**考察を付け加える**。
- (2) 文頭に以下の事項を記述する。
 - a) 文献名(邦題も含む)
 - b) 出典
 - c) 著者名
 - d) 対象デバイス
 - e) 実験設備
 - f) 照射線種及びエネルギー区分
 - g) 単発反転現象または積算線量効果の区分
 - h) 実験または理論の区分

- (3) フォントは、10.5ポイント、MSP明朝、英数字はCenturyを推奨する。
- (4) 調査報告した委員会の2週間後迄に抄訳を事務局に提出する。

※図・表の貼り付け作業や細かい体裁の編集作業等、事務局でサポートいたしますので、ご連絡ください。

※委員会終了後、抄訳のテンプレート(word)を配布いたします。

【例】

3.2.xx SRAM FPGAにおける放射線誘起多重ビット反転(MBU) (←邦題)

文献名	Radiation-Induced Multi-Bit Upsets in SRAM-Based FPGAs
出典	IEEE Transaction on Nuclear Science, Vol. 52, No. 6, pp. 2455-2461, Dec. 2005.
著者名	H.Quinn, P.Graham, J.Krone, M.Caffrey, and S.Rezgui
対象デバイス	Xilinx社製FPGA
実験設備	カリフォルニア大学・Davis校クロッカー研究所Cyclotron, テキサスA&M大学K500 Cyclotron
照射線種及びエネルギーの区分	プロトン(63MeV)
単発現象又は積算線量効果の区分	単発反転現象
実験又は理論の区分	実験

- (1) 概要
- (2) 序論
- (3) 実験
- (4) 実験結果及び考察
- (5) 結論
- (6) 考察(委員の考察)

図・表は除き3ページを目標にまとめる

9. 開催場所

HIREC株式会社 川崎事業所
(神奈川県川崎市幸区大宮町1310 ミューザ川崎セントラルタワー12F)

10. 交通費、謝金

交通費及び謝金を弊社社内規定によりお支払いいたします。
なお、お支払い方法は銀行振込とさせていただきます。

11. 事務局【資料等送付先】

HIREC株式会社 技術部
担当窓口:倉持 喜代子

〒305-0033 茨城県つくば市東新井8-1 第7芳村ビル ブルーボックス
Tel : 029-868-6770 Fax : 029-868-6771
E-mail : kuramochi@hirec.co.jp

平成23年度 最新デバイスの耐放射線性 強化技術に関する検討委員会

担当論文アサインリスト

2011年 6月 24日
 H I R E C 株式会社

High-Reliability Engineering & Components Corporation

◎担当論文アサインリスト一覧表◎

発表日は論文の分類(SEE/TID等)ごとに区分

発表日	担当者 (敬称略)	分類	タイトル
			著者
第1回 6/24	榎原 (事務局)	SET	Scaling Trends in SET Pulse Widths in Sub-100 nm Bulk CMOS Processes M. J. Gadlage<NSWC>, J. R. Ahlbin, B. Narasimham, B. L. Bhuvu, L. W. Massengill, R. A. Reed, R. D. Schrimpf, and G. Vizkelethy
第2回 9/B	高橋 副委員長	SET	Independent Measurement of SET Pulse Widths From N-Hits and P-Hits in 65-nm CMOS S. Jagannathan<Vanderbilt Univ.>, M. J. Gadlage, B. L. Bhuvu, R. D. Schrimpf, B. Narasimham, J. Chetia, J. R. Ahlbin, and L. W. Massengill
第2回 9/B	三浦委員	SET	Evaluating the Influence of Various Body-Contacting Schemes on Single Event Transients in 45-nm SOI CMOS K. A. Moen<Georgia Institute of Tech.>, S. D. Phillips, E. P. Wilcox, J. D. Cressler, H. Nayfeh, A. K. Sutton, J. H. Warner, S. P. Buchner, D. McMorrow, G. Vizkelethy, and P. Dodd
第2回 9/B	坪山委員	SEU	Parametric Variability Affecting 45 nm SOI SRAM Single Event Upset Cross-Sections T. D. Loveless<Vanderbilt Univ.>, M. L. Alles, D. R. Ball, K. M. Warren, and L. W. Massengill

High-Reliability Engineering & Components Corporation

◎担当論文アサインリスト一覧表◎

発表日(案)	担当者 (敬称略)	分類	タイトル
			著者
第3回 10/M	石井委員	SEU (FPGA)	Combining Results of Accelerated Radiation Tests and Fault Injections to Predict the Error Rate of an Application Implemented in SRAM-Based FPGAs R. Velazco<TIMA>, G. Foucard, and P. Peronnard
第3回 10/M	新保委員	SEU	Theoretical Correlation of Broad Spectrum Neutron Sources for Accelerated Soft Error Testing C. W. Slayman<Ops A La Carte>
第3回 10/M	北村委員	SEB	Charge Collection in Power MOSFETs for SEB Characterisation—Evidence of Energy Effects V. Ferlet-Cavrois<ESA/ESTEC>, F. Stuesson, A. Zadeh, G. Santin, P. Truscott, C. Poivey, J. R. Schwank, D. Peyre, C. Binois, T. Beutier, A. Luu, M. Poizat, G. Chaumont, R. Harboe-Sorensen, F. Bezerra, and R. Ecoffet
第3回 10/M	平尾委員	SEL	Mechanisms and Temperature Dependence of Single Event Latchup Observed in a CMOS Readout Integrated Circuit From 16–300 K C. J. Marshall<NASA/GSFC>, P. W. Marshall, R. L. Ladbury, A. Waczynski, R. Arora, R. D. Foltz, J. D. Cressler, D. M. Kahle, D. Chen, G. S. Delo, N. A. Dodds, J. A. Pellish, E. Kan, N. Boehm, R. A. Reed, and K. A. LaBel

◎担当論文アサインリスト一覧表◎

発表日(案)	担当者 (敬称略)	分類	タイトル
			著者
第4回 11/E	猪俣委員	TID	Low Dose Rate Effects in Shallow Trench Isolation Regions A. H. Johnston<JPL>, R. T. Swimm, and T. F. Miyahira
第4回 11/E	蓮池委員	TID	Process Dependence of Proton-Induced Degradation in GaN HEMTs T. Roy<Vanderbilt Univ.>, E. X. Zhang, Y. S. Puzyrev, D. M. Fleetwood, R. D. Schrimpf, B. K. Choi, A. B. Hmelo, and S. T. Pantelides
第4回 11/E	深田委員	TID	Analysis of Total Dose-Induced Dark Current in CMOS Image Sensors From Interface State and Trapped Charge Density Measurements V. Goiffon<Université de Toulouse>, C. Virmondois, P. Magnan, S. Girard, and P. Paillet
第4回 11/E	加藤委員	TID (Flash)	Increase in the Heavy-Ion Upset Cross Section of Floating Gate Cells Previously Exposed to TID M. Bagatin<Padova Univ.>, S. Gerardin, A. Paccagnella, G. Cellere, A. Visconti, and M. Bonanomi

◎平成23年度 検討論文の分類まとめ◎

	Bulk	SOI	FPGA	Flash	Power device	HEMT,HBT	Other	計
SEU	1	1	1	-	-	-	-	3
SET	2	1	-	-	-	-	-	3
SEL	1		-	-	-	-	-	1
SEB,SEGR	-	-	-	-	1	-	-	1
TID	2	-	-	1	-	1	-	4
DD	-	-	-	-	-	-	-	0
計	6	2	1	1	1	1	0	12

国際会議調査報告(1)

2011 IEEE Workshop on Silicon Errors in Logic-System Effects (SELSE VII)

日立製作所 伊部英史

1

SELSE VII 概況

- Intelが主催してスタートしたロジック、システムが主対象の障害に関するワークショップ。毎年米国で開催し、100名程度参加。議論活発。
- 昨年ごろから日本の大学チーム(九州大、京大、阪大、神戸大)の参加活発。
- 日時: 2011年3月29,30日
- 場所: イリノイ大学Champaign-Urbana キャンパス

2

SELSE VII セッション概況(1)

番号	セッション名称	トピックス(紹介)
I	招待講演	DOE's Exascale Initiative and Resilience (スパコンの低消費電力化がソフトウェア対策も含め重要と強調。冗長系を基本戦略として排除。ロスアラモス国立研)
II	Beam Testing	<ul style="list-style-type: none"> ・Tribladeの中性子照射実験(IBM) ・32nmHKMG SRAMの熱中性子照射実験(iRoc) ・ルータの部分照射実験とSER低減対策(日立・新保委員発表)
III	Software Techniques	<ul style="list-style-type: none"> ・マイクロプロセッサの試験の結果、一部のSDC(Silent Data Corruption)はキャッシュのSEUに起因することが分かった。(ロスアラモス国立研) ・Relyzerはfault-freeなアプリケーションの実行や、SDCのfaultインジェクションによる正確な解析を実現する。(イリノイ大、Intel)
IV	Modeling & Analysis	<ul style="list-style-type: none"> ・順序回路のSER解析法(九州大学) ・DC-DCコンバータのSET(サスカチュワン大学、Cisco) ・Study on Cross Layer Reliability(ロスアラモス国立研)
V	Microarchitecture/System-Level Detection	<ul style="list-style-type: none"> ・SWAPのメカニズム考察(イリノイ大学、Intel) ・FPGAを用いたSWAPの検証実験(イリノイ、バンダービルト大学)
VI	Measurement & Statistics	<ul style="list-style-type: none"> ・アルファ線照射による粗粒度FPGAのMTTF推算モデルの提案(大阪大学) ・JESD89A改訂作業進行状況(Ops AlaCarte)
VII	Soft Error	<ul style="list-style-type: none"> ・加速器を用いたα線ソフトウェア実験の提案(Xilinx) ・高SER耐性8T SRAMの提案(神戸大学) ・SERへのスケールアップ効果review(Oracle)

3

SELSE VII セッション概況(2:ホスタセッション)

発表機関	タイトル	概要
バンダービルト大学	Synthesis optimization trends on error propagation probability of combi national circuits	
Cisco、Xilinx	FPGA CRAM Soft Error Analysis Approach for Reliable Networking System	CRAM(コンフィグレーションRAM)をFPGAで構成したシステムのSEU評価手法を開発した。アーキテクチャは対策無しの状態から完全2重化までの種々の段階のものを構成した。その効果を評価するために、システムの修復時間と頻度を関係づけた指標Unavailabilityを提案した。
九州大学	A Robust Algorithm for Pessimistic Analysis of Logic Masking Effects in Combinational Circuits	チップ設計者は順序回路へのソフトウェアの影響を知る必要がある。順序回路のソフトウェア耐性を見積もる手法を提案する。Modified product machineの遷移状態をマルコフモデルで厳密に解析した。連立方程式を細分化して計算を加速する手法や、不要な未知数を除外する手法も適用し、ISCAS'89とMCNCベンチマークで検証した。
Intel	An End-to-End ECC-based Resiliency Approach for Microprocessors	
日立(伊部)	LABIR: Inter-Layer Built-In Reliability for Electronic Components and Systems	システムレベルのSERの平均値をゲート単位の生のSERの推定値から出発する従来の手法はばらつきを解析することが極めて困難なため、SER断面積はノードの表面積を上回ることはない、などの別な物理法則から決まるSERの上限値で設計する手法DOUB(Design on Upper Bound)を提案。DOUBの中でステップ状に施す最高レベルの対策としてLABIR(inter-Layer Built-In Reliability)を提案。冗長系は対策として排除。

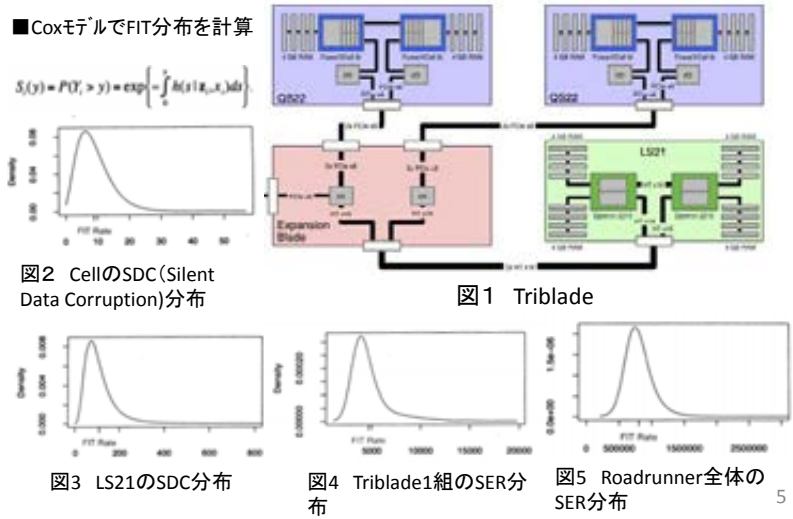
4

Neutron Beam Testing of Triblades

発表者	発表組織
Michalak, S.	Los Alamos National Laboratory
要旨	LANSCCEのICEで初めてのベタドロップスパソコンRoadrunnerで使用されるTribladeと一組のBladeCenter-H (BC-H Type 8852)の照射試験を実施。Tribladeは異なったアプリケーションを走らせながら、CellまたはOpetronを照射する。障害率はOpetronが照射された場合のほうが、Cellよりも高かった。Cellを照射した場合、電圧制御系で電圧低下が発生し、動作不能になった(SEBとSEGRが原因)。SDCIは4回発生。

プロセッサ/試験仕様

- RoadRunner: 6,120 dual-core AMD Opteron™ チップと12,240 PowerXCell 8i プロセッサから構成される。
 - 3060組のTribladeで構成され、400Gflopsの演算能力を有する。(世界Top500中7番目(2010))
- Triblade
 - 2組のPowerXCell 8i (Cell)プロセッサ(OS22)と1組のdual-コアAMD Opetron 2210HE7プロセッサ(LS21)を搭載。
 - OpetronはSOI(90nm)プロセスで2個の64kB L1 データキャッシュと2個の64kB L1命令キャッシュを搭載。
 - Cellは65nmSOIで、64kB L1キャッシュと512kB L2キャッシュ(directory tagにECC付き)を持つ。
- 一分間ベンチマークを走らせ、結果を出力。SDCをチェックする。ビーム径は1インチと2インチの2通り。112回照射。VirtexIIのエラーデータから中性子量を概算。

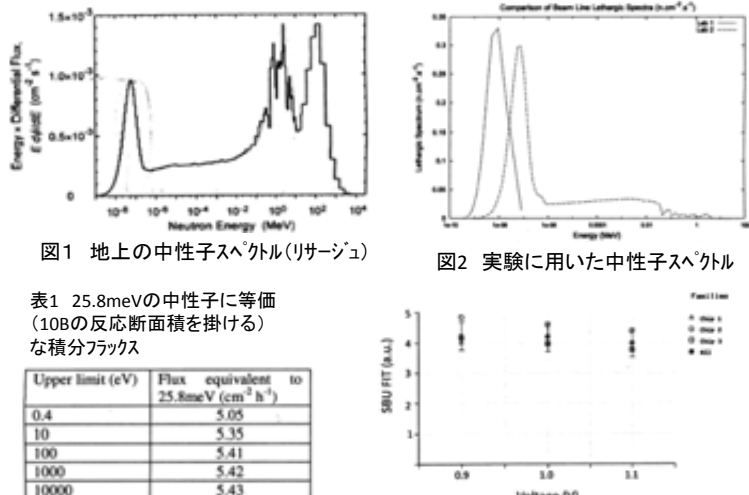


Thermal Neutron SER Testing and Analysis: Findings from a 32nm HKMG SRAM Case Study

発表者	発表組織
Zhang, M.	DFx, Samsung Electronics America Headquarter,iRoC
要旨	32nm high-K マルターゲットSRAMの熱中性子起因ソフトエラー測定法を開発した。高エネルギー環境中性子線に起因するSBUに対し、熱中性子起因のものは10%であった。また、熱中性子起因のMBU/SEFI/SELは無視できることも分かった。熱中性子起因SER測定法の課題として、線量測定、等価フラックス換算、パッケージ材料の遮蔽効果などを明確にする必要がある。

試験・評価手法

- 熱中性子と¹⁰Bとの反応→ ⁷Li (0.84MeV) + α (1.47MeV) によって発生するα線がソフトエラーの原因になる。¹⁰Bを含むBPSGは使わなくなっているが、別の工程により、¹⁰Bがデバイスに入り込み、問題が再燃しつつある。
- Cold、またはThermal中性子源を用い、25.8meV等価な実効SER断面積をもとめ、JEDECで規定されているNYC海面の熱中性子フラックス6.5n/cm²/hを掛けてSERを求めめる。
- 結果
 - 実効断面積の求め方や、用いる中性子源によって2Xの相違が発生する。
 - スペクトルの違う中性子源を用いても統一的な評価ができる標準試験法の策定が必要。(高エネルギー中性子に対する標準試験法の議論に組み入れる方向)



Quantification & Mitigation Techniques of Soft-Error Rates in Routers Validated in Accelerated Neutron Irradiation Test and Field Test

発表者	発表組織
Shimbo, K.	日立・横研
要旨	ネットワークスイッチのボードに部分中性子照射(70MeV@CYRIC)を行い、リブート障害の主原因がSRAM(スピードが要求されるためECCなし)チップにあることを突き止め、スピードがクリティカルでない一部のSRAMをECC付きのDRAMで置き換え障害発生率の1桁低減を確認。フィールドでも検証。ボードの障害評価の指標としてFTF(Fluence To Failure)を提案。

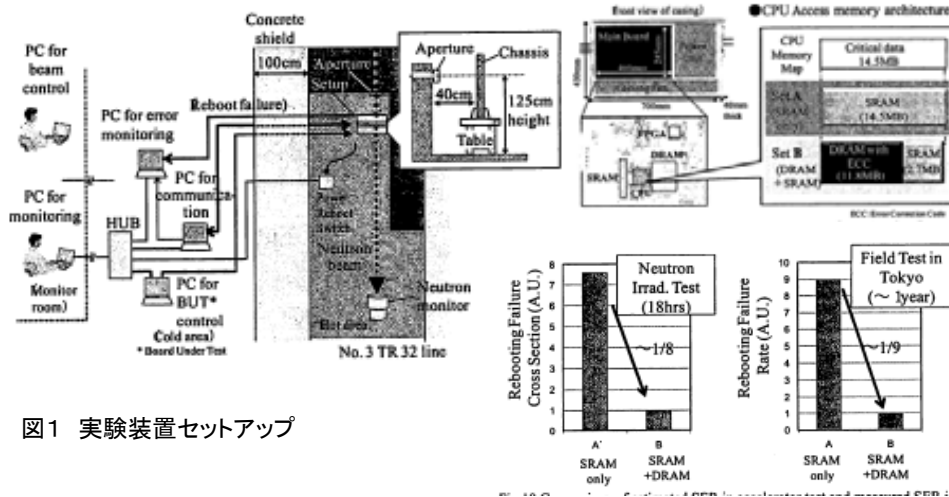


図1 実験装置セットアップ

図2 照射ボードとFTFの定義

図3 SRAM→DRAM+ECCへの置き換えによるSER低減効果の検証

Relyzer: Application Resiliency Analyzer for Transient Faults

発表者	発表組織
Hari, S.K.S.	University of Illinois at Urbana Champaign, Intel
要旨	低コスト(冗長系排除)ソフトウェアレベル予兆検出モニタによりfault(SDC含む)を検出する手法を開発中。データ集中型FPUを除きSDC率は全てのハードエラー、トランジエントエラーの0.5%以下であるとされる。Relyzerはfault-freeなアプリケーションの実行や、SDCのfaultインジェクションによる正確な解析を実現する。Relyzerは検討したworkloadの範囲内で、1.16兆個のフォルトのうち99.9979%のfaultを剪定できた。

Relyzerが区別するフォルトモード

- ・予測可能フォルト: フォルトインジェクション不要
- ・等価フォルト: 見かけ上同じように振舞うハードウェアのフォルト。1モードで代表させて注入可。
- ・残余フォルト: Relyzerで予測できないフォルト。フォルトインジェクション試験で注入すべきフォルト(今回の実験では1.16兆個のフォルトの内、2600万個(0.0021%)が該当。)

Relyzerの区別けの手法

- 【予測可能】
- ・Bounding address (アドレス逸脱)
- ・Bounding branch target (分岐逸脱)
- 【等価】
- ・Def-use analysis
- ・Constant propagation
- ・Dynamic store-load analysis
- ・Call-site analysis
- ・Dynamic compare analysis
- 【統計・補足手法】
- ・Remaining branch target (bounding branch targetでの剪定漏れ)
- ・Remaining branch direction (dynamic compare analysisで剪定できなかったもの)

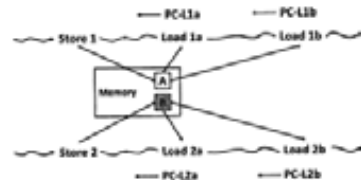


図1 store-load analysisの説明図(PC:プログラムカウンタ。対向するPCが同じであればStore1とstore2は同じ効果)

表1 剪定 (prune) 結果

Class	Pruning technique	Does it use heuristics?	Pruned
Predictable	Bounding addresses	No	2.8690%
	Bounding branch targets	No	0.9404%
	Def-use analysis	No	37.5772%
Equivalent	Constant propagation	No	5.9492%
	Dynamic store-load analysis	Yes	43.7386%
	Call-site analysis	Yes	2.6213%
Statistical	Dynamic compare analysis	Yes	5.8568%
	Remaining branch targets and direction	N.A.	0.4453%
Total			99.9979%
Remaining			0.0021%

Study on Cross-Layer Reliability

発表者	発表組織
Quinn, H.	Los Alamos National Laboratory
要旨	<p>微細化に伴いコンポーネントの信頼性は予測困難になっているが、従来の対策はコストがかかり消費電力も問題(今後の対策は冗長系は使えない:リトライが基本)。単一階層(デバイス、回路、CPU、ファームウェア、OS、ミドルウェア、アプリケーション)での対策は最早不可能だが、社会システムのすべての面で問題が顕在化⇒階層間が協調して消費電力の少ない対策を進める構想 Cross Layer Reliabilityを提唱⇒米国の国プロ提案(科研費レベルで構想研究完。)</p> <ul style="list-style-type: none"> 対策が必要なコンポーネントの抽出 ・消費電力と信頼性のマッチング エラーの効率的検出 社会システム: 航空宇宙、車載機器、医療、データセンタ、スパコン、インフラ、セキュリティ

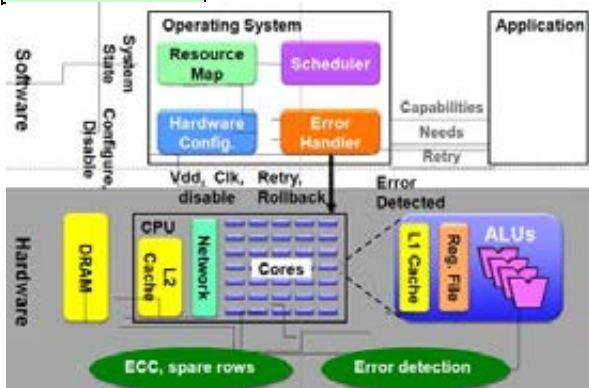


図 Cross Layer Reliabilityのイメージ

主な参加組織(全82組織)

【国立研究所】 LANL, Sandia, JPL, NRL, 空軍研究所
 【企業】 Intel, マイクロソフト, TI, Cisco, Oracle, IBM, Freescale, Nokia, ロッキード, ホーキング, Xilinx, ARM, GE, Medtronic, 他
 【大学】 UCバークレー, イリノイ大, トロント大, スタンフォード大, ミシガン大, 南カリフォルニア大, テキサス大, カリフォルニア大, Caltech, プリンストン大, 他

Understanding When Symptom Detectors Work by Studying Data-Only Application Values

発表者	発表組織
Ramachandran, P.	Univ. of Illinois at Urbana-Champaign, Intel
要旨	<p>信頼性の低いハード起因の障害はシステム信頼性の脅威となる。ソフトウェアの実行内容の異常(兆候)をモニタし、障害を低コストで検出できる。これまで、兆候検出法がfault injection法によりSDCを低く抑制できることを示してきた。兆候は特に制御動作やアドレスで検出効率が高くなる。Fanout指標はフォールトのクリティカル性(ソフトウェアの挙動に影響を与えるエラーだけに対策を限定すれば対策の軽量化が図れる)を評価するために有効。</p>

ソフトウェア上で検知できる障害

- Fatal trap(?)
- High OS(?)
- hang
- application abort
- Kernel panic

(kernel:階層型に設計されたOSの中核となる部分。システムのリソースを管理し、ハードウェアとソフトウェアコンポーネントのやりとりを管理。Kernel panicとはこれに致命的なエラーが発生し、OSが完全に停止すること。)

- アドレス領域逸脱

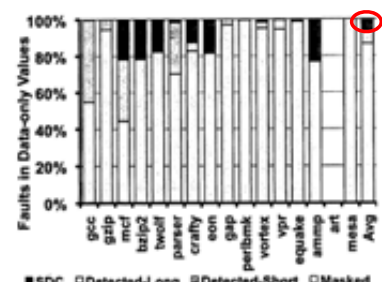


図1 data only valueのみのフォールトインジェクションを行った時のエラー分類。平均13.4%が検出困難なエラーになる。Random valueのインジェクションでは4.5%が検出困難。

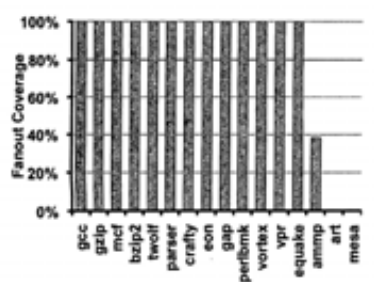


図2 高いfanout(フォールトが下流に多く伝搬する)指標値を計算する検出器100個を配置した時の、クリティカルなdata only valueのカバレッジ(ammpはdata only valueが多く、art, mesaはこれが出ない)

- data only value: 制御やアドレスに影響を与えないデータ。SDCになりやすい。
- random value: 制御やアドレスに影響を与えるデータを含む全てのデータ。
- SDC+Detected-Long(100k回以上の命令実行で検出されたエラー): 検出困難なエラー
- false positive rate: 検出されたがマスクされたフォールトの比率。クリティカルでないので検出・対策する必要が無い。10

Crash Testing SWAT: Accurate, Gate-Level Evaluation of Symptom-Based Resiliency Solutions

発表者	発表組織
Pellegrini, A.	Univ. of Michigan, Vanderbilt Univ.
要旨	ソフトウェアレベルの兆候をとらえて、ハードウェアの障害を検知する手法にSWAT (Software Anomaly Treatment)がある。SWATによれば、シミュレーションにより、SDCは0.5%以下が達成できるとされるが、シミュレーションによる検証は膨大な作業量に要する。より現実に近いシステムでの検証のため、FPGAベースの評価システムにOpenSPARC T1 プロセッサを合成し、OSとしてOpenSolaris、ゲートレベルfault analysisプラットフォームとしてCrashTestを構成し、ゲートレベルの恒久トランジエントエラーを模擬。30620回のFault injectionを実行し、SDC率0.94%を得た。

検知する障害モード

- Fatal trap:ゼロ割り算、非整合アクセス、maximum trap level(?)
- Kernel panic
- Hypervisor crash: TLBの誤動作など。
- Firmware check: OpenSolarisとMicroBlaze間の整合性check。アドレス領域逸脱、不合理命令など。非整合でfirmwareアボート。
- Hardware stall: Threadが一定時間(例:30秒)範囲内にinstructionを発信しない時。
- Abnormal exit: segmentation フォールト、core dump, dynamic linkerエラーなど。
- hang, high OSは今回検出対象外。

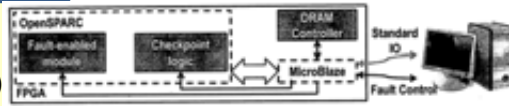


図1 実験装置ブロック図

表1 フォルト注入した分割モジュール (stack at 1、stack at 0をモジュール毎にランダム注入) MUL, FFU, TLUなどは今回のベンチマークではあまりActivateされず。

OpenSPARC T1 unit	Gate count	Fault locations
Arithmetic Logic Unit (ALU)	1,968	19
Divide (DIV)	3,277	31
Error Correction and Control (ECC)	998	10
Execution Control Logic (ECL)	1,727	17
Multiplier (MUL)	14,665	138
Register Management Logic (RML)	1,206	11
Register Bypass Logic (BYP)	5,938	56
Floating Point Frontend Unit (FFU)	5,776	55
Instruction Fetch Unit (IFU)	13,980	225
Load Store Unit (LSU)	24,127	635
Trap Logic Unit (TLU)	18,693	334

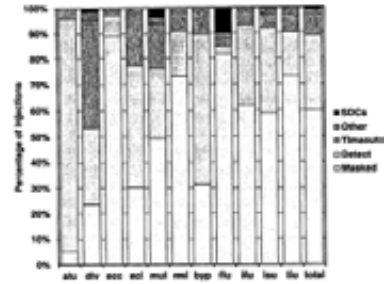


図2 フォルトの分類 (平均マスク率59.9%、SDC0.94%)

表2 障害モード

Kernel Panics	Fatal Traps	Firmware Checks	Hypervisor Crashes	Abnormal Exits	Hardware Stalls
31.5%	25.7%	10.8%	9.9%	5.8%	16.2%

Revisions to the JEDEC JESD89 Standard on Soft Error Measurement

発表者	発表組織
Slayman, C.	Opt a la Carte
要旨	2001年8月JEDECソフトエラー測定標準試験法JESD89が制定されて以後、2006年10月改訂された。以後4年の半導体デバイスの一層の高度化により、さらなる修正が必要になった。JEDEC JC13.4 RadHard Assurance-Characterization sub committeeはこの修正のためのTaskグループを構成した。

表1 SRAMのSEU断面積の閾値(JESD89Aで規定しているような10MeV以上のものは無い)

Device	Capacity (Mb)	Process Tech. (nm)	Ea (MeV)	Ref.
SRAM	4	250-300	2.5	[3]
SRAM	1	250	~2	[4]
SRAM	4	180	1.5	[3]
SRAM	8	180	~2	[4]
SRAM	8	180	4	[3]
SRAM	16	150	3.5	[3]
DRAM	64	250	3.5	[3]

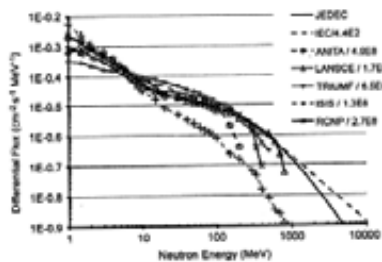


図1 スポレーション中性子スペクトルの相違(注意が必要)

表2 スポレーション中性子源のエネルギー分布の相違 (施設によって大きく異なる)

SOURCE	NEUTRON FLUX			
	1-10MeV %	10-100MeV %	>100MeV %	Total >1MeV N cm^-2 hr^-1
JEDEC/NYS	35%	25%	38%	2.0 10 ¹⁰
ANITA	65%	28%	7%	9.87 10 ¹⁰
LANCSE	52%	28%	22%	3.80 10 ¹⁰
TRIUMF	34%	54%	21%	1.39 10 ¹⁰
ISIS	92%	7%	1%	2.5 10 ¹⁰
RCNP	67%	23%	10%	5.37 10 ¹⁰

SELSE VII まとめ

- 低消費電力が重要な課題に。ソフトエラー対策として冗長系がコスト面でも排除される方向が鮮明化。
- OS含むソフトウェアレベル(のみ)でのエラー検出法およびその効率化手法の議論活発化
- 新標準試験法 (JESD89A改訂、熱中性子試験、加速器 α 線試験、ロジックボード照射試験)の議論台頭。
- 電子装置の設計・製作レイヤー(デバイス、回路、アーキテクチャ、ファームウェア、OS, ミドルウェア、アプリケーション)間のコミュニケーション強化で障害を防ぐ手法が成長。米国は82組織が関与してCross Layer Reliabilityを国プロ提案へ。日立から、Inter-Layer Built-In Reliability (LABIR)を同様のモチベーションにより提案。

国際会議調査報告(2)

International Reliability Physics Symposium (IRPS2011)

日立製作所 伊部英史

1

IRPS2011概況

- 日時: 2011年4月12日～14日
- 場所: モンタレー、カリフォルニア
- IRPSは半導体デバイス、電子機器の信頼性に関わる世界最大、最高権威の学会。今回は初日Plenaryセッション(400～500名参加。立見参加者も出た)に続いて5会場(各会場参加者100名程度)に分かれて分野ごとの発表、討議がなされた。東日本大震災の一ヵ月後ということもあって、日本からの参加者に主催者から最初に参加御礼があるなど、気配りが感じられた。
- ソフトエラーのセッションはオーラルが特別に2セッション、ポスタセッションを加えて15件の発表があり、年々「盛況」を呈している。
- 伊部委員が招待講演“Quantification and Mitigation Strategies of Neutron Induced Soft-Errors in CMOS Devices and Components -The Past and Future-” でDOUB (Design On Upper Bound)、LABIRと部分ホート照射実験の成果を紹介。後日、PC Watchで紹介記事掲載。

2

IRPS ソフトエラー関係発表概況(1)

筆頭著者	Affiliation	Title	(No)	Memo
B.D. Sierawski	Vanderbilt University	Effects of Scaling on Muon-Induced Soft Errors	(3C3)	Cisco, TI共著。スケールアップが進行すると、低エネルギーミュー中間子に対する電子機器のソフトウェア感受性が増加することが、65,55,45,40nmのバルクCMOS SRAMについて実験的に分かった。シミュレーションも微細化に伴いミュー中間子起因のソフトウェア感受性が増加することを示した。
R. Harada	Osaka University, JAPAN	Neutron Induced Single Event Multiple Transients with Voltage Scaling and Body Biasing	(3C4)	中性子起因SEMT (single event multiple transients)の供給およびボディ電圧依存性を65nmCMOSプロセスで製作した試験チップを用いて実施した。同じウェル中に配置した6個の隣接するインバータで同時にトランジエントが発生した。0.7Vで逆ボディバイアス時、全SETに対するSEMTの比率は40%に達した。SEMTの空間的ひろがりや鋭敏ノード間の間隔の相関を検討した。さらに、SES(Single)TとSES(Single)Uの率を考慮して結果を検証した。
J.R. Ahlbin	Vanderbilt University	Double-Pulse-Single-Event Transients in Combinational Logic	(3C5)	2重パルスSET(DPSET)をプロトタイプ重イオン照射試験で初めて実測した。DPSETはインバータチェーンの中で発生し、オンチップ自動パルス幅測定装置で測定した。MixedモードTCADによるシミュレーションの結果、DPSETは単一イオンで複数のインバータが反転することに起因することが分かった。
Bhuva1, B.	Vanderbilt University	Soft Error Testing at Advanced Technology Nodes	(5B1)	以下共著Broadcom Corporation TSMC Avago Technologies Marvell Semiconductor LSI Corporation Cisco Systems Altera Corporation FFのソフトウェア試験装置を開発し、40nmデバイスで検証した。どんな新しいモードの障害でも検出でき、ソフトウェア試験と対策の訓練、知識データベース、設計から製造・システムまでの一貫したソフトウェア関係の完璧なソリューションを与えることに特徴がある。40nmデバイスの主な結果について議論を展開。
J. Furuta	Kyoto University	Measurement of Neutron-induced SET Pulse Width Using Propagation-induced Pulse Shrinking	(5B2)	クロックバッファチェーンでの伝搬起因のパルス短縮に基づくSETパルス幅測定装置を提案。バッファチェーンのターゲット回路はパルス捕獲FFに直接接続しているため、1psの分解能を実現した。核破砕中性子源を用いた実測の結果、SETパルス幅は指数関数型の分布を持ち、350ps以上のSETパルスの数はチップセルを近接して配置することにより、9%にまで減少した。クロックバッファのSET率はFFのSEU率より23分の1という結果を得た。

3

IRPS ソフトエラー関係発表概況(2)

筆頭著者	Affiliation	Title	Vol(No)	Memo
J.D. Wilkinson	Medtronic	Multicenter Comparison of Alpha Particle Measurements and Methods Typical of Semiconductor Processing	(5B3)	12社の共研。Honeywell, Cisco Systems, Ops A La Carte, Freescale Semiconductor Inc. IBM TJ Watson Research Center, Intel Corporation, iRoC Technologies, Teck Metals Ltd., STMicroelectronics, Alpha Sciences, Inc. SGS Taiwan Ltd. alpha線測定の精度を検証するため、9センチを含むサンプルを共有してラウンドロビン測定を実施。低一、極低一α4サンプルを各センチで測定。低αサンプルでは測定値の平均は30.9 khr ⁻¹ cm ⁻² で、20.2 から 45.5の幅があった。幅の半分は測定ないしは既知の誤差要因による。同一のセンチでの繰り返し試験はそれぞれ再現性が良くシステムティックエラーの存在が結論できる。23回中11回の極低αサンプルの平均値の1σ以内の範囲に分布。残りは測定限界以下であった。
A. Dixit	Oracle	The Impact of New Technology on Soft Error Rates (IRPS)	(5B4)	マイクロプロセッサのSERIについて過去7年間以上の中性子照射実験の結果をまとめる。180nmから65nmまではビットあたりのSERは減少を続けたが、40nmでは逆転減少が見られた。FFのSERは28nmまで減少傾向が継続。電源電圧も1.2Vから0.5Vまで測定したが、電圧の減少により、SERは悪化し、dynamic voltage frequency scaling (DVFS)がSERIに悪影響があることを示唆した。バックバイアスは悪影響なし。
S.M. Abbas	Hanyang University Korea	Multiple Cell Upsets Tolerant Content-Addressable Memory	(SE1)	CAM(Content Addressable Memory)ではインターリーブが効かない。また、MCUIにはそもそもHamming codeは不向き。新しいECCスキームを開発し、512x72のCAMを用いてm個のパリティビットで最大m-BitのMCUまで、検出・修復できることがわかった。また、旧来のHamming距離に基づく手法に比べ、85%のパリティビットで済むことがわかった。
J. Castillo	Microelectronics	An Automated Approach to Isolate Dominant SER Susceptibilities in	(SE2)	空間分解能10umの収束重イオンビームで微細回路をラスターキャンニング試験装置 Milli-Beam TMを開発した。そのシステムはエラーが発生した場所をIC全体の中で3次元表示ができる。実験室の線量測定に無関係で、ビームのばらつきや誤差を考慮した断面積測定法も示した。
S. Yoshimoto	Kobe University	Bit Error and Soft Error Hardenable 7T/14T SRAM with 150-nm FD-SOI Process	(SE3)	150-nm FD-SOI 7T/14T SRAMのビットエラー率(BER)とソフトウェア率(SER)を測定した。7T/14T SRAMの信頼性は動作条件とアプリケーションに依存して、制御信号によって動的に制御できる。14Tの高耐性モードは14T中の1ビットを使用してRead動作時のBERとリテンション状態のSERを同時に改善できる。その効果をソフットのTCADで解析した。7Tに比べ、14Tでは動作電圧が100mV低減、α線ソフトウェア率は80%改善、中性子起因のソフトウェア率は34.4%改善できた。

4

IRPS ソフトエラー関係発表概況(3)

Author	Affiliation	Title	Vol(No)	Memo
S. Jagannathan	Vanderbilt University	Neutron- and Alpha-Particle Induced Soft-Error Rates for Flip Flops at a 40 nm Technology Node	(SE5)	Cisco Systemsと共著.40nmプロセスで製作し、様々なソフトウェア対策、面積、消費電力、スピードを持つFFについて中性子およびα線ソフトウェア試験を行った。古いプロセスで高耐久性化したFFの中性子耐性は従来のDFFと同等であった。全てのFFのα線ソフトウェア供給電圧の減少と温度の増加で増加した。
N. Mahatme	Vanderbilt University	Analysis of Multiple Cell Upsets due to Neutrons in SRAMs for a Deep-N-Well process	(SE7)	TSMCと共著.トリプルウェルプロセスで製作したSRAMの中性子起因の一ビットエラーとMCUを研究した。3D TCADシミュレーションにより、メカニズム、ECC設計などを検討した。
D.A. Black	Vanderbilt University	Impact of Ion-Induced Transients on High-Speed Dual-Complementary Flip-Flop Designs	(SE8)	DICEに似ているが、Passゲートの無い2重補償(Dual Complementary)DFFを開発した。DICEに比べ高速で、DC-DFFはSETの伝播を抑制できるが、シミュレーションの結果DC-DFFは内部に発生したノイズに弱いことがわかった。これは、周波数依存性のあるDC-DFF内部のシングルイベント(DC-DFFでヒットしたイオンが正しい値を保持することを阻害する)であることが分かった。
F. El-Mamouni	Vanderbilt University	Pulsed Laser-Induced Transient Currents in Bulk and Silicon-On-Insulator FinFETs	(SE8)	Naval Res. Lab., IMEC, MINATEC, TIとの共著.バルクとFD-SOIのpチャネルFinFETのSEEメカニズムを理解するためにハルスレーザ光誘起トランジエント実験を行った。バルクのドレインのトランジエント電流はSOIに比べ大きく、270倍の電荷を収集した。バルクの収集電荷の98%は基板で発生した。残りの2%はFin部分で発生した。SOIの場合は全ての電荷がFinで発生した。
E. Ibe	Yokohama Research Laboratory, Hitachi, Ltd.	Quantification and Mitigation Strategies of Neutron Induced Soft-Errors in CMOS Devices and Components-The Past and Future-	(3C2)	微細化に伴いシステムレベルの障害の原因はトレース不能なほど複雑化しており、新しいアプローチが必要であることを指摘。システムレベルのSERの平均値をゲート単位の生のSERの推定値から出発する従来の手法はばらつきを解析することが極めて困難なため、SER断面積はノードの表面積を上回ることはない、などの別な物理法則から決まるSERの上限値で設計する手法DOUB (Design on Upper Bound)を提案。DOUBのステップ状に施す最高レベルの対策としてLABIR (inter-Layer Built-In Reliability)を提案。また、最もシンプルな対策として高速動作が必要でないSRAMの一部をECC付きのDRAMで置換するだけでネットワークスイッチのリポート障害の一桁低減が可能であることを示した。

IRPS2011 まとめ

- 日本の大学勢の進出が顕著。京都大学、京都工繊大が主催者側委員、大阪大学、神戸大学から発表。
- 欧米企業間、大学の連携が顕著。最大12企業の合同発表(アルファ線ソフトウェアのラウンドロビン測定)や、Intelの複数の大学へのアウトソーシングなど。
- ソフトエラー分野で話題の中心は、Multi-Node Transient(MNT; 日立、阪大、神戸大、バンダービルト大)、低エネルギー陽子・中性子の影響拡大(Oracle)などであるが、今回、初めてミュー中間子(短寿命で発生する電荷量は小さいが、地上に届くフラックスは中性子について高い)起因のソフトウェアが微細化が進むと顕在化する可能性があるという発表があった(バンダービルト大、Cisco、TI共著)。
- バンダービルト大の進出顕著(7件/15件)



Sub-100nm Bulk CMOSプロセスにおける SET電圧パルス幅のスケールトレンド

Scaling Trends in SET Pulse Widths in Sub-100 nm Bulk CMOS Processes

M. J. Gadlage with NAVSEA
J. R. Ahlbin, B. L. Bhuva, L. W. Massengill, R. A. Reed, and R. D. Schrimpf with Vanderbilt University
B. Narasimham with Broadcom Inc.
G. Vizkelethy with Sandia National Laboratories
(IEEE Trans. Nucl. Sci., Vol. 57, No. 6, pp. 3336-3341, Dec. 2010)

2011年6月24日

技術部 榎原亜紀子
HIREC(株)

1

「平成23年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第1回委員会(2011.6.24)@HIREC(株) 川崎事業所



1. Abstract [Mainstream]

Digital single-event transient (SET) measurements in a bulk 65-nm process are compared to transients measured in 130-nm and 90-nm processes. The measured SET widths are shorter in a 65-nm test circuit than SETs measured in similar 90-nm and 130-nm circuits, but, when the factors affecting the SET width measurements (in particular pulse broadening and the parasitic bipolar effect) are considered, the actual SET width trends are found to be more complex. The differences in the SET widths between test circuits can be attributed in part to differences in n-well contact area. These results help explain some of the inconsistencies in SET measurements presented by various researchers over the past few years.

DSET(デジタル回路中に発生するSETパルス)のプロセススケールに対するトレンドについて、提言を述べた論文。

65nmBulkプロセスと、90nm及び130nmBulkプロセスを比較すると、重イオン照射試験より実測したSETパルス幅は、65nmの方がより小さく、90nm-130nmでは比較的似ている結果となったが、回路中でのパルス幅伸縮(pulse broadening)や寄生バイポーラ効果(parasitic bipolar effect)等を考慮に入れると、プロセス間のトレンドには、もっと複合要因が重なり合ってくる。様々な研究グループが発表している様々なプロセスにおけるSETパルス幅の実測値の違いは、テスト回路中のN-Wellコンタクトのとり方の違いに起因している可能性が考えられる。このようなテスト回路のレイアウトの違いが、これまで実測されてきたSETパルス幅のプロセス間のトレンドの矛盾を説明できる、一つのパラメータとなり得る。

2

「平成23年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第1回委員会(2011.6.24)@HIREC(株) 川崎事業所



[Contents]



1. Abstract
2. Introduction
3. SET Measurement Circuit and Maximum Measured SET Widths
4. Impact of Pulse Broadening on SET Measurements
5. N-Well Contacting Scheme
6. Mixed-Mode TCAD Simulations
7. Discussion
8. Conclusion

3

「平成23年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第1回委員会(2011.6.24)@HIREC(株) 川崎事業所



2. Introduction



- ✓ これまでの様々な論文発表にある、Deep-submicron BulkテクノロジーでのSETパルス幅実測値には、一貫性が無い。

130-nm Bulk : less than 500ps	[Baze, 2006]
130-nm Bulk : up to 2ns	[Benedetto, 2006]
90-nm Bulk : over 1ns	[Narasimham, 2007]
90-nm Bulk : less than 400ps	[Cannon, 2009]

- ✓ 上記矛盾を説明すべく、本論文では、以下が述べられている。

- (1)本論文中で実測したSETパルス幅の紹介(65nm Bulk)
- (2)SETパルス幅と各テクノロジー間で差がでるファクター(Pulse broadening等)との関係を説明
- (3)3種類のテスト回路(N-Wellコンタクトのとり方の違い)でSETパルス幅を実測
- (4)これまでの一貫性のないSETパルス幅のプロセス間トレンドに関して一考察

4

「平成23年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第1回委員会(2011.6.24)@HIREC(株) 川崎事業所



3. SET Measurement Circuit and Maximum Measured SET Widths (1)



[SETパルス幅実測に使用したテスト回路]

B. Narasimham et al, "Characterization of Digital Single Event Transient Pulse-Widths in 130-nm and 90-nm CMOS technology," IEEE, Nucl. Sci., Vol.54, no. 6, Dec. 2007, pp.2506~2511

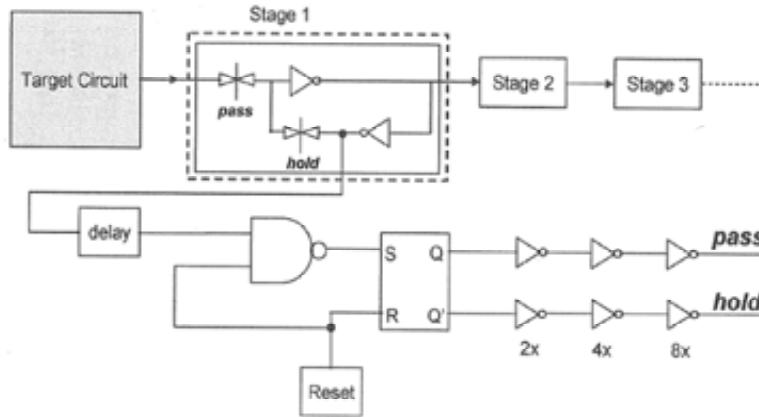


Fig. 2. Test structure showing pulse capture stages along with the trigger/reset circuit. Outlined region shows the internal circuitry of individual stages in the measurement circuit. The pulse capture stages are preceded by a sufficiently large array of target inverter circuits.

5

「平成23年度 最新デバイスの耐放射線強化技術に関する検討委員会」 第1回委員会(2011.6.24)@HIREC(株) 川崎事業所



3. SET Measurement Circuit and Maximum Measured SET Widths (2)



[Test circuit]

- ✓ 65-nm Bulk from IBM
- ✓ Inverter chain target circuit : 1000 inverter stages
- ✓ Inverter stage delay : 20ps
- ✓ SET pulse range measured : 75ps ~ 2ns
- ✓ $V_{DD}=1.0V$
- ✓ Note $V_{DD}=1.2V$ for 90-nm & 130-nm (previous data from B. Narasimham)

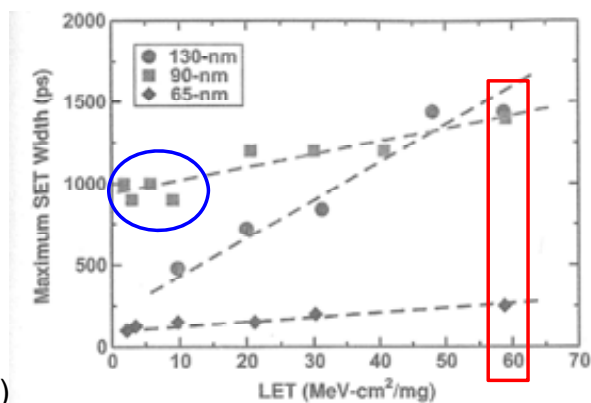


Fig. 1. Maximum measured SET widths versus LET for the three technologies studied in this work. No trend in SET width between the technology nodes is apparent.

[Test results (Fig.1)]

- ✓ SETパルス幅実測値に、明確なプロセス間トレンドがない。
- ✓ LET=60MeV/(mg/cm²)入射時の最大SETパルス幅が、60-nmでは250psしかないのに対し、90-nm/130-nmでは1.5ns近くある。
- ✓ 90-nmのみ、低LETで1nsものSETパルス発生が見られる。

6

「平成23年度 最新デバイスの耐放射線強化技術に関する検討委員会」 第1回委員会(2011.6.24)@HIREC(株) 川崎事業所



4. Impact of Pulse Broadening on SET Measurements (1)

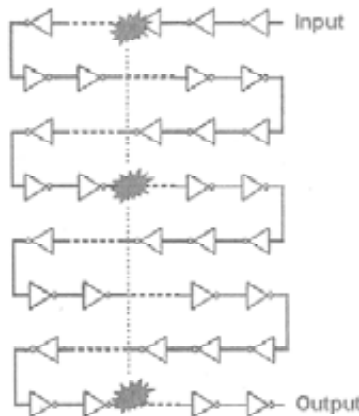


Fig. 2. The 90-nm target circuit consists of 8 rows of 125 inverters. For the focused-laser experiment, the laser strike location was the center of each row.

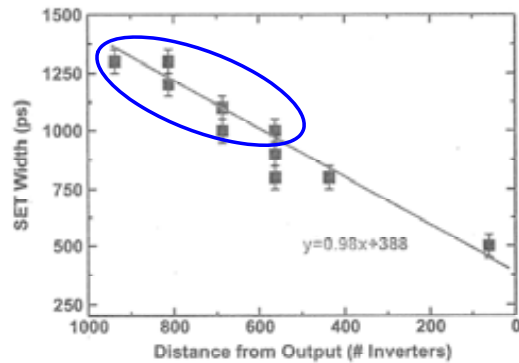


Fig. 3. Previously published [13] experimental laser results from the 90-nm test structure. Using the same laser energy to strike different locations in the inverter chain shows that as the SET propagates through it widens at a rate of nearly 1 ps/inverter.

- ✓ 90-nmでは、Inverter chain target circuitが1000 invertersもあり、Pulse broadeningが発生していた。上記は、そのエビデンスとして、90-nmのテスト回路にレーザー照射を実施し、Pulse broadeningの発生を確認したデータ。
- ✓ 130-nmでは、レーザー照射の結果でも、Pulse broadeningの発生は見られず。(130-nmではInverter chain target circuitが100 inverters)

7

「平成23年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第1回委員会(2011.6.24)@HIREC(株) 川崎事業所



4. Impact of Pulse Broadening on SET Measurements (2)

- ✓ 65-nmで、何故Pulse broadeningが原因となる、低LETでの大きなSETパルスの発生が見られなかったのか・・・？
- ✓ SNLのMicrobeamで照射実施。
- ✓ Pulse broadeningは発生してはいるが、1 inverterあたりのbroadeningレートは、90-nmと比較して1桁小さい結果となった(0.1ps/inverter)。
- ✓ 65-nmと90-nmの、broadeningレートの違いは、両者テスト回路での、Wellコンタクトとsubstrateコンタクトのとられ方の違いから来ている可能性大。

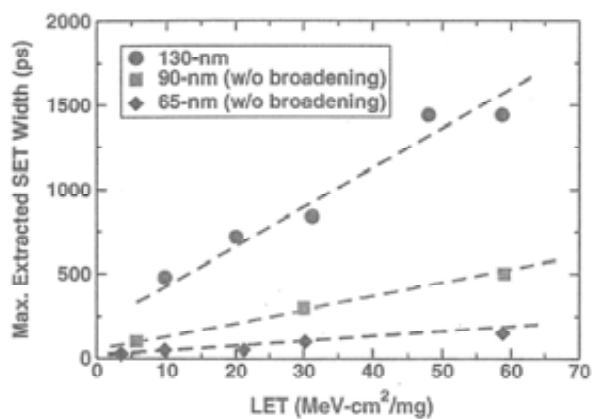


Fig. 5. Maximum, non-broadened SET widths versus LET for the three technologies studied in this work. Note that it appears that generated SET widths are decreasing with each technology node.

- ✓ Pulse broadeningの影響を排除し、オリジナルのSETパルス幅を再算出して、65-nm/90-nm/130nmのプロセス間トレンドをみると(Fig.5)、相関関係があるように見える。プロセス縮小に従い、SETパルス幅は、小さくなっていく傾向にある。

8

「平成23年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第1回委員会(2011.6.24)@HIREC(株) 川崎事業所



5. N-Well Contacting Scheme

HIREC-TD-E11023

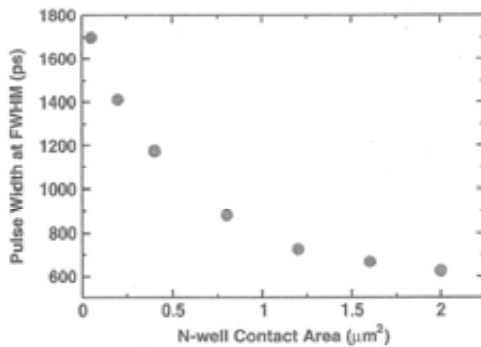


Fig. 7. Simulation results from Amusan et al. [15] showing how the n-well contact area affects SET widths in a 90-nm technology.

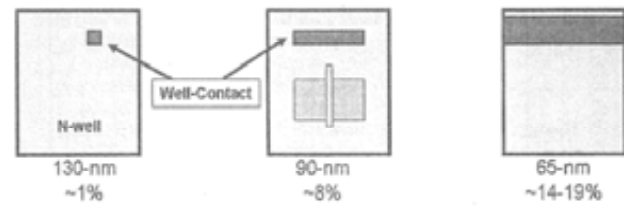


Fig. 8. Illustration of the n-well contacting scheme used for each test structure.

- ✓ 大きなSETパルスが発生する、もうひとつの原因が、寄生バイポーラ増幅。NMOSよりもPMOSに顕著に現れる。
- ✓ Amusanらの研究によると、寄生バイポーラ増幅は、N-Wellコンタクトのサイズと非常に緊密な関係にある(90-nmテクノロジー)、とのこと(Fig.7)。つまり、SETパルス幅の違いは、テクノロジーノードよりも、テスト回路のレイアウトに、より起因する、と提言している。

9

「平成23年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第1回委員会(2011.6.24)@HIREC(株) 川崎事業所



5. N-Well Contacting Scheme

HIREC-TD-E11023

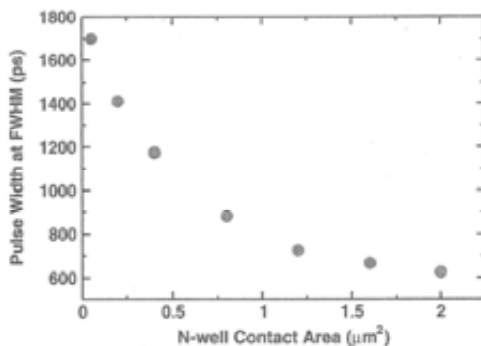


Fig. 7. Simulation results from Amusan et al. [15] showing how the n-well contact area affects SET widths in a 90-nm technology.

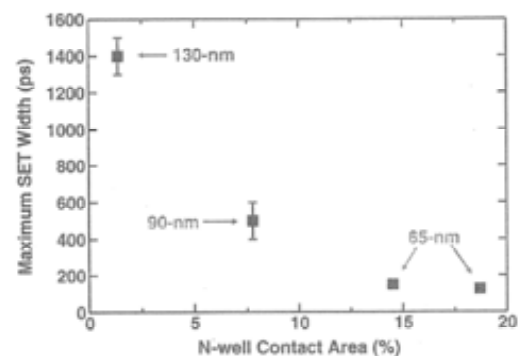


Fig. 9. Maximum, non-broadened, SET widths for an LET of 58 MeV - cm²/mg plotted as a function of the n-well contact area of the pMOS device; (in the inverter chain of the target circuit) for the test structures.

- ✓ 各テクノロジーノードのテスト回路における、N-Wellコンタクトの割合と、それぞれの最大SETパルス幅をプロットすると(Fig.9)、Amusanらの提唱するN-WellコンタクトサイズとSETパルス幅のトレンド(Fig.7)と、非常に似たトレンドになる。

テクノロジーノードの違いではなく、どのようにN-Wellコンタクトを取るかで、SETパルス幅の違いがでる!?

10

「平成23年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第1回委員会(2011.6.24)@HIREC(株) 川崎事業所



6. Mixed-Mode TCAD Simulations

HIREC-TD-E11023

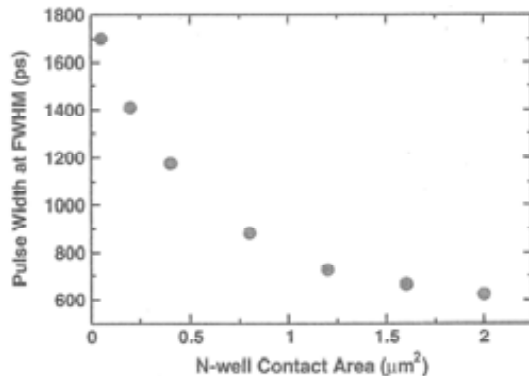
HIREC
 High Reliability Engineering & Components Corporation


Fig. 7. Simulation results from Amusan et al. [15] showing how the n-well contact area affects SET widths in a 90-nm technology.

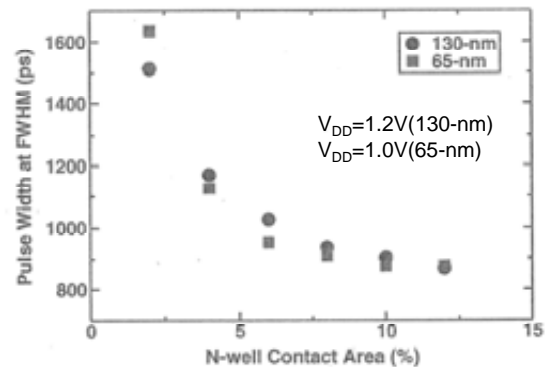


Fig. 10. Simulation results from the 130-nm and 65-nm technology nodes showing in a similar manner to Amusan et al. how the n-well contact area affects SET widths.

- ✓ 130-nm/65-nmでも、90-nmと同様な、N-WellコンタクトサイズとSETパルスとの関係が見られるのか、TCADによる3D Mixed-modeシミュレーションを実施。
- ✓ LET=58MeV/(mg/cm²)で固定。Off状態のPMOSを3Dの物理モデルに、他はSPICEネットリストとし、Inverter chainを構成。ターゲットPMOSのDrain中心にイオン照射(ガウス分布: 1/e=50nm, 2ps)。
- ✓ Fig.10(130-nm/65-nm)のトレンドは、AmusanらのFig.7(90-nm)と非常によくあっている。¹¹

「平成23年度 最新デバイスの耐放射線強化技術に関する検討委員会」 第1回委員会(2011.6.24)@HIREC(株) 川崎事業所



7. Discussion

HIREC-TD-E11023

HIREC
 High Reliability Engineering & Components Corporation

- ✓ Fig.7及びFig.10から言えることは、N-Wellコンタクトのとり方が異なるだけで、同じテクノロジーでも、実測されるSETパルス幅に大きな違いがでてくる、ということ。
- ✓ 様々な研究グループが行ったSETパルス幅の実測値の間に、一貫性がないように見えるのは、テスト回路のレイアウトが異なる為、と考えられる。
- ✓ SETパルス幅実測用のテスト回路には、(1)Broadeningが発生しないように、SET発生ターゲット回路として、“短い”パスのチェーン回路を使用すべき、(2)異なるN-Wellコンタクトサイズでいくつかのケースを、ターゲット回路に入れ、コンタクトによる違いを見るようにする、を提案する。



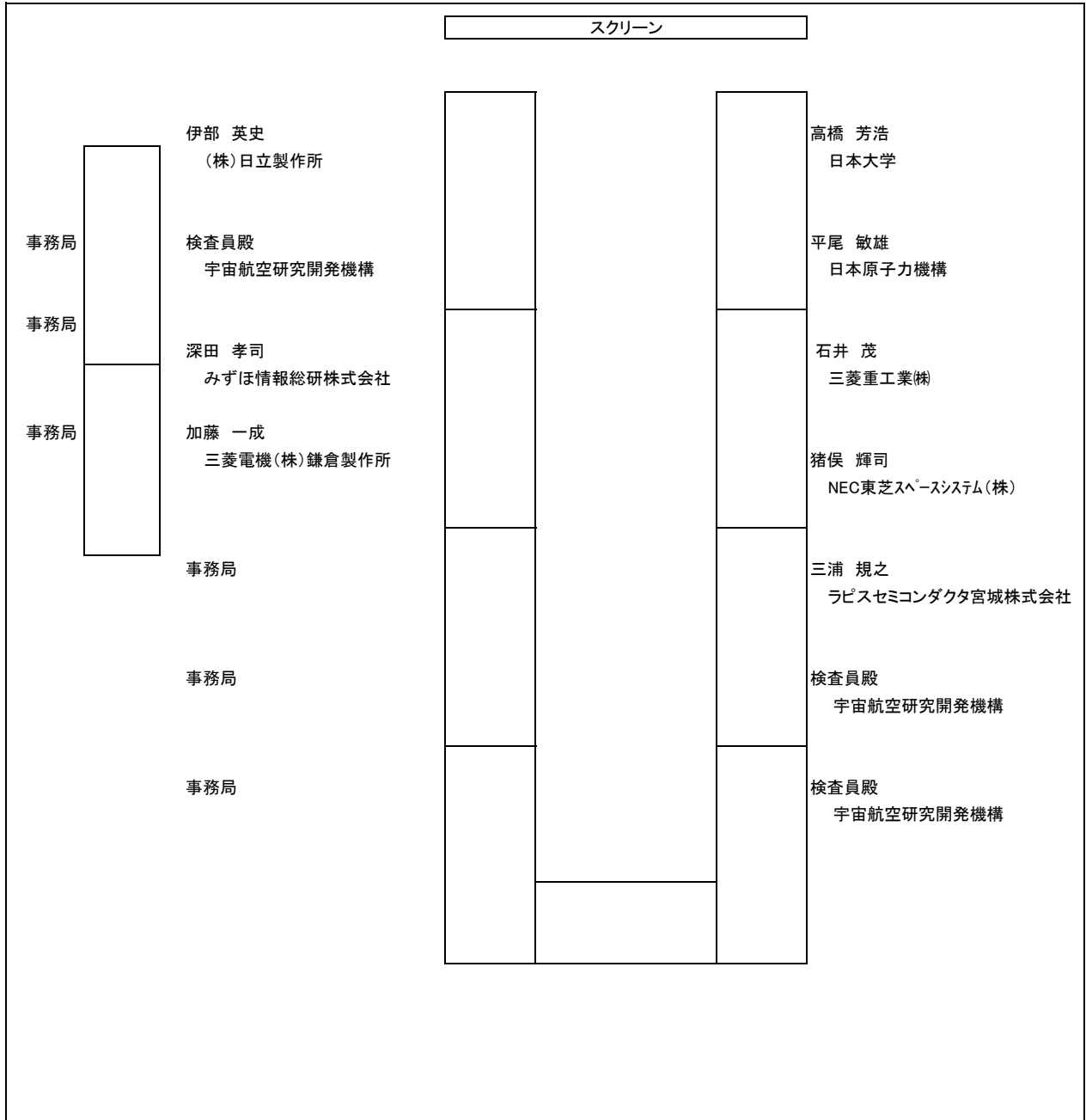
8. Conclusion



- ✓ Bulkテクノロジーにおける、SETパルス幅のトレンドは、複数の要素の組み合わせの結果であるため、確定することが難しい。
- ✓ 要素の一つが、Pulse broadeningであり、broadeningレートに着目すると、テクノロジースケールが小さくなるほどに、短くなっていく傾向が見える。
- ✓ もうひとつの要素が、Parasitic bipolar amplificationであり、これはテクノロジースケールよりも、PMOSの周りにいかにN-Wellコンタクトを付けるか、テスト回路のレイアウトによる傾向が見える。
- ✓ 結論として、SETパルス幅のテクノロジースケールに対するトレンドを論じる場合は、テスト回路のN-Wellコンタクトのレイアウトを、横並びに一定にした上で、そのようなテスト回路を使ってSETパルス幅の実測の試験を行い、その結果を持って論じる必要がある。

第2回委員会配付資料

第 2 回 最新デバイスの耐放射線性強化技術に関する検討委員会 座席表



入口

「平成 23 年度 最新デバイスの耐放射線性強化技術に関する検討委員会」
第 2 回委員会 議事次第

日時：平成 23 年 10 月 7 日(金) 14:00 ～ 17:15

場所：HIREC 株式会社 川崎事業所 会議室

川崎市幸区大宮町 1310 ミューザ川崎セントラルタワー 12F

(TEL : 044-379-6013)

1. 配付資料等確認 (5 分)14:00～14:05
2. 各委員の調査結果報告・質疑 (各 20 分・25 分 計 45 分)
 - 2.1 Independent Measurement of SET Pulse Widths From N-Hits and P-Hits
in 65-nm CMOS (高橋委員)14:05～14:50
 - 2.2 Evaluating the Influence of Various Body-Contacting Schemes on Single
Event Transients in 45-nm SOI CMOS (三浦委員)14:50～15:35
- 休憩 (10 分)15:35～15:45
- 2.3 Combining Results of Accelerated Radiation Tests and Fault Injections
to Predict the Error Rate of an Application Implemented in SRAM-Based
FPGAs (石井委員)15:45～16:30
3. 2011 年 NSREC 参加報告 (事務局) (20 分)16:30～16:50
4. 国際学会参加報告 (委員長) (20 分)16:50～17:10
5. 事務局からの連絡 (5 分)17:10～17:15



65nm CMOSにおけるnMOS, pMOS 照射時のSETパルス幅の独立測定

Independent Measurement of SET Pulse Widths From N-Hits and P-Hits in 65-nm CMOS

IEEE Transaction on Nuclear Science, Vol. 57, No. 6, pp. 3386-3391, Dec. 2010.

S. Jagannathan ¹⁾, M. J. Gadlage ²⁾, B. L. Bhuvu ¹⁾, R. D. Schrimpf ¹⁾,
B. Narasimham ³⁾, J. Chetia ¹⁾, J. R. Ahlbin ¹⁾, and L. W. Massengill ¹⁾

1) Vanderbilt Univ. 2) NAVSEA. 3) Broadcom Corp.

対象デバイス	: CMOS NAND/NOR chains (65nm Bulk)
実験設備	: Lawrence Berkeley National Laboratory
照射線種	: 重イオン／詳細不明 (21.2 ~ 58.8 MeVcm ² /mg)
対象現象	: 単発現象 (SET)
実験／理論	: 実験, シミュレーション

担当：高橋芳浩（日大）

1

背景 1



デバイス縮小化, 電源電圧低圧化

> ソフトエラー誘発

- ・ SEU : ECCやRHBDなどにより耐性向上
- ・ SET起因エラー : ソフトエラーの主要因になる可能性

SETパルス幅 (SETを決定する大きな要素)

- ・ サブ100nmでは pMOS, nMOS への照射により異なると予測
- ・ n-wellプロセスにより作製されたpMOSへの照射
 - 寄生バイポーラ効果によるSETパルス幅増大が懸念
(∵ シミュレーションによる検討)

2



背景 2

pMOS照射時 (P-hits), nMOS照射時 (N-hits)のレスポンス把握

- 電荷収集メカニズム理解, RHBD技術の評価に重要
ただし, 報告例は少ない

Goukerらの報告 :

- ・ インバータチェーンへのパルスレーザ照射
 - ・ 正確な照射位置制御により, P-hits, N-hitsを分離しSETパルス幅を独立評価
- ただし, 重イオン照射などによる測定は困難

3



研究内容

目的 :

- 重イオン照射などに適用できる,
N-hits, P-hitsにおけるSETパルス幅を独立に評価

方法 :

- ・ ターゲット回路構成 (NAND / NOR + INVチェーン) により分離 (照射位置制御不要)
- ・ 65nm Bulk CMOSプロセス (IBM CMOS10SF 65nm) により回路を作製し, N-hits, P-hitsによるSETパルス幅を評価 (65nmプロセスのSET測定は初めて)

4

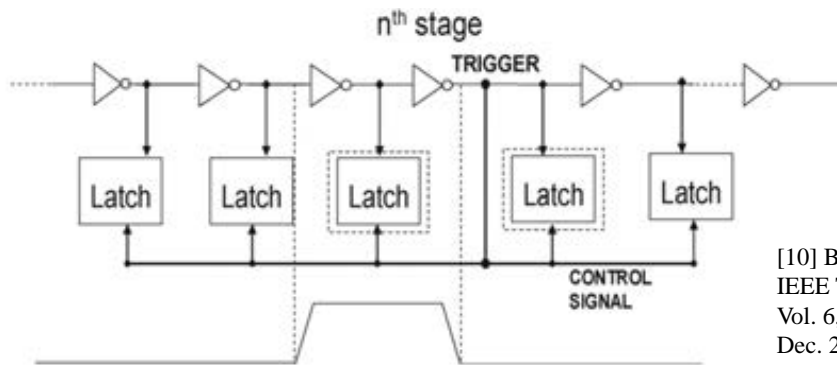


SET測定回路

SETパルス幅測定回路+ターゲット回路 で構成

SETパルス幅測定回路 :

- ・ Narasimhamらにより開発されたself-triggerd 回路を使用
- ・ ラッチが接続された80段のInv. チェーン
- ・ パルス幅は反転したInv. 段数により評価
- ・ 各段のdelay = 25 ps → 25 ps~2 ns (分解能 ±12.5 ps) で測定可



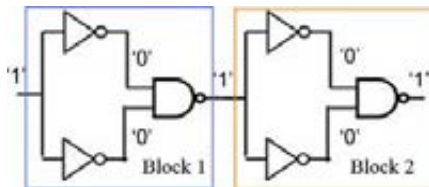
[10] B. Narasimham et. al.
IEEE Trans. Dev. Mat. Rel.,
Vol. 6, No. 4, pp. 542-549,
Dec. 2006.

ターゲット回路



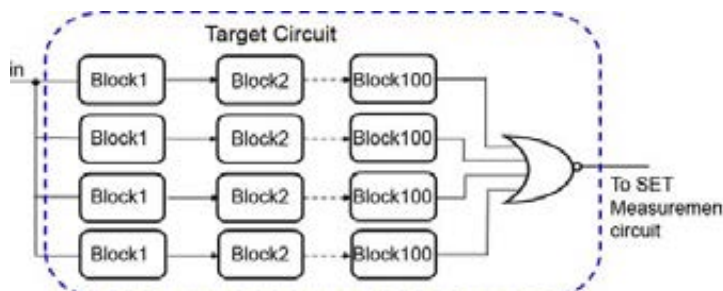
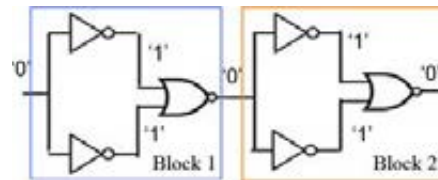
N-hits回路のブロック

NAND+Invで構成, 入力=1



P-hits回路のブロック

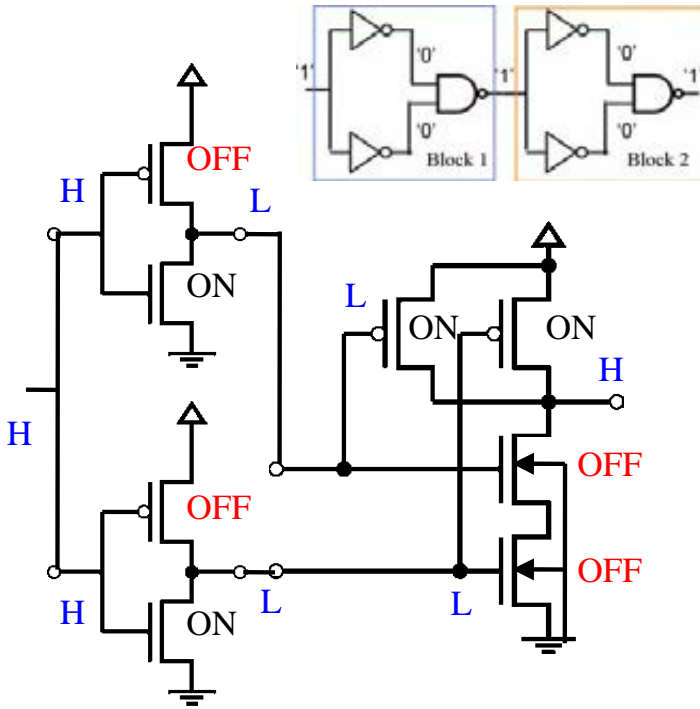
NOR+Invで構成, 入力=0



100段ブロック×4列で構成
SET pulse broadening effect
防止のため, 100段に設定
出力をORで接続
→パルス幅測定回路へ



N-hitsターゲット回路



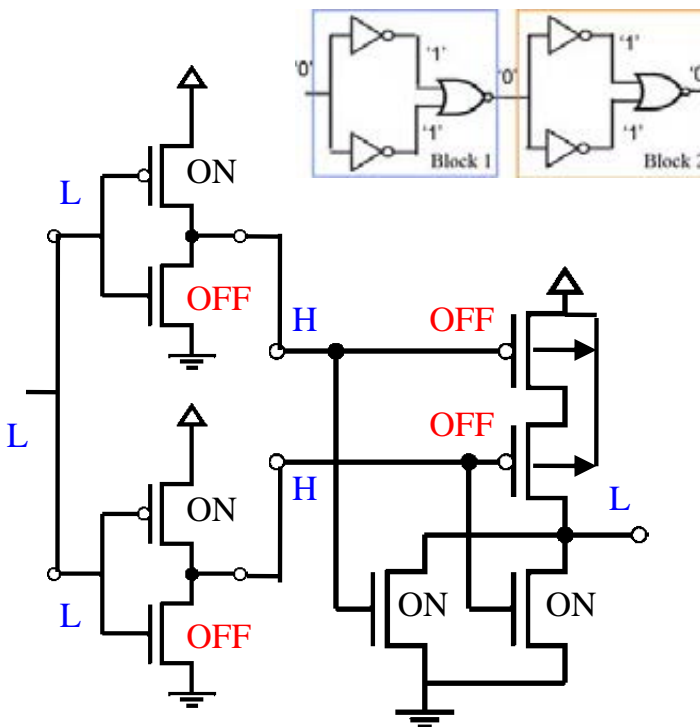
A	B	NAND
0	0	1
0	1	1
1	0	1
1	1	0

NAND回路の真理値表

Inv.内, 1つのpMOSに照射
→ NAND出力は不変

NANDのnMOSに照射
→ SET発生

P-hitsターゲット回路



A	B	NOR
0	0	1
0	1	0
1	0	0
1	1	0

NOR回路の真理値表

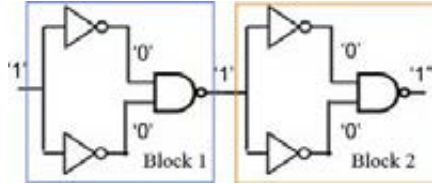
Inv.内, 1つのnMOSに照射
→ NOR出力は不変

NORのpMOSに照射
→ SET発生

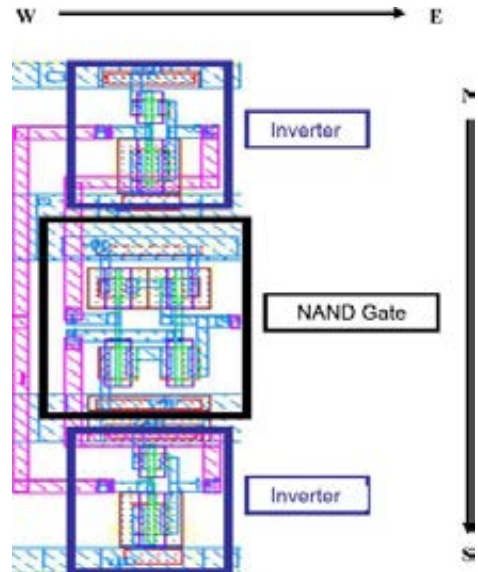
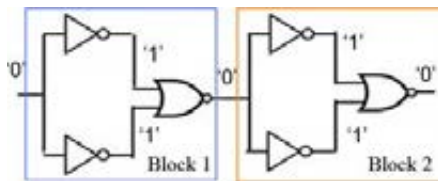


ターゲット回路の工夫

N-hits回路のブロック



P-hits回路のブロック



各ブロックの2つのInv.が同時に SETを発生すると、SET伝搬.



各Inv.をNAND/NORの両側に配置 (距離3.5μm以上)

各回路の伝搬特性評価

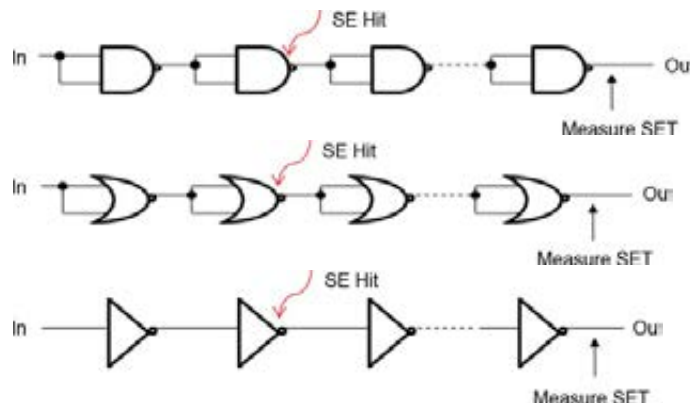


N-hits (NAND), P-hits (NOR)の構造の違い

→ SETの伝搬 (出力パルス幅) に影響を及ぼす可能性

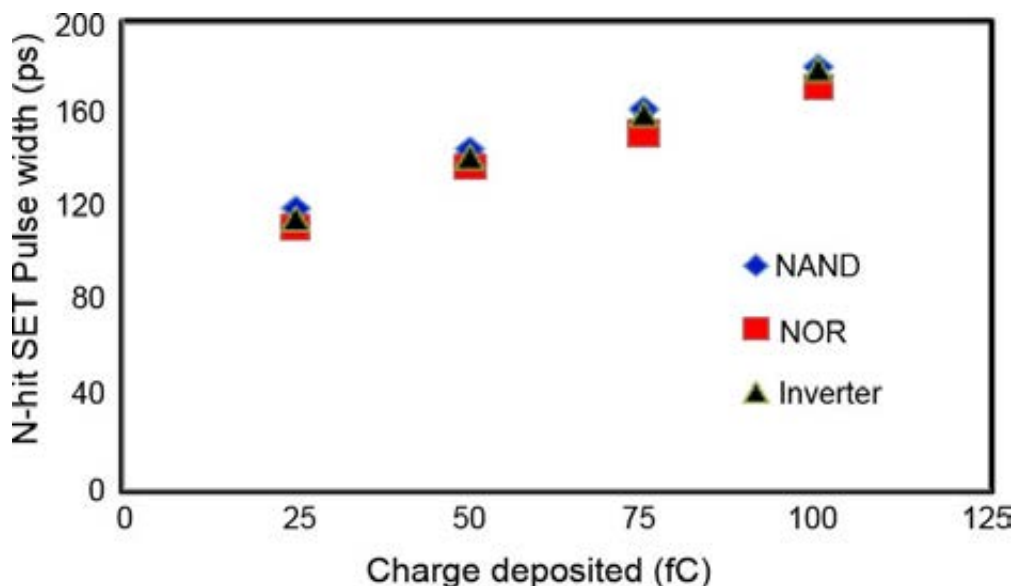
10段 NAND, NOR, Inv. の伝搬特性をシミュレーション解析

- ・ Cadence Spectre simulator 使用
- ・ 65nm CMOS, nMOS, pMOS : 同駆動力で設計
- ・ 2段目のnMOSに照射 (印加電流パルスはTCADで解析)





各回路の伝搬特性評価結果



同一駆動力を有する各チェーンのSETパルス幅は、ほぼ同一。
(誤差5%以内)

照射実験



照射施設

Lawrence Berkeley National Lab.

照射イオン :

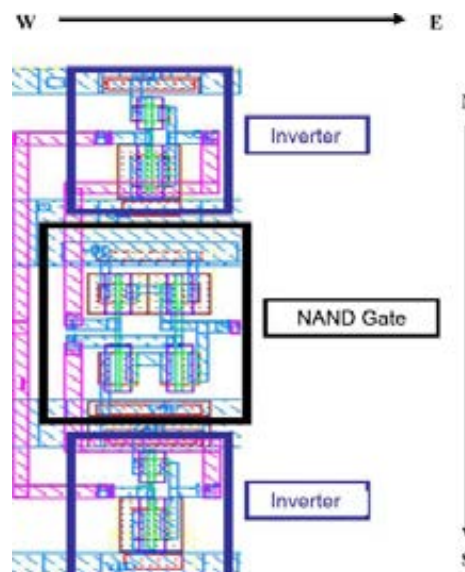
LET = 21.1 ~ 58.8 MeVcm²/mg
(詳細不明)

入射角 :

0° (垂直入射)
60° (W-E, N-S方向)

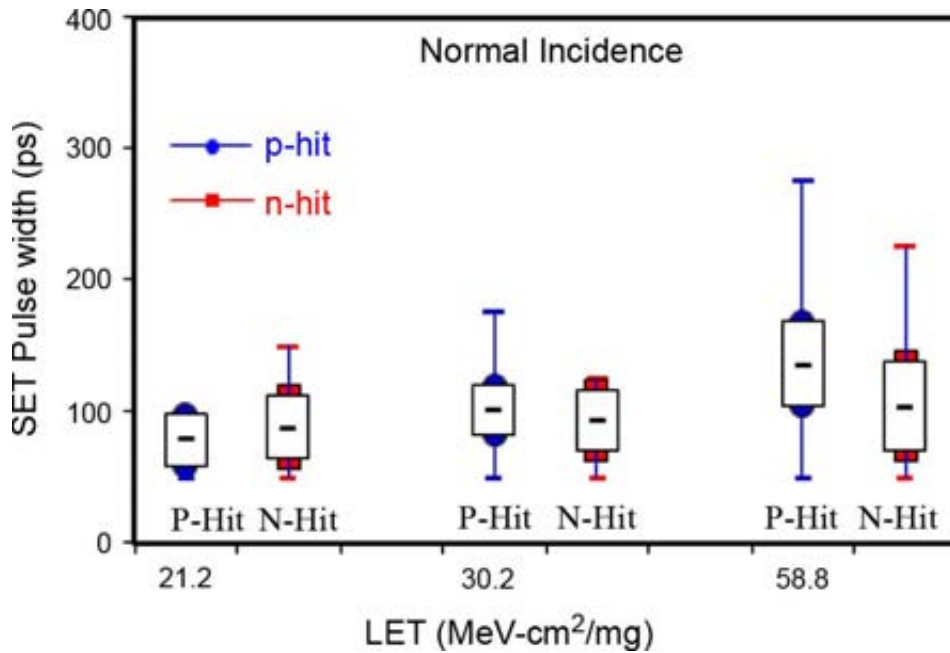
飛程 :

100μm程度
(メタル9層 : 10~20μm)





実験結果（垂直入射）



低LET : P-hit < N-hit 高LET : P-hit > N-hit (32% 増加)

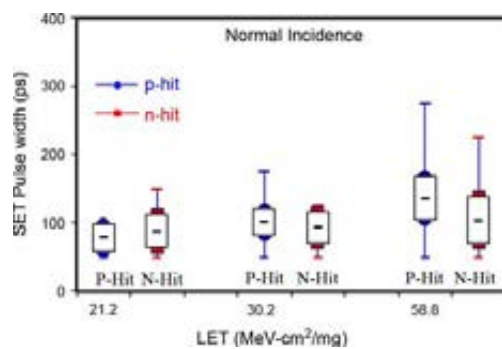
13

実験結果（垂直入射）



低LET領域

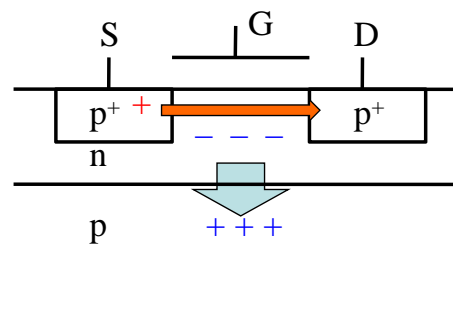
- ・ 寄生バイポーラ効果は小さい
- ・ pMOSの収集長：n-wellの厚さ
→ nMOSのほうが収集電荷量大



高LET領域

- ・ 寄生バイポーラ効果が大きくなる

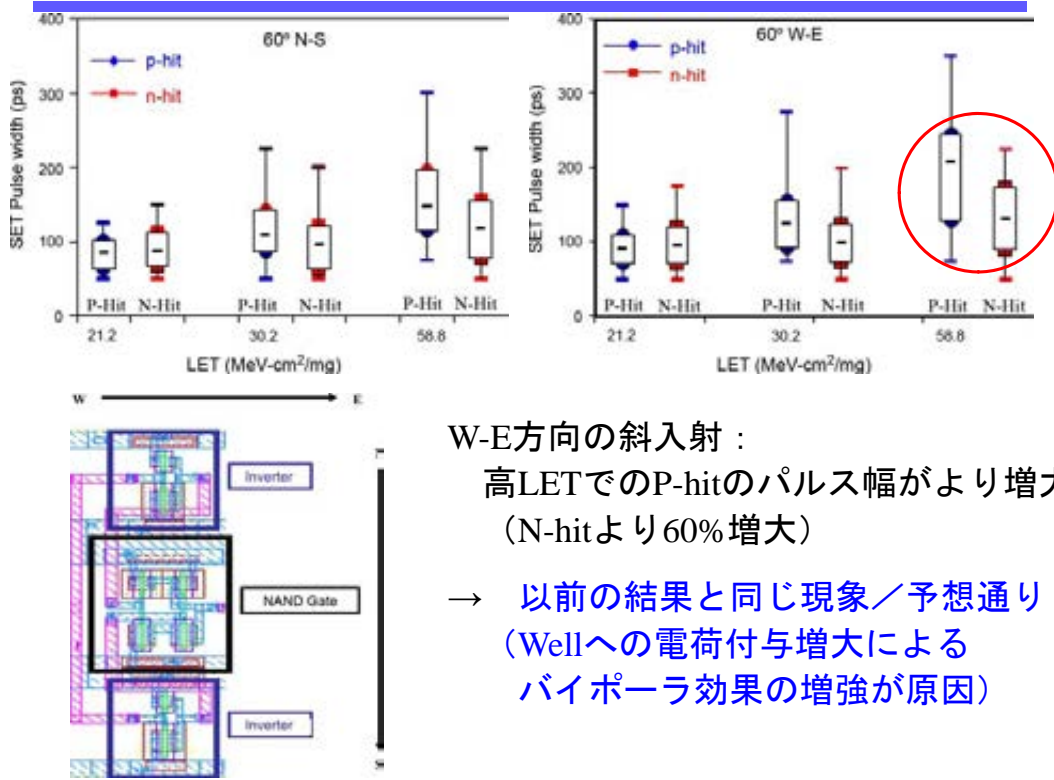
pMOS Well内でe-h発生
 正孔はDrain, 基板に収集, 電子はWellに留まる
 ∴ pn接合内蔵電界
 Well電位が下がり, Sourceから多くの正孔注入
 → 大きな I_{DS} が発生



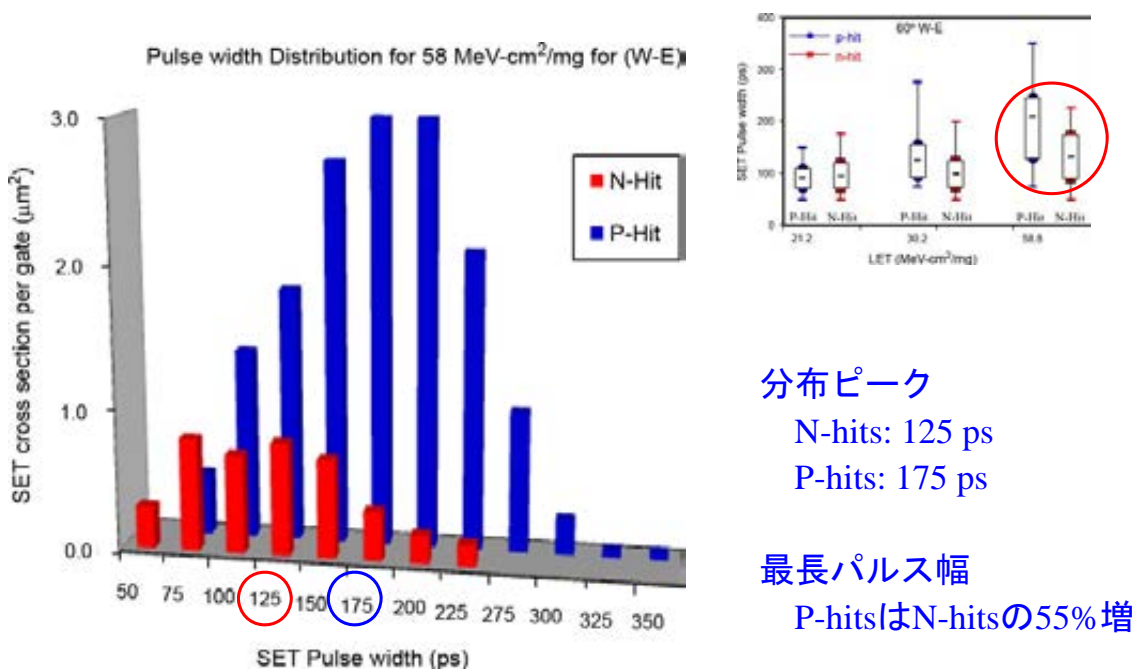
14



実験結果 (斜め入射)

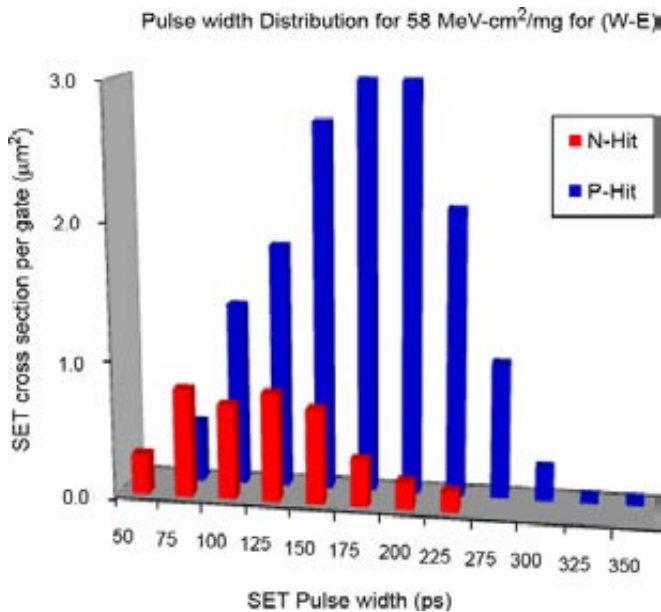


SETパルス幅分布 (W-E 60° , 高LET)





SETパルス幅分布 (W-E 60°, 高LET)



イベント数

P-hits : N-hitsの3.9倍

垂直入射では3.7倍

(入射角に, ほぼ無依存)

→ Multi-node電荷収集が

ほとんど起きていない

各デバイスサイズ

pMOS: W/L = 1300/50 nm

nMOS: W/L = 400/50 nm

(駆動力調整のため)

(pMOSの感応領域

= nMOSの3倍以上)

イベント数の差は感応領域による

17

考察



イベント数 : P-hits > N-hits (感応領域の差異による)

→ Transistor fingering (ゲート分割) @pMOS

などにより, イベント数の抑圧が可能

SETパルス幅 : P-hits ≒ N-hits @低LET P-hits > N-hits @高LET

→ pMOSの耐性向上 (寄生バイポーラ効果抑制) が重要

→ 寄生バイポーラ効果

- ・ n-wellの縦方向抵抗 ($R_{vertical}$)

- ・ n-wellコンタクトとチャネル間の抵抗 (R_{well})

の減少により抑制可能

18

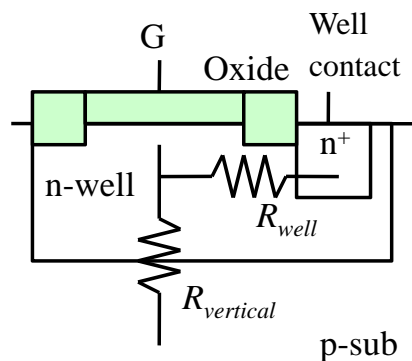
考察

$R_{vertical}$ (wellの縦方向抵抗) :

well面積↑により減少

R_{well} (well contact - チャネル間抵抗) :

Trとコンタクトの距離↓により減少



- ・ 本実験回路 : well面積 = $2 \times 1.2 \mu\text{m}$
- ・ 商用への応用を考慮
 - well面積は減少する方向
 - p-hitsのSETパルス幅は、より増大する可能性大 (寄生バイポーラ効果増強による)
 - 宇宙／軍事応用では、well面積、コンタクト密度に配慮して設計する必要あり

19

まとめ

65 nm Bulk CMOSの重イオン照射誘起SETパルス幅を、N-hitsとP-hitsで分離して評価 (異なる回路の使用による)

結果 :

低LET : N-hitsのパルス幅は、P-hitsよりも10%程度長い
(収集長 : nMOS > pMOSのため)

高LET : P-hitsのパルス幅が増大 (∵ 寄生バイポーラ効果)
(斜入射で、nMOSよりも60%程度増大)

SETイベント数 : 各Trの感応領域に比例

→ 先端デバイスの耐放射線向上において有益なデータ

今後の予定 :

well (面積, コンタクト) とSETパルス幅の関係を評価

20

コメント



レーザー照射のように照射位置を微細にコントロールできない重イオン照射実験において、P-hitsとN-hitsとを分離して評価できるという点でGOOD.

Low入力のNAND（直列のnMOSがOFF）

High入力のNOR（直列のpMOSがOFF）

の条件で実験を行っているため、基板電流を介したSETのみ評価

→ SOIデバイスには適用出来ない？

High入力のNAND（並列のpMOSがOFF）をP-hits評価回路として使用すれば、SOIデバイスにも適用可能？

（Low入力のNOR：並列のnMOSがOFF → N-hits評価可能？）

45nm SOI CMOS における シングルイベント過渡応答に関する ボディコンタクト設計の影響評価

Evaluating the Influence of Various Body-Contacting Schemes on Single Event Transients in 45-nm SOI CMOS

K. A. Moen¹, S. D. Phillips¹, E. P. Wilcox¹, J. D. Cressler¹, H. Nayfeh², A. K. Sutton²,
J. H. Warner³, S. P. Buchner³, D. McMorrow³, G. Vizkelethy⁴, and P. Dodd⁴

1) Georgia Institute of Technology, USA 2) IBM, USA 3) NRL, USA 4) SNL, USA

[出典] IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 57, NO. 6,
DECEMBER 2010, pp.3366-3372,
[対象デバイス] 45nm SOI CMOS
[実施設備] NRL 800nm パルスレーザー(TPA), Sandia National Laboratory 酸素重イオン
[照射線種およびエネルギー区分]: 36MeV 酸素重イオン LET=5.4 MeV cm²/mg
[単発反転現象又は積算線量効果の区分] 単発反転現象(SET)
[実験又は理論の区分] 実験

担当: 三浦 規之 (ラピスセミコンダクタ宮城)

Abstract

- 45nm SOI CMOS において、T型 及び ノッチ型 ボディコンタクトMOSFETのSET反応を調査する。
- T型ボディに比べて、ノッチ型ボディはSEE感度が低減できる。それは、レーザー光入射 及び マイクロビーム重イオン入射での過渡応答から示される。
- これらの結果は、nmスケールMOSFET ボディコンタクト手法に関して、RF特性 vs TID vs SEE トレードオフの新しい知見を与えるものである。

I. Introduction

イントロダクション

- 背景
- これまでの研究・課題
- 本研究の目的 及び 評価手法

背景

先端CMOS技術では・・・

- ◆ 伝統的なデジタル用途のCMOS技術から、応力設計などを行うことでRF用途に最適化された 製造プロセスの革新が進められている。
- ◆ RF性能と耐放射線性を併せ持つ SOI RF-CMOS は、RFフロントエンドとデジアナ回路ベースバンドを1チップ搭載するような 宇宙用途 SoC にとって 非常に魅力的である。

しかしながら

90nm以降ノードでは、特にデバイス材料・構造が新しいのでそれらの放射線応答は 注意深くキャラクタライズしなければならない。

これまでの研究・課題

- ✓ SOI CMOSの TID耐性は、これまでに数世代の技術ノードで議論されてきた [1]-[3]。最近では [3]で 65nm PD SOI トランジスタにおいて、STI 酸化膜が TID感度 に効く要因であることが示された (A. Madan他: 2009年)。
- ✓ そこでは、ボディコンタクト手法が 上記 TID耐性改善に有効であることが示されている。しかしながら、その構造起因で寄生成分が増えてしまうため 明らかに RF性能が低下してしまう。



課題

- 性能(RF特性) と 信頼性(耐放射線性) のトレードオフが生じている。
- TID耐性に加え、最近のCMOSノードでは SEE も評価しなければならない。

本研究の目的 及び 評価手法

今回の発表では・・・

- ◆ 45nm SOI CMOS において、重イオンマイクロビーム及びパルスレーザをデバイスレベルで照射し、その電流過渡応答について調査する。
- ◆ また、ボディコンタクトの取り方によって SEE に違いが出ることを初めて示す。
- ◆ 今回観測した SETのバイアス条件及び照射位置依存性の結果から、宇宙環境で動作する SOI CMOS は RF特性・TID耐性のトレードオフも考慮して、使用するボディコンタクト手法を選択する必要があることを示す。

II. Experimental Details

実験詳細

- (1) 製造プロセス・デバイスレイアウト
- (2) レーザ光照射 及び イオン照射

実験詳細 (1) : 製造プロセス・デバイスレイアウト

- ◆ **製造プロセス** : 45nm PD SOI CMOS @2006 IEDM
 T_{ox} 1.16nm (参考 : Floating-Body Tr. Nfet/Pfet ft 485GHz/385GHz)
 Dual Stress Liner(DSL), e-SiGe, Stress Memorization(SMT) 等を適用
- ◆ **デバイスレイアウト** : T型 及び ノッチ型ボディコンタクト
 $L=56nm$, $W_{eff}=3.0\mu m$ (図1 参照)

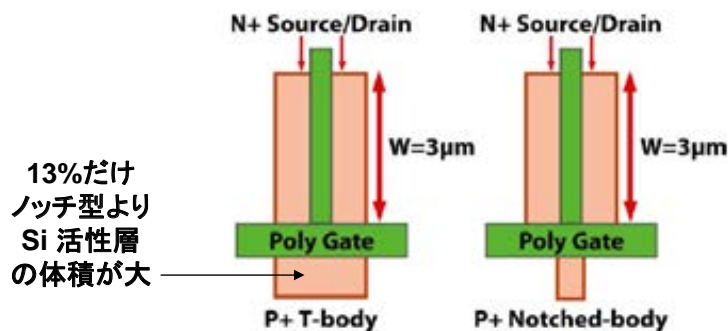
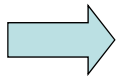


Fig. 1. Layout geometries for T-body and notched-body contacting schemes

実験詳細 (2) : レーザ光照射 及び イオン照射

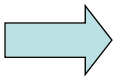
◆ レーザ光照射 : 二光子吸収 パルスレーザー @NRL [10][11]

- ・ 1.2 μm 電荷分布レーザー, SET の 3次元位置 及び 時間分解測定が可能
- ・ 800nm 光パルス, 1kHz 繰り返しレート, パルス幅 約120 fsec
- ・ レーザ焦点高さに合わせた上で、0.25 μm ステップでxy位置ずらしながら照射



III. 図2 ~ 図8 (p.11 ~ p.17)

◆ イオン照射 : 36MeV 酸素 LET=5.4 MeV cm²/mg @SNL [12]

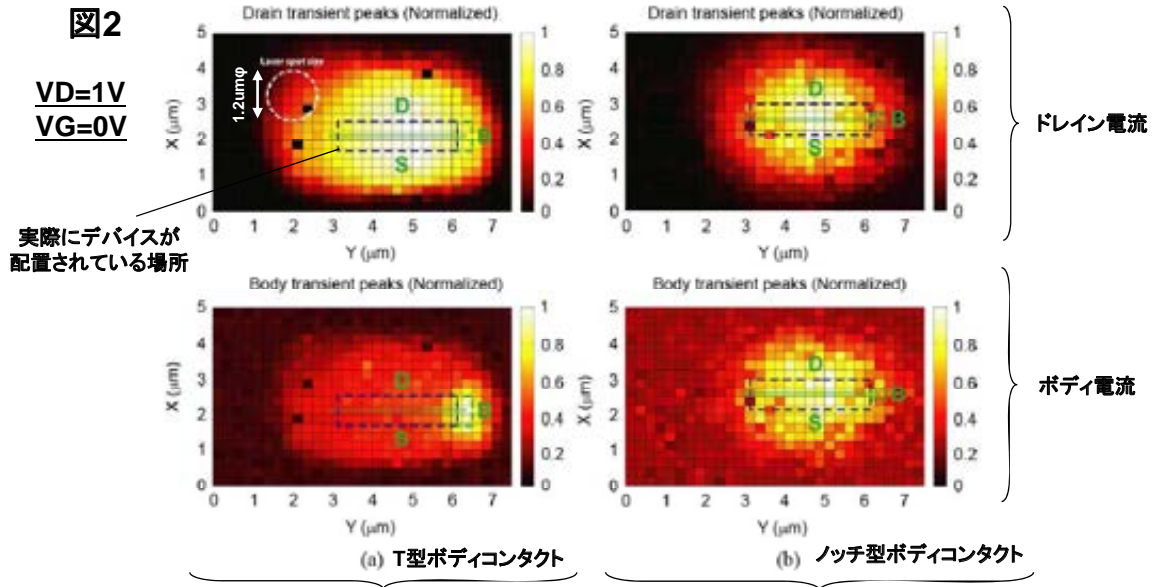


III. 図9 (p.18) 本来行いたい放射線実験。
… レーザ光照射の結果とを比較する。

III. Experimental Results 実験結果

- (1) 10.7nJ 及び 1.0nJ レーザ光照射
- (2) 36MeV LET=5.4 酸素イオン照射

実験結果 (1) : 10.7nJ レーザ光照射 … SET電流/位置依存



- (a) T型 SETボディ電流は、ボディ部近傍に照射された時がピークとなる。
- (b) ノッチ型 SETボディ電流は、上記 T型のようなピークは見られない。

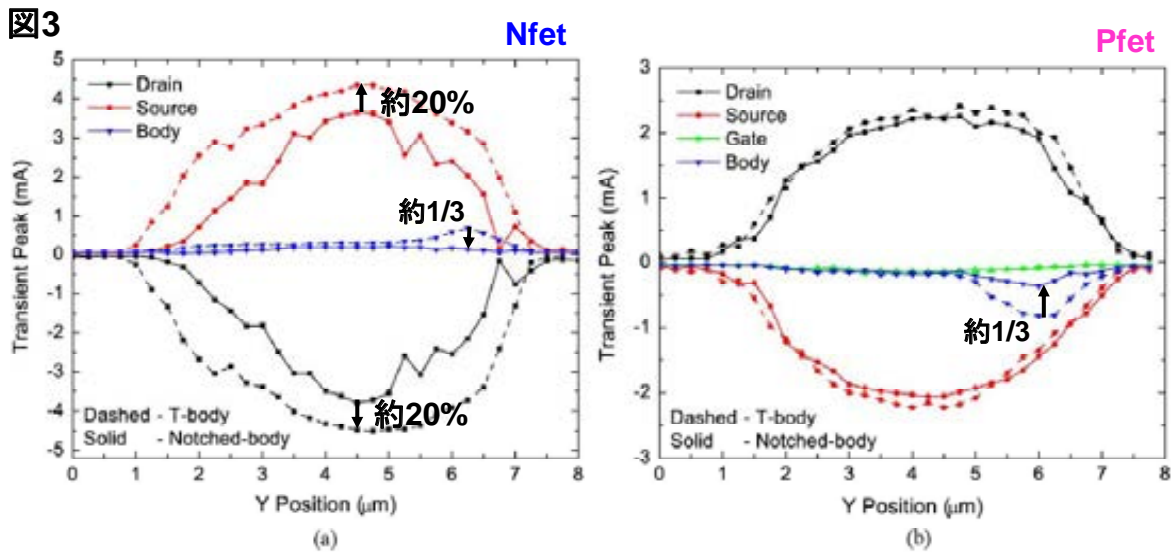
実験結果 (1) : 10.7nJ レーザ光照射 … SET電流/位置依存

【補足】図2 の見方: 解釈する上での注意

図2において、有感面積に見えるところが 実際のデバイス寸法よりも大きくなっている理由は、レーザスポットサイズが有限のある大きさを持っていることに起因する。つまり、レーザ照射をスキャンしながら行う手法なので、レーザスポットサイズぶん重畳されることになるからである。

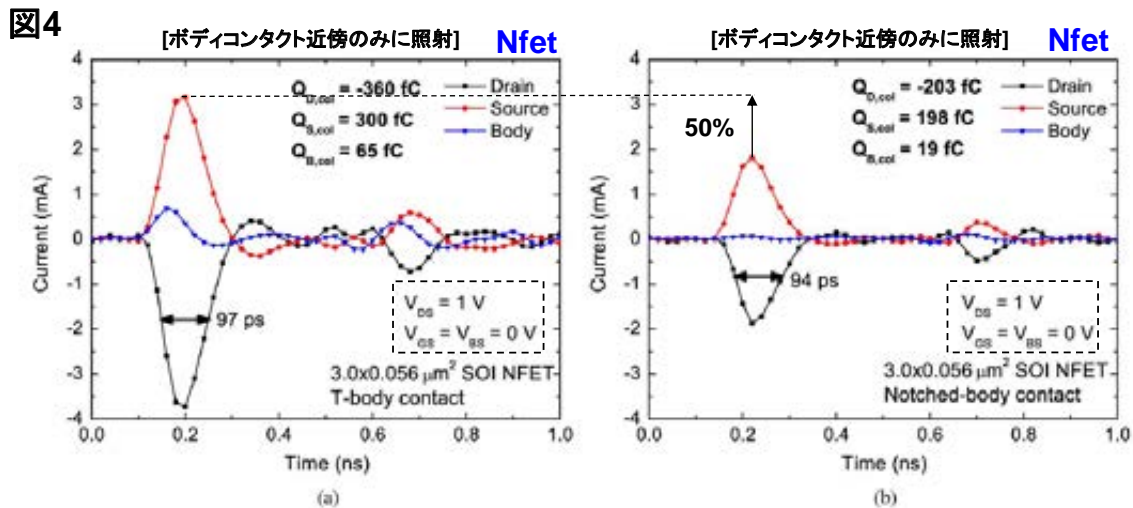
また、これらのSET電流値データは、各デバイス・各端子で規格化されたものであることに注意が必要。例えば、T型ボディコンタクトのSETボディ電流はゲート幅方向に沿って集中して流れるはずだが、図2の見た目はそうっていない。規格化されたデータは、2次元スキャン領域での最大過渡応答電流にハイライトされることになる。これが、T型ボディよりもノッチ型ボディの方が明るい場所が大きく見えて・バックグラウンドノイズにより近く見える理由である。

実験結果 (1) : 10.7nJ レーザ光照射 … SET電流/位置依存



- **Nfet:** T型のSET S/D 電流は、ノッチ型よりも ゲート幅方向に一様に高い。これは、T型の方が ノッチ型より Si有感体積が大きいことに起因する。
- **Pfet:** Nfet のような違いは明確には見られない。SETボディ電流がNfetより大きい、これについては もう少しデータを積んで検証する必要がある。

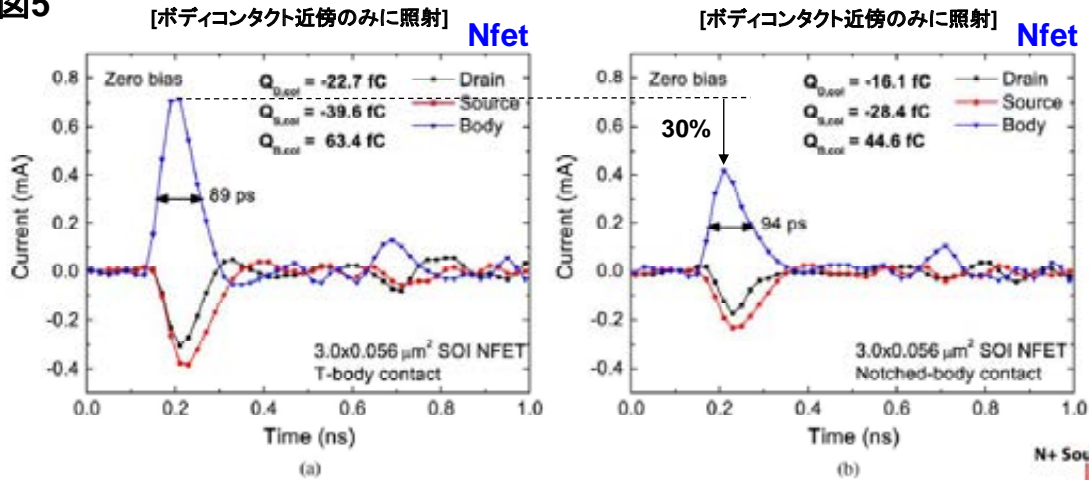
実験結果 (1) : 10.7nJ レーザ光照射 … SET電流/時間依存



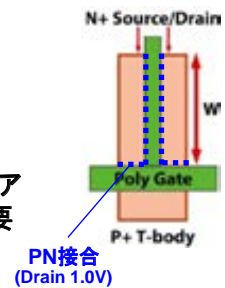
- SETピーク電流は、T型がノッチ型の約2倍である。これは、T型の方が 有感領域となる 体積が大きいことに起因する成分 (図3: 20%ぶん) に加えて
- その体積差以上にSET収集キャリア量が異なるのは、S/D と ボディ部で 形成される ラテラルバイポーラ のゲインが違う (27%ぶん) ためである。

実験結果 (1) : 10.7nJ レーザ照射 … SET電流/時間依存

図5

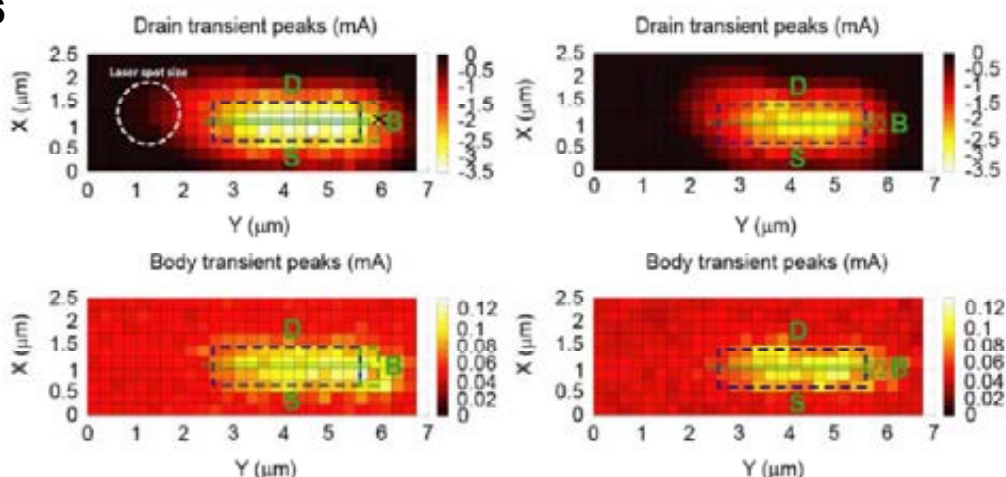


- 全ての端子を接地した場合: S/D の N+ とボディコンタクトの P+ の間のpn接合部分で、光照射・発生したキャリア電流が流れている。
- 寄生容量によるRF特性への影響だけでなく、ドレイン・ボディ間の逆バイアスpn接合もある。正確な測定するためにもレーザエネルギー校正が必要で、このような全端子接地の測定も実施している [13]。



実験結果 (1) : 1.0nJ レーザ照射 … SET電流/位置依存

図6



- レーザパワーを小さくした場合: レーザパルスエネルギーによるSET信号だけでなく、測定セットアップで生じる他のバラツキ成分も考慮するために、1ポイントあたり4回のSETの平均をとっている。結果は、図2～図5 とほぼ同様だが文献[14] で示されている経験式のとおり、電荷量は (1/10.7でなく) 1/115 に相当している。

実験結果 (1) : 1.0nJ レーザ照射 … SET電流/位置・時間依存

図7

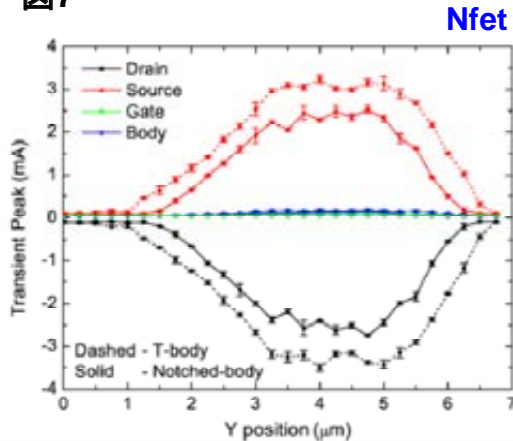
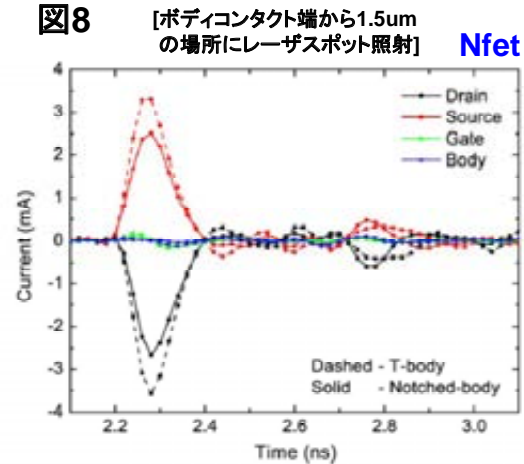


図8

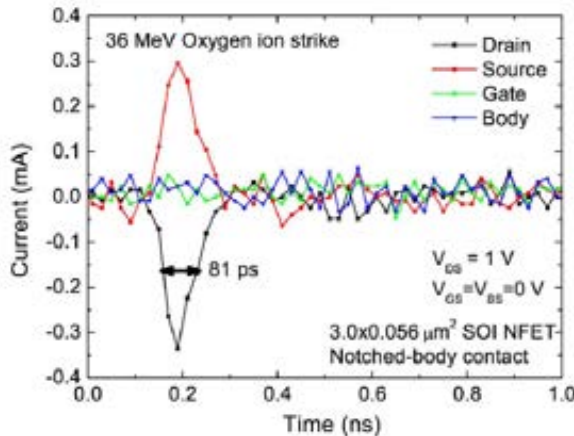


➤ レーザパワーを小さくした場合の SETピーク電流(図7) は、同パワーが大きい場合(図3-a)と同じく、T型の方が全体的にドレイン電流は大きい。SETボディ電流は、照射エネルギー小さく 図3のようには明確に出ない。

➤ レーザパワーを小さくした場合の時間分解測定(図8)は、デバイス中心部のみレーザスポット照射。これも T型よりノッチ型の方がSET電流小さい。

実験結果 (2) : 酸素 重イオン照射 … SET電流/時間依存

図9



【参考・比較用レーザ光:再掲…図4(b)】

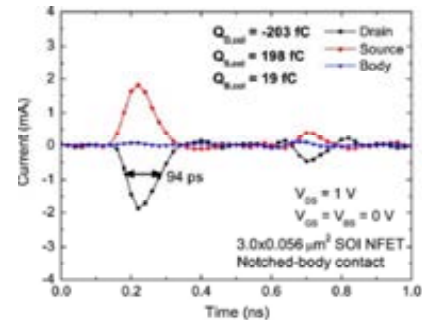


Fig. 9. Single event transients in a $3.0 \mu\text{m} \times 0.056 \mu\text{m}$ notched-body nFET biased at $V_{DS} = 1.0 \text{ V}$ for 36 MeV oxygen ion strike.

➤ イオン照射 : 酸素 36MeV, LET 5.4MeV cm²/mg では、レーザ光照射での発生キャリア量に比べて非常に小さいので、SET電流値も少ない。

➤ にもかかわらず、SET継続時間は80~100ps でレーザ光照射と同レベル … 先の実験(1):図2~図8 は 実際の放射線照射の模擬として妥当。

VI. Summary

まとめ

まとめ：（その1）

1. 45nm SOI CMOSにおいて、レーザ光照射のSET特性を調べた結果これまで標準的に用いられているT型ボディコンタクトのレイアウト手法よりも、ノッチ型ボディコンタクトのレイアウト手法の方がSEE効果に対する感度を低減できることが判った。
2. T型ボディは、ノッチ型ボディよりもSETドレイン電流がゲート幅方向一様に大きくかつ寄生バイポーラゲインも27%大きい。
3. ノッチ型の方がSEE抑制に良いという結果は、都合の良いことにTID抑制に対しても同じように良くなることになる。
4. さらに言えば、このノッチ型は、ボディコンタクトレイアウト構造が持つてしまう寄生容量や寄生バイポーラなどを最小にすることができる。

まとめ：(その2)

5. もちろん、このノッチ型ボディコンタクト手法でも、フローティングボディ型に比べれば RF特性は落ちてしまい放射線耐性とRF特性のトレードオフの問題はあるのだが、放射線環境で使用する用途のアプリケーションにおいては RF特性・TID・SEE の間の最も良い折衷案である。
6. 今後は、フローティングボディ型とボディコンタクト型デバイスを直接 定量的に評価して比較する必要がある。

さらには、このようなボディコンタクト手法を用いたときのSET応答の正確な物理メカニズムの理解を改善していく必要があり、それには TCAD シミュレーションを使っていこうと考えている。

END

放射線試験と故障注入試験の組合せによる SRAMベースFPGAのアプリケーションレベルのエラー率予測

Combining Results of Accelerated Radiation Tests and Fault Injections to Predict the Error Rate of an Application Implemented in SRAM-Based FPGAs

*Raoul Velazco, Member, IEEE, Gilles Foucard, Member, IEEE, and Paul Peronnard,
Member, IEEE*

[出典]	IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 57, NO. 6, DECEMBER 2010, pp.3500-3505,
[対象デバイス]	デジタル SRAMベースFPGA (Xilinx社 Virtex- II 1000)
[実施設備]	HIF cyclotron of Louvain-la-Neuve (Belgium)
[照射線種およびエネルギー区分]	Carbon, Argon
[単発反転現象又は積算線量効果の区分]	単発反転現象 (SEFI)
[実験又は理論の区分]	実験

報告者: 石井 茂 (三菱重工業)

◆ 論文概要

2

◆ 概要

SRAMベースのFPGA (Field Programmable Gate Array) に実装されたアプリケーションレベルのエラー率を、放射線試験による静的なエラー断面積に故障注入試験の結果を組み合わせることにより予測した。提案方法の妥当性を確認するため、重イオン試験による実験結果と比較した。

◆ 論文構成

1. 序論
2. アプリケーションエラー率の予測法
 - A) 方法概要
 - B) SRAMベースのFPGAへの方法論の実装
3. 実験結果
 - A) テストベッドの概要
 - B) 放射線試験
 - C) 故障注入 (試験)
 - D) 静的/動的リソースを構成するメモリビットでの故障効果の観察
 - E) 測定結果と予測結果の比較
4. 結論

1. 序論

3

- ◆ FPGAは、低コスト、高性能、早期市場投入、デザインの柔軟性などの観点から、設計者に多用されている。
- ◆ SRAMベースのFPGAは、現場で再書込みできるため、宇宙やアビオニクスへのアプリケーションに適しているが、コンフィグレーションメモリ(回路情報を保持)でのSEUやMBUにより、実装された「機能そのものが変化」してしまう懸念があるため、厳しい放射線環境でミッション・クリティカルなアプリケーションでは使用が敬遠。
- ◆ 放射線対策として、TMR(Triple Modular Redundancy)がよく採用されるが、リソースのオーバーヘッドやパフォーマンス・ペナルティとのトレードオフとなる。
- ◆ 放射線試験による静的な断面積カーブでのエラー感度の数値は、最終的なアプリケーションでのエラー感度よりも、かなり悲観的な評価となっている。
- ◆ 過去の研究では、プロセッサのような複雑な回路のアプリケーションレベルの動的なエラー断面積を、静的なエラー断面積と回路構成を踏まえた適切なSEU模擬試験(例:シミュレーション、エミュレーション、ハードウェア/ソフトウェアへの故障注入など)の結果とを組み合わせ、予想精度の向上が図られてきている。
- ◆ 本論文では、LWS-SET※プロジェクトの元、上記の予測技術をSRAMベースのFPGAに実装されるアプリケーションに適用した。

※LWS-SET: Living With a Star - Space Environment Testbeds

2. アプリケーションエラー率の予測法

4

A. 方法概要

CEU(Code Emulated Upsets)方法論

【考え方】

- ① 静的なテスト方法で得られるエラー断面積(σ_{SEU})から、DUT中のメモリセル1ビットが反転するまでの平均時間が求まる。
- ② 本方法では、対象とするDUTには、ビット反転の発生時刻と場所をランダムに注入できるような機構が実装できるものとする。
ソフトウェアやハードウェアによるプログラムの実行と並行して、ビット反転の注入が行われる時、エラー率(T_{inj})は以下で表される。

$$T_{inj} = \frac{\text{検出されたエラー数}}{\text{注入した反転ビット数}} \rightarrow \text{セルレベルのSEUがアプリケーションレベルのエラーになる割合}$$

- ③ 実行プログラムのSEU感度(T_{SEU})は、エラー断面積(σ_{SEU})と故障注入試験で発生するエラー率(T_{inj})の積で表される。

$$T_{SEU} = \sigma_{SEU} \times T_{inj} \rightarrow \text{アプリケーションレベルのエラーにつながるSEU断面積}$$

【特徴】

- ・ SEUで生じるプロセッサ・メモリ・リソースのビット反転を忠実に模倣するという故障注入戦略を実装することが難しい。
- ・ 放射線試験でのエラー率との比較では、エラー率の正確さは、命令セットでアクセスできないメモリエlementの数に大きく依存する。
- ・ 最近の実験では、先進的なプロセッサ(PowerPC7448)に対する放射線試験(重イオン、プロトン)でのエラー率に非常に近い予測値が得られている。

2. アプリケーションエラー率の予測法

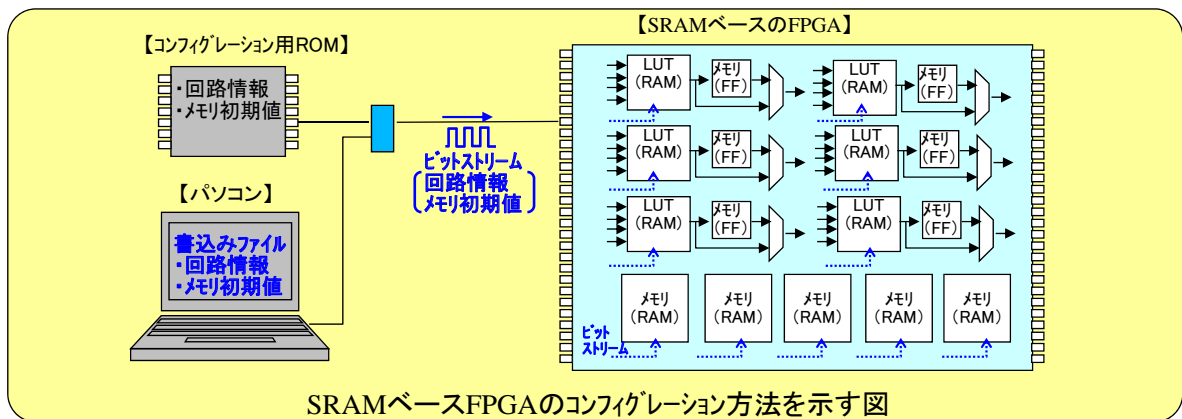
B) SRAMベースのFPGAへの方法論の実装

- ◆ SRAMベースのFPGAは、コンフィグレーション用のビットストリームをロードする際に、故障を模擬したビット反転状態もロードできる。



- アプリケーション(回路/ソフト)の修正は不要。
- 本方法論での予測結果の精度が改善。(回路中の全メモセルの値を、故障注入を意図した任意値に設定できるため。)

- ◆ 本方法で問題される「故障注入の難しさ」や「予測精度が命令セットでアクセスできるビット数に依存する」は、SRAMベースのFPGAには当てはまらない。



3. 実験結果

A) テストベッドの概要

(1)プラットフォーム : THESIC+ (図1全体)

(a) COM FPGA:

- ・LEON2プロセッサを搭載
- ・ユーザーコンピュータや周辺リソースと通信
- ・DUTの電流モニタ(ラッチアップの保護)

(b) Chip-set FPGA:

- ・DUTとテスターリソースとのインターフェース

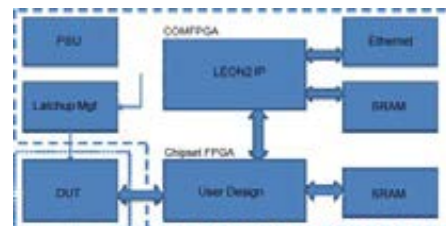


Fig. 1. THESIC+ block diagram

(2)DUT : FPGA (Xilinx社Virtex-II XC2V1000)

【回路(アプリケーション)機能】

- ・データ暗号化機能(DES3 アルゴリズム)
- ・回路をTMR(3重冗長)化し、多数決のステータスを示す、外部読み出し可能な3ビットのレジスタを設置。

<レジスタの値とその意味>

000	: 全てのノードが同じ値
001/010/011	: エラーとなったノードの番号
100	: 3ノードとも異なる値
101/110/111	: N.A.(未定義)

【DES: Data Encryption Standard】

64ビットのデータを、56ビットのキーを使用し、16クロックサイクル掛けて暗号化する。DES3は、3連続のDES暗号化を行うもので、3つの56ビットキーを使用し、48クロックサイクルで暗号化する。

(3)テスター :

DUTから出力されるデータ(TMR後の暗号化データ)が正しいかを毎回チェックする。試験結果は、本チェック結果と3ビットレジスタ(多数決ステータス)で以下のように分類する。

- a) エラー検出有り → 3ビットレジスタが1ノードエラーを検知したが、データ出力は正しい。(TMRの多数決効果)
- b) エラー検出誤り → 3ビットレジスタがN.A.だが、データ出力は正しい。(3ビットレジスタ自身の異常)
- c) エラー未検出 → 3ビットレジスタがエラー無したが、データ出力が異常。(TMRの出力異常)

3. 実験結果

B) 放射線試験

- (1) 試験施設 : ベルギーの Louvain-La-Neuve HIFサイクロトロン (重イオン施設)
- (2) イオン種 : C, Ar
- (3) テスト手順 : 図2
- (4) 試験結果 : TABLE I

TABLE I
HEAVY ION ACCELERATED TEST RESULTS

Ions	LET (MeV/mg/cm ²)	Detected errors	Falsely detected errors	Undetected errors
Carbon	1.2	51	0	0
Argon	10.1	1,278	3	35

エラーの分類

a)

b)

c)

- a) エラー検出有り → 3ビットレジスタが1ノードエラーを検知したが、データ出力は正しい。
- b) エラー検出誤り → 3ビットレジスタがN.Aだが、データ出力は正しい。
- c) エラー未検出 → 3ビットレジスタがエラー無したが、データ出力が異常。

重イオン試験で得られた動的エラーは、先に定義した3つのカテゴリーに分類されている。

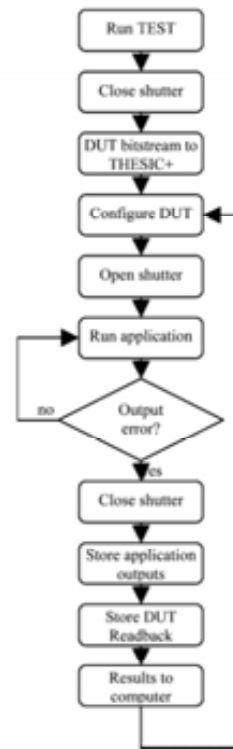


図2 重イオン照射フロー図

3. 実験結果

C) 故障注入(試験)

- (1) 試験方法 : CEU試験法(本研究の方法)
- (2) 故障注入手順 : 図3
- (3) 故障注入場所とタイミング : メルセンヌ乱数発生器で決定
- (4) 試行回数 : 426,217回
- (5) 試験結果 : TABLE II

TABLE II
FAULT INJECTION RESULTS

	Detected errors	Falsely detected errors	Undetected errors
No. of detected faults	14,564 (3.42%)	237 (0.06%)	319 (0.07%)
Average number of faults	3.42×10^{-2}	5.56×10^{-4}	7.48×10^{-4}

エラーの分類

a)

b)

c)

- a) エラー検出有り → 3ビットレジスタが1ノードエラーを検知したが、データ出力は正しい。
- b) エラー検出誤り → 3ビットレジスタがN.Aだが、データ出力は正しい。
- c) エラー未検出 → 3ビットレジスタがエラー無したが、データ出力が異常。

各タイプのエラーを引き起こすのに必要となる故障注入の平均数は、総故障注入数に対する検出エラー数の比として計算できる。
(→ 前述の T_{inj} の決定方法の説明)

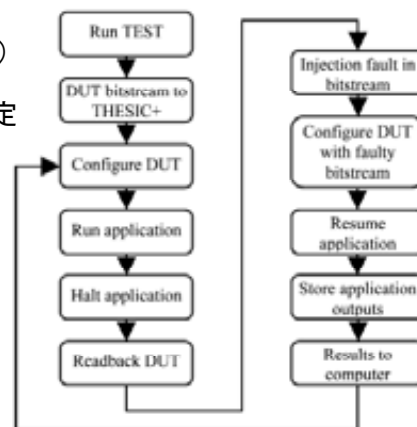


図3 故障注入試験フロー図

3. 実験結果

D) 静的/動的リソースを構成するメモリビットでの故障効果の観察

◇ 故障注入試験によるエラー率予測法では、アプリケーションにおける持続的な誤りの影響についても考慮が必要。

【例】

- 静的なリソースを構成しているメモリセルに故障が注入した場合
 - リソースが使用された後で、故障注入された場合、初回のアプリケーションにはエラーが発生しないが、次の実行時にエラーが現れる等
- 動的なリソースに故障が注入した場合
 - アプリケーションの開始毎に初期化され、それ以前に注入された誤りは有害とはならない等。

◇ この現象を観察するために、故障注入をする毎に、アプリケーションを2回実行させる試験を実施。
 (1)故障注入方法 : 1回目の実行中に故障を注入。(2回目には故障注入無し)
 (2)試行回数 : 326,328回
 (3)試験結果 : TABLE III、TABLE IV

TABLE III
NUMBER OF ERRORS DURING FIRST AND SECOND APPLICATION'S RUNS

	Detected errors	Falsely detected errors	Undetected errors
1 st run	11,237 (3.44 %)	178 (0.05 %)	235 (0.07 %)
2 nd run	13,646 (4.18 %)	161 (0.05 %)	350 (0.11 %)

エラーの分類 a) b) c)

- a) エラー検出有り → 3ビットレジスタが1ノードエラーを検知したが、データ出力は正しい。
- b) エラー検出誤り → 3ビットレジスタがN.Aだが、データ出力は正しい。
- c) エラー未検出 → 3ビットレジスタがエラー無したが、データ出力が異常。

・アプリケーションエラーの多くは、1回目の実行時よりも、2回目の実行時に観察された。(静的なリソースを構成するメモリセルが恒久的な故障となることを示している。)
 ・2回目の実行中に「エラー検出誤り」の事象が少数観測されたが、これは、3ビットレジスタ自身のエラーまたは、配線上でのエラーと思われる。

3. 実験結果

D) 静的/動的リソースを構成するメモリビットでの故障効果の観察

◇ 2回の実行でのエラーの起こり方を3種類のイベントに区別した(表4)。

TABLE IV
ERRORS WHEN APPLICATION RESULTS DIFFERS IN THE TWO RUNS

	Number of output errors
a) 1 st result correct, 2 nd result erroneous	2535 (0.77 %)
b) 1 st result false, 2 nd result correct	401 (0.12 %)
c) Both results false	1890 (0.58 %)

- a) 1回目でエラー未発生、2回目で発生
 - アプリケーション処理中に故障リソースが使用されない典型例。故障は持続する。
- b) 1回目でエラー発生、2回目は未発生
 - アプリケーションがリセットすることで消える一時的な(動的リソースの)故障(アプリケーションで使用される動的なビットのリソース数は少量といえる)
- c) 2回ともエラー発生
 - アプリケーション処理中に故障リソースが使用されるクリティカルな機能部の故障。故障は持続する

3. 実験結果

D) 静的/動的リソースを構成するメモリビットでの故障効果の観察

◇ 故障注入時刻がおよぼす影響

故障注入時刻に対する検出エラー数を図4に示す。
 (横軸:注入時のクロックサイクル番号、縦軸:アプリケーション出力エラーとなる故障注入数)

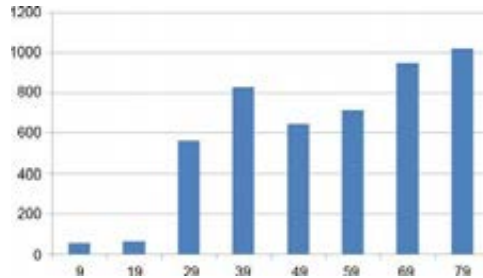


Fig. 4. Number of fault injections provoking an error in at least one run versus the clock cycle during which the fault is injected.



- ・故障注入時刻の後ろの方でエラーが増加する傾向にある。
- ・最初の20クロック・サイクルの間にエラーレポートされたものは殆ど無い。
 (最初の20クロックは、データとキーをロードする期間で、ロジックリソースは全体の5%程度。
- ・エラーの殆どは、20番目のクロックと、最後(94%の処理が進んだ部分)の間で発生。

3. 実験結果

D) 静的/動的リソースを構成するメモリビットでの故障効果の観察

◇ 故障注入時刻がおよぼす影響

故障注入時刻が持続的な故障に及ぼす影響を、TABLE IVと同様に3種類のイベントで区別した結果を図5~図7にそれぞれ示す。
 (横軸:注入時のクロックサイクル番号、縦軸:アプリケーション出力エラーとなる故障注入数)

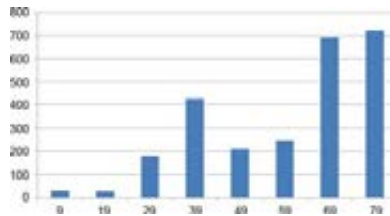


Fig. 5. Number of errors in the first run versus instant of the fault injection when second run is correct.

図5? 1回目でエラー発生、2回目で未発生(一次的な故障: TABLE IVのb)

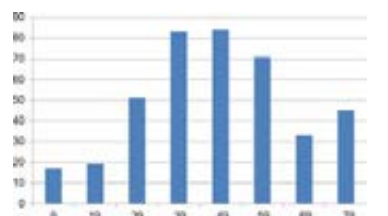


Fig. 6. Number of errors in the first run versus instant of the fault injection when second run is correct.

図5? 1回目でエラー未発生、2回目はエラー発生(持続的な故障: TABLE IVのa)

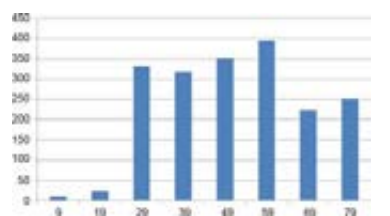


Fig. 7. Number of fault injections provoking different false results in both runs versus the injection clock cycle.

図7 2回ともエラー発生(持続的な故障: TABLE IVのc)

TMRの出力比較器が弱いことを考慮すると、ダイナミックリソースである多数決回路に直接ヒットした場合は、未検出エラーとなる。

・エラーの殆どは暗号化期間中で生じている。
 ・アプリケーション実行の早い時期に注入される故障は、その回の実行中に影響を持つ可能性が高い。

データローディングの間に注入された故障によって、この種の現象が観測された。(このロジカルリソースが暗号化処理の間に何回か使用されることで説明できる。)

3. 実験結果

13

D) 静的/動的リソースを構成するメモリビットでの故障効果の観察

図8は、2回の実行の出力が同じで、共にエラーが観測された時の結果である。

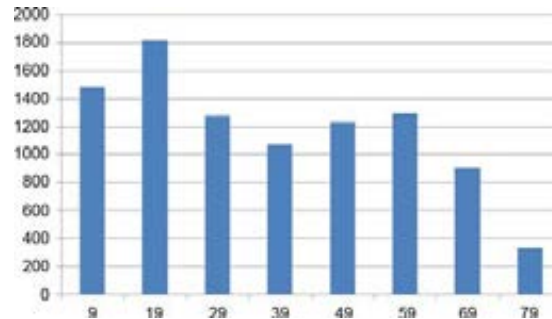


Fig. 8. Number of fault injections provoking identical false results in both runs versus the injection clock cycle.



- ・より多くのエラー数が観測された故障注入の時刻が、アプリケーション実行の初期の方に代わっている。
- ・ゆえに、故障注入時間の相関関係としてのエラー・プロファイルは、観察されるエラーのタイプと故障した論理的リソースの性質によって、様々である。

3. 実験結果

14

E) 測定結果と予測結果の比較

(1) 重イオン試験

- ・フルエンス : 450,000~492,000 [par/cm²]
- ・試験結果 : TABLE V (従来の静的なクロスセクション結果も併記)

TABLE V
MEASURED VERSUS PREDICTED ERROR RATES FOR THE
TMR IMPLEMENTED IN THE STUDIED FPGA

Error rate	Particles	Detected errors	Falsely detected errors	Undetected errors
Measured	Carbon	1.04×10^{-6}	N/A	N/A
	Argon	2.84×10^{-5}	6.67×10^{-6}	7.78×10^{-7}
Predicted	Carbon	9.53×10^{-5}	1.55×10^{-6}	2.09×10^{-6}
	Argon	1.94×10^{-5}	3.16×10^{-7}	4.25×10^{-5}

検出
されず

静的なクロスセクション
Carbon : 2.79×10^{-3} [cm²/device]
Argon : 5.68×10^{-3} [cm²/device]



- ・「エラー検出有り」の結果は、予測値が測定値に非常に近い。(ファクタ2未満の過小評価)

→ 過小評価の理由としては、故障注入試験では考慮していないMBUs(マルチビット・アップセット)や、JTAGコントローラやクロック・ツリーなどのSEUsに敏感でアクセスできないリソースの存在が考えられる

- ・「エラー誤検出」の予測値は、逆に実測値より過大評価(ファクタ5)

→ 事象の数が少ないため。

4. 結論

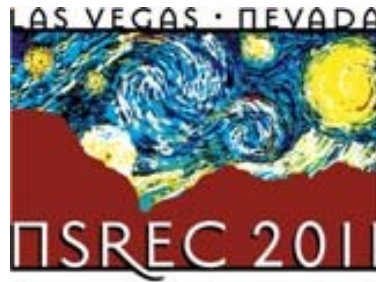
まとめ

- ◆ アプリケーションを実行しているプロセッサのエラー率を予測する最新のアプローチは、SRAMベースのFPGAに実装されるアプリケーションのエラー率の予測に適している。
 - Virtex II FPGAに実装された暗号化コアのTMRバージョンで得られた結果により、採用した方法論の有効性を確認
- ◆ このアプローチは、重要なアプリケーションの放射線効果に対する最終的な認定に代替することは目的ではない。
 - デザインの初期段階で、アプリケーションの潜在的弱点を決定し、緩和対策をとることでコスト低減につなげる。
- ◆ このアプローチの他の長所は、シミュレーション・レベルで適用される最新技術のアプローチと比較し、ほとんど時間的オーバーヘッドがなく、ハードウェア/ソフトウェアへの擬似的なSEU故障注入を、ほぼリアルタイムで実施できることである。

今後の計画

- ◆ MBU (Multi Bit Upset) による故障に対するシミュレーションができるよう、故障注入方法を改善する。
- ◆ LWS※/衛星でオンボード実行している同一のアプリケーションに対し、期待される予測値と測定値を比較する。(衛星は2012年10月に打ち上げ予定)

※LWS-SET: Living With a Star - Space Environment Testbeds



NSREC 2011 Las Vegas 参加報告

HIREC株式会社
技術部
飯出芳弥

2011/10/7 [HIREC-TD-E11054A]

委員会関係者外秘 Copyright©2011 HIREC. All rights reserved

1



はじめに

NSREC 2011

2011 IEEE NUCLER & SPACE RADIATION
EFFECTS CONFERENCE

開催日 : 2011年7月25日～29日

場所 : JW Marriott Las Vegas

Resort and Spa

参加者 : 580名 ('10:600名)

発表論文[内訳]

(1) Oral Paper	48件 ('10:47件)
(2) Poster Paper	55件 ('10:65件)
(3) Data Workshop	37件 ('10:31件)
合計	140件 ('10:143件)



2011/10/7 [HIREC-TD-E11054A]

委員会関係者外秘 Copyright©2011 HIREC. All rights reserved

2

NSREC 2011 の内容

HIREC
High-Reliability Engineering & Components Corporation

NSREC 2011

- 1日目：Short Course（Part I ～PartIV）
- 2日目：Session-A / Session-B / Session-C / Session-D
- 3日目：Session-E / Session-F / Data Workshop
- 4日目：Session-G / Session-H / Poster Session
- 5日目：Session-I / Session-J

Short Course 2011 テーマ

Space Radiation Environments and Their Effects on Devices and Systems: Back to the Basics

（例年通り、4つのパートに分けて講義）

Short Courseの内容

HIREC
High-Reliability Engineering & Components Corporation

- **1. SPACECRAFT RADIATION ENVIRONMENT INTERACTIONS**
by Dr. Henry Garrett JPL
 - ✓地球をとりまく宇宙環境（中性子の紹介もあり）
 - ✓宇宙環境モデルの紹介（木星、土星も紹介）
 - ✓シールド効果に関する紹介
- **2. TOTAL IONIZING DOSE AND DISPLACEMENT DAMAGE EFFECTS IN CMOS AND BIPOLAR DEVICES**
by Dr. Timothy Oldham, NASA Goddard
 - ✓MOSの基本構造と放射線によるTIDの影響
 - ✓バイポーラ構造とTID効果（ELDRS）
 - ✓DDDの現象の解説
 - ✓研究は進んだが、詳細原因をつかめていない、意味のあるモデルを構築できていない

Short Courseの内容

High-Reliability Engineering & Components Corporation

HIREC

● 3. SINGLE EVENT EFFECTS IN DIGITAL AND LINEAR ICs

by Mark Baze, Boeing (retired)

- ✓ SEEに影響を与える宇宙環境と粒子の解説
- ✓ SET, SEU, MBU, SEFI等の現象解説
- ✓ SEEの評価方法と特徴付け
- ✓ SEEを試験する際の方法と注意点
- ✓ SEE影響を緩和させる方法の紹介(HBDも簡単に触れられている)

● 4. ON-ORBIT ANOMALIES: INVESTIGATIONS AND ROOT CAUSE DETERMINATION by Robert Ecoffet, CNES

- ✓ 地球を取り巻く放射線の種類と衛星が受ける影響の解説(銀河線: ion→SEE、太陽フレアion/p+→SEE,DD、放射線帯:p+, e-→DD,TID)
- ✓ TID,SEE,DDの現象を実衛星の異常データやCCD動画像と共に紹介
- ✓ 惑星探査衛星での現象も少し触れられている

2011/10/7 [HIREC-TD-E11054A]

委員会関係者外秘 Copyright©2011 HIREC. All rights reserved

5

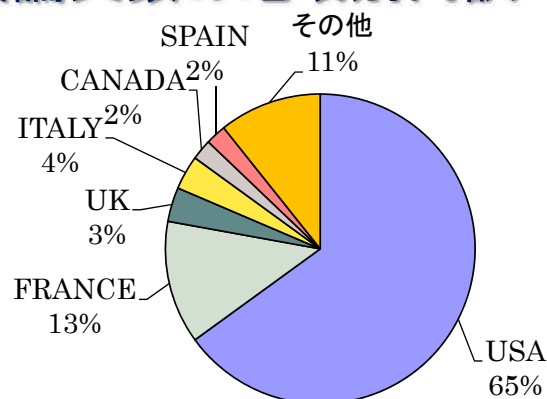
発表論文の地域別内訳

High-Reliability Engineering & Components Corporation

HIREC

NSREC 2011 発表論文数の地域別内訳

- US 91件
- EU 31件
- Others 18件
 - 日本 2件
 - 韓国 2件
 - 中国 2件



研究機関別の論文数

- Data Work Shop (37件中)
 - Jet Propulsion Lab : 6件
 - Others : ~3件
- Technical Session (140件中)
 - Vanderbilt Univ. : 20件
 - Univ Montpellier 2 : 6件
 - Arizona State Univ. : 6件
 - Others : ~3件

2011/10/7 [HIREC-TD-E11054A]

委員会関係者外秘 Copyright©2011 HIREC. All rights reserved

6

発表論文の分類

	Session	Oral (1),(2)	Poster (1),(2)	Notes
A	SEE: Transient Characterization	3 _(↓)	4 _(↓)	
B	SEE: Mechanisms and Modeling	6 _(↓)	9 _(↓)	
C	SEE: Devices and Integrated Circuits	6 _(↑)	8 _(→)	JAXA/JAEA
D	Space and Terrestrial Environments	4 _(→)	2 _(↓)	
E	Radiation Effects in Devices and Integrated Circuits	7 _(→)	14 _(↑)	
F	Basic Mechanisms of Radiation Effects	5 _(↑)	2 _(↓)	
G	Hardness Assurance	5 _(↑)	4 _(↓)	
H	Hardening by Design	5 _(↓)	5 _(↓)	KIT/KyotoU
I	Photonic Devices and Integrated Circuits	3 _(↓)	4 _(↑)	
J	Dosimetry	4 _(→)	3 _(↓)	
W	Data Workshop		37 _(↑)	

- (1) Oral、及びPoster欄の数値は、発表論文数を示す。
 (2) 数値横の↑は、NSREC 2010論文数からの増減を示す。

日本からの発表論文

- 丸、新藤、久保山他 (JAXA/JAEA)
 Single-Event Damages Observed in AlGaIn/GaN HEMTs
 (PC-1)
- 山本、濱中、小林、古田、小野寺
 (京都工芸繊維大/京大)
 An Area-Efficient 65nm Radiation-Hard Dual-Modular
 Flip-Flop to Avoid Multiple Cell Upsets (PH-4)

発表論文の紹介(topic)

High-Reliability Engineering & Components Corporation

HIREC

- W-23 : SEE and TID Response of Spansion 512Mb NOR Flash Memory (JPL)

- ✓ FG-SEU: $\sigma_{th} = \text{約LET8}$, $\sigma_{sat} = 2.6 \times 10^{-10}$ [cm²/bit/day]
- ✓ SEFI: $\sigma_{th} = \text{LET8} \sim 11.7$, $\sigma_{sat} = 8.4 \times 10^{-6}$ [cm²/bit/day]
- ✓ TID: リフレッシュモードでは25kradから消去できなくなり、nonリフレッシュモードでは40kradからチャージポンプの破壊を確認
 - リフレッシュモード: 消去 → 書込 → 読出 → 照射 → 消去...
 - nonリフレッシュモード: 読出 → 照射 → 読出...

- W-24 : SEU and MBU Angular Dependence of Samsung and Micron 8Gbit SLC NAND Flash Memories under Heavy Ion Irradiation (Technical University of Braunschweig)

- ✓ 全角度からの照射を試み、0° のSEU cross section を半径1とした円の上にプロットすることで、全方向のSEU特性を評価した。
- ✓ 60° 以上傾けた照射でMBUの影響が大きくなる。

2011/10/7 [HIREC-TD-E11054A]

委員会関係者外秘 Copyright©2011 HIREC. All rights reserved

9

発表論文の紹介(topic)

High-Reliability Engineering & Components Corporation

HIREC

- PA-4 : Influence of N-Well Contact Area on the Pulse Wise of Single-Event Transients (Vanderbilt Univ.)

- ✓ バイポーラトランジスタがTurn-onする現象は、TCADによって、以下の関係がシミュレートされている。
 - 放射線によるTurn-onの発生は、n-wellコンタクト領域率の増加に伴い指数的に減少すること
 - また、SETパルス幅もn-wellコンタクト領域率の増加に伴い指数的に減少すること
- ✓ n-wellコンタクト領域率を変えたインバータを5種類用意し(TSMC 90nm)、実際に重イオンを照射した。

2011/10/7 [HIREC-TD-E11054A]

委員会関係者外秘 Copyright©2011 HIREC. All rights reserved

10

発表論文の紹介(topic)

HIREC
High-Reliability Engineering & Components Corporation

● PA-4(つづき)

- ✓SETパルス幅は、n-wellコンタクト領域率の増加に伴い、指数的に減少することが確認できた。
- ✓また、コンタクト領域が2%のところまで飽和した。
- ✓Cross sectionもn-wellコンタクト領域率の増加に対して、指数的な関係を確認できた。
- ✓この照射結果は、TCADのシミュレーション結果と一致するものである。
- ✓即ち、SETパルス幅、及びTurn-onのCross Sectionは、n-wellコンタクト領域率で決まることを示している。

発表論文の紹介(topic)

HIREC
High-Reliability Engineering & Components Corporation

● C-1: Single Event Effects in Power MOSFETs Due to Atmospheric and Thermal Neutrons (QinetiQ)

- ✓パワーMOSFETに対する白色中性子、及び熱中性子のSEB特性を調査。
- ✓白色中性子SEB断面積：
 - 定格電圧との関係は一定 ($1E-5 \sim 1E-6$ [cm²/dev.])
- ✓熱中性子SEB断面積：
 - 白色中性子と比較し3-4桁低い結果 ($5E-8 \sim 1E-10$ [cm²/dev.])
- ✓試験結果からFITsを計算すると、a.太陽荷電粒子 / b.極地上空4万フィート/ c.地上でのFITは明確に違う。
 - a.太陽荷電粒子 : $1E+9 \sim 1E+7$ [FITS]
 - b. 極地上空 : $1E+7 \sim 1E+5$ [FITS]
 - c.地上 : $1E+4 \sim 1E+2$ [FITS]

発表論文の紹介(topic)

HIREC
High-Reliability Engineering & Components Corporation

● C-1(つづき):

- ✓ デイレーティングとの関係に以下がある。
 - デイレーティング率(定格=100%)を小さくする程、SEB断面積は小さくなる
 - 定格電圧の小さい品種(500V~)は、デイレーティング率を小さくすると極端にSEB断面積が小さくなる。
 - 定格電圧が大きい品種(~1000V)は、デイレーティング率を小さくすると緩やかにSEB断面積が小さくなる。逆に、十分なデイレーティングを必要とする。
- ✓ シミュレーションでは、表面から10 μ m以下の部分の極めて小さい電荷(0.1pC)で起因することが解っており、これは中性子3MeV中性子のSEB発生メカニズムと同じである。
- ✓ 非破壊モードでのドレインリーク増大、ゲートリーク増大を観測しているものがある。多様なゲートダメージの蓄積によって発生したものではないだろうか(MEGR?)。

2011/10/7 [HIREC-TD-E11054A]

委員会関係者外秘 Copyright©2011 HIREC. All rights reserved

13

発表論文の紹介(topic)

HIREC
High-Reliability Engineering & Components Corporation

● E-7: Radiation Effects in 3D Integrated SOI SRAM Circuits (MIT)

- ✓ リンカーン3D-SOI技術のSOI-SRAM(64kbit x 3層)の評価を実施。
- ✓ リンカーン3D-SOIは次の手法で製造される。
 - 2枚の2D-SOI(FDSOI)の回路側同士を貼り合わせる
 - ベースとなるSi層を削る(3枚目を貼る2枚目のサブストレート側)
 - ブレード酸化膜にスルーホールを開けてコンタクト部分をつくる
 - その上にもう3枚目の回路側を貼り、ベースSi層を削る
 - 最後にブレード酸化膜を埋める
- ✓ TIDに対する3D-SOIへの影響は2D-SOIに比べて軽減させることができた。
- ✓ これは、2層目3層目のSi層(サブストレート)を削ってしまうためである。

2011/10/7 [HIREC-TD-E11054A]

委員会関係者外秘 Copyright©2011 HIREC. All rights reserved

14

発表論文の紹介(topic)

HIREC
High-Reliability Engineering & Components Corporation

- E-7(つづき):
 - ✓ Upset Cross Section特性(500MeV- プロトン照射)は、2D-SRAMと3D-SRAMとの間に、差異はみられなかった。
 - ✓ また、1層目2層目3層目におけるUpset Cross Section特性にも差異はみられず、SEUのビットマップにも偏りはみられなかった。
 - ✓ 0° 方向、及び180° 方向からのプロトン照射においてもSEU特性に差異はなかった。
 - ✓ 中性子照射(14MeV-n)を実施したが、2D-SOIの特性と差異はなかった。
 - ✓ 照射角度との関係(0~90°)を、“14MeVの中性子”と“64MeVのプロトン”とで比較したが、同じような増加傾向がみられた。
 - ✓ (関連論文) A-1:SET Characterization in Logic Gates Circuits Fabricated in a 3DIC Technology

発表論文の紹介(topic)

HIREC
High-Reliability Engineering & Components Corporation

- H-5: A Study of Total Dose Mitigation Approaches for Charge Pumps in Phase-Locked Loop Applications (National Semiconductor)
 - ✓ PLLのチャージポンプはMOSFETで回路を構築されるのが一般。
 - ✓ しかし、nMOS部分はTIDの影響を大きく受ける。
 - ✓ 以下の対策を施し、TIDの影響と、SEEの影響を調べた。
 - EGL: Enclosed Gate Layout技術による対策。(欠点:モデルなし、エリアが大きい×1.5倍)
 - nMOSを無くし、代わりに、TIDの影響を受けにくい“SiGe-HBT”を用いる対策。
 - ✓ HBTデザインではTIDに強いことを確認できたが、EGLデザインでは耐TID性の向上は確認できなかった。
 - ✓ HBT、EGLのいずれも、SEE耐性は落ちた。しかし、その度合いは非常に小さいものであった。

発表論文の紹介(topic)

HIREC
High-Reliability Engineering & Components Corporation

- I-1: In-Orbit Measurement of SET and DD Effects on Optical Wireless Links for Intra-Satellite Data Transmission (INTA)
 - ✓軌道上でのOptical Wireless links におけるデータ伝送評価を行っている。
 - ✓代表的なSET、及びDDについての観測に成功した。
 - ✓SETは、“OWLS_HNWELL”コンポーネントによって測定。
 - 0[V]期待のチャンネルをモニタすることで、SET回数を観測。
 - また、リファレンスチャンネル波形と比較することで、SETパルス幅を観測。
 - ✓最大で、6 [SET/sec] を観測 (SAA地点)。
 - ✓波長の長いSETは観測されなかった。
 - ✓DDは、“OWLS_BER”によってLEDの特性劣化を測定。
 - SPIバスの閉回路と16bitsの乱数発生器を組み合わせた装置から発生したTXとRXを比較し、Bit Error Rateをモニタすることで観測

発表論文の紹介(topic)

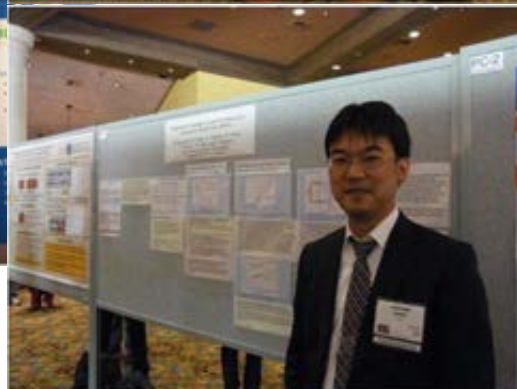
HIREC
High-Reliability Engineering & Components Corporation

- I-1(つづき)
 - ✓Data Rate とBit Error Rate との関係は、何も影響がなければ直線である。しかし、2007年、2008年・・・→2010年と年を追う毎に以下の現象が観測された。
 - Data Rate ~25%:
Data Rateに対してBit Error Rateの割合が、“+側”にシフト
 - Data Rate 25%~:
Data Rateに対してBit Error Rateの割合が、“-側”にシフト
 - ✓これは、DDが検出されたことを意味している。
 - ✓SET、及びDDのいずれにおいても、プロトン照射試験の結果と一致するものであった。
 - ✓一部のワイヤレス化したOWLS-CAN(プロトコルのみ)は2007年にロシア宇宙器に組み込んだが、本年中に全ワイヤレス化OWLS-CAN(BUS)を打ち上げる予定。

July 16 - 20, 2012
InterContinental Miami Hotel
Miami, Florida



Paper Summary Deadline :
February 3, 2012



Technical Session (1/3)

No.	題名	筆頭者	筆頭者在籍機関
[Session A] Single Event Effects: Transient Characterization Chair: Jonathan Pellish/NASA Goddard			
A-1	SET Characterization in Logic Gates Circuits Fabricated in a 3DIC Technology	P. Gouker	MIT
A-2	Laser-Induced Current Transients in Bulk FinFETs	F. El. Mamouni	Vanderbilt Univ
A-3	Investigation of Analog SET on a Bandgap Reference in Triple-Well CMOS Using Pulsed Laser Techniques	A. Zanchi	Aeroflex Colorado Springs
PA-1	Single Event Transient Analysis of a Pulse-Width Modulator IC in a DC-DC Converter	Y. Ren	Univ of Saskatchewan
PA-2	Effect of Transistor Density and Charge Sharing on Single-Event Transients in 90nm Bulk CMOS	N. Atkinson	Vanderbilt Univ
PA-3	A Bulk Built-in Voltage Sensor to Detect Physical Location of Single-Event Transients	Z. Zhang	Univ of Saskatchewan
PA-4	Influence of n-Well Contact Area on the Pulse Width of Single-Event Transients	J. Ahlbin	Vanderbilt Univ
[Session B] Single Event Effects: Mechanisms and Modeling Chair: David Heidel/IBM			
B-1	The Effect of Neutron Energy on Single Event Upsets and Multiple Bit Upsets	M. Clemens	Vanderbilt Univ
B-2	Combining GEANT4 and TIARA for Neutron Soft Error Rate Prediction of 65nm Flip-Flops	S. Uznanski	STMicroelectronics
B-3	Monte Carlo Prediction of Heavy Ion Induced MBU Sensitivity for SOI SRAMs Using Radial Ionization Profile	M. Raine	DAM-DIF-CEA
B-4	Impact of Well Structure on Single-Event Well Potential Modulation in Bulk CMOS	N. Gaspard	Vanderbilt Univ
B-5	Angular Dependence of Heavy-Ion Induced Errors in Floating Gate Memories	S. Gerardin	Univ of Padova
B-6	The Implications of Ion Track Structure for Single-Event Effect Analysis	M. King	Vanderbilt Univ
PB-1	Effects of Ion Atomic Number on Single-Event Gate Rupture (SEGR) Susceptibility of Power MOSFETs	J-M. Lauenstein	NASA Goddard
PB-2	Probing the SEB Sensitive Depth Using a Two-Photon Absorption Method	S. Liu	International Rectifier
PB-3	Investigation on the SEL Sensitive Depth of an SRAM Using Linear and Two-Photon Absorption Laser Testing	E. Faraud	IMS
PB-4	In Flight SEU/MBU Sensitivity of Commercial Nanometric SRAMs: Operational Estimations	L. Artola	ONERA and CNES
PB-5	Heavy Ion Characterization and Monte-Carlo Simulations on 32nm CMOS Bulk Technology	S. Uznanski	STMicroelectronics
PB-6	Impact of Process Variations and Charge Sharing on the Single Event Upset Response of Flip-Flops	A. Kauppila	Vanderbilt Univ
PB-7	Experimental Evidence of Large LET Dispersion in Thin Active Layer Devices	M. Raine	CEA
PB-8	Mechanism for Upsets in FG MOS Device	P. McNulty	Clemson Univ
PB-9L	Circuit-Level Layout-Aware Single-Event Sensitive-Area Analysis of 40nm Bulk CMOS Flip-Flops Using Compact Modeling	J. Kauppila	Vanderbilt Univ
[Session C] Single Event Effects: Devices and Integrated Circuits Chair: Heather Quinn/Los Alamos National Lab			
C-1	Single Event Effects in Power MOSFETs Due to Atmospheric and Thermal Neutrons	A. Hands	AeroSPACE, QinetiQ
C-2	Single-Event Upsets and Distributions in Radiation-Hardened CMOS Flip-Flop Logic Chains	P. Dodd	SNL
C-3	32 and 45nm Radiation Hardened by Design (RHBD) SOI Latches	K. Rodbell	IBM
C-4	On the Susceptibility of Latches to Low-Energy Protons	N. Seifert	Intel Corporation
C-5	Comparison of Combinational and Sequential Error Rates for a Deep Submicron Process	N. Mahatme	Vanderbilt Univ
C-6	Predicting the Single-Event Error Rate of a Radiation Hardened by Design Microprocessor	M. Cabanas-Holmen	Boeing
PC-1	Single-Event Damages Observed in AlGaIn/GaN HEMTs	A. Maru	JAXA
PC-2	The Single Event Effects on an LC PLL and a Ring PLL Fabricated in 0.25 μ m Silicon-on-Sapphire Technology	J. Li	Southern Methodist Univ
PC-3	Numerical and Experimental Investigation of Single Event Effects in SOI Lateral Power MOSFETs	P. Shea	Univ of Central Florida
PC-4	Neutron-Induced Failures of Trench Gate Fieldstop IGBT	L. Foro	Universite Montpellier 2
PC-5	Single Event Effects in 90nm Phase Change Memories	S. Gerardin	Univ of Padova
PC-6	Single-Event Charge Collection and Upset in 40nm Dualand Triple-Well Bulk CMOS SRAMs	I. Chatterjee	Vanderbilt Univ
PC-7	Analyzing the Impact of Single-Event-Induced Charge Sharing in Complex Circuits	S. Pagliarini	Istituto de Informatica
PC-8	Internet Routing in Space (IRIS) Enabled by Commercial Processors	I. Troxel	SEAKR Engineering

Technical Session (2/3)

No.	題名	筆頭者	筆頭者在籍機関
[Session D] Space and Terrestrial Environments Chair: James Adams/NASA Marshall Space Flight Center			
D-1	Simulation of the Radiation Environment near Europa Using the Geant4-Based PLANETOCOSMICS-J Model	P. Truscott	AeroSPACE, QinetiQ
D-2	The Interplanetary Electron Model (IEM)	B. Taylor	Univ of Surrey
D-3	Effect of Uranium Chain Disequilibrium on Alpha Disintegration Rate	M. Gedion	Universite Montpellier 2
D-4	Analytical Modeling of Alpha-Particle Emission Rate at Wafer-Level	S. Martinie	IM2NP-CNRS
PD-1	Remarks About the On Orbit Non Ionizing Dose Constraint	C. Inguibert	DESP, ONERA
PD-2	On Orbit Error Rates of RHBD SRAMs: Comparison of Calculation Techniques and Space Environmental Models with Observed Performance	A. Bogorad	Lockheed Martin Space Systems
[Session E] Radiation Effects In Devices and Integrated Circuits Chair: Ron Lacoce/The Aerospace Corp			
E-1	The Mechanism for Subthreshold Leakage Currents in MOSFET's Induced by Nucleons and Ions	A. Chugg	MBDA UK Limited
E-2	Enhanced Radiation Induced Narrow Channel Effects in a Commercial 0.18 μ m Bulk Technology	M. Gaillardin	CEA
E-3	Dose Rate Effects in Linear Bipolar Transistors	A. Johnston	Jet Propulsion Lab
E-4	Effects of Total Ionizing Dose on the Retention of 41nm NAND Flash Cells	M. Bagatin	Univ of Padova
E-5	Layout-Induced Trade-Offs Between RF Performance and Total-Dose Tolerance in 45nm RF-CMOS	R. Arora	Georgia Tech
E-6	Impact of Alpha Particles on the Electrical Characteristics of TiO ₂ Memristive Devices	H. Barnaby	Arizona State Univ
E-7	Radiation Effects in 3D Integrated SOI SRAM Circuits	P. Gouker	MIT
PE-1	Total Ionizing Dose Effects of Elementary Devices for Control Circuit of 180nm Flash Technology	Z. Liu	Chinese Academy of Sciences
PE-2	The Impact of Device Width on the Variability of Leakage Currents in 90 and 65nm CMOS Technologies	N. Rezzak	Vanderbilt Univ
PE-3	Investigation of Low Dose Rate and Bias Conditions on the Total Dose Tolerance of a CMOS Flash-Based FPGA	S. Rezgui	Microsemi Corporation
PE-4	Analyzing the Effects of TID in an Embedded System Running into a Flash-Based FPGA	J. Azambuja	Instituto de Informatica
PE-5	Characterization and Modeling of Parasitic Field-Oxide Transistors for Use in Radiation Hardening by Design	G. Schlenvogt	Arizona State Univ
PE-6	Fin Width and Bias Dependence of the Response of Triple-Gate MOSFETs to Total Dose Irradiation	J-J. Song	Pohang Univ of Science and Technology
PE-7	A New Physical Model and Parameter Extraction Approach for Total-Ionizing-Dose-Aware SPICE Models	M. Li	Accelicon Technologies
PE-8	Microdose Effect in Commercial Trench Power MOSFETs and Its Implication to Several Mainstream Devices	Y. Yan	Tsinghua Univ
PE-9	New Evidences of Partial Inactivity Windows in a Switched-Capacitor Analog Array under Gamma-Ray Irradiation	T. Balen	Unilasalle and CEITEC
PE-10	Predictive Modeling of TID and SET Effects from Datasheet and Radiation Data for Commercial Components	A. Francis	Lynguent, Inc.
PE-11	Study of Synergism Effect Between TID and ATREE on the Response of the LM124 Operational Amplifier	N. Roche	Universite Montpellier 2
PE-12	Radiation Response of Carbon Nanotube PN Junctions	E. Comfort	Univ at Albany
PE-13L	Effect of Radiation Exposure on the Retention of Commercial NAND Flash Memory	T. Oldham	MEI Technologies
PE-14L	Near-UV Irradiation Effects on Pentacene Based Organic Thin Film Transistors	A. Cester	University of Padova
[Session F] Basic Mechanisms of Radiation Effects Chair: Ron Pease/RLP Research			
F-1	Radiation-Induced Defect Evolution and Electrical Degradation of AlGa _N /Ga _N High-Electron-Mobility Transistors	Y. Puzyrev	Vanderbilt Univ
F-2	Effects of Bias on the Irradiation and Annealing Responses of SiC MOS Devices	C. Zhang	Vanderbilt Univ
F-3	Mechanisms of Interface Trap Buildup and Annealing During Elevated Temperature Irradiation	D. Hughart	Vanderbilt Univ
F-4	A Quantitative Model for ELDRS and H ₂ Degradation Effects in Irradiated Oxides Based on First Principles Calculations	N. Rowsey	Univ of Florida
F-5	Modeling Low Dose Rate Effects in Shallow Trench Isolation Oxides	I. Esqueda	Arizona State Univ
PF-1	Evaluation of ELDRS Mechanisms Using Dose Rate Switching Experiments on Gated Lateral PNP Transistors	Y. Gonzalez.Vel o	Universite Montpellier 2
PF-2L	Low-Energy X-Ray- and Ozone-Exposure Induced Defect Formation in Graphene Materials and Devices	E. Zhang	Vanderbilt Univ

Technical Session (3/3)

No.	題名	筆頭者	筆頭者在籍機関
[Session G] Hardness Assurance Chair: Alan Tipton/JHU Applied Physics Lab			
G-1	Comparison of Single and Two-Photon Absorption for Laser Characterization of Single-Event Upsets in SOI SRAMs	J. Schwank	SNL
G-2	Characterization of the Two-Photon Absorption Carrier Generation Region in Bulk Silicon Diodes	N. Hooten	Vanderbilt Univ
G-3	Variable Depth Bragg Peak Method for Single Event Effects Testing	S. Buchner	NRL
G-4	Enhanced Low Dose Rate Sensitivity at Ultra-Low Dose Rates	D. Chen	MEI Technologies
G-5	Effects of Ion Species on SEB Failure Voltage of Power DMOSFET	S. Liu	International Rectifier
PG-1	Incorporating Probability Models of Complex Test Structures to Perform Technology Independent FPGA Single Event Upset Analysis	M. Berg	MEI Technologies
PG-2	Optimization Tool for Estimating the Low-Dose-Rate Response of Bipolar Transistors Using the Switched Dose Rate Technique	J. Boch	Universite Montpellier 2
PG-3	Dynamic-Stress Neutrons Test of Commercial SRAMs	P. Rech	Universite Montpellier 2
PG-4	A Bayesian Approach for Total Ionizing Dose Hardness Assurance	R. Ladbury	NASA Goddard
[Session H] Hardening by Design Chair: Ben Blalock/Univ of Tennessee			
H-1	An SET-Free, Digital, Programmable Point-of-Load Regulator for Next-Generation Power Systems	P. Adell	Jet Propulsion Lab
H-2	A Dual Mode Redundant Approach for Processor SEE Hardness	L. Clark	Arizona State Univ
H-3	Design Framework for Soft-Error-Resilient Sequential Cells	H-H. Lee	Stanford Univ
H-4	Single-Event Tolerant Flip-Flop Design in 40nm CMOS Technology	S. Jagannathan	Vanderbilt Univ
H-5	A Study of Total Dose Mitigation Approaches for Charge Pumps in Phase-Locked Loop Applications	S. Horst	Georgia Tech
PH-1	A High Performance Ultralow Power Radiation Hardened Translation Lookaside Buffer	S. Maurya	Arizona State Univ
PH-2	Synthesis Using High Speed Radiation Hardened by Design Redundant Logic Structures	N. Hindman	Arizona State Univ
PH-3	Dummy Gate-Assisted N-MOSFET Layout for Total Ionizing Dose Mitigation	M. Lee	KAIST
PH-4	An Area-Efficient 65nm Radiation-Hard Dual-Modular Flip-Flop to Avoid Multiple Cell Upsets	R. Yamamoto	Kyoto Institute of Technology
PH-5	A RHBD Bootstrap Current Source Utilizing Sensitive Node Active Charge Cancellation (SNACC)	R. Blaine	Vanderbilt Univ
[Session I] Photonic Devices and Integrated Circuits Chair: Joe Srour/The Aerospace Corporation			
I-1	In-Orbit Measurement of SET and DD Effects on Optical Wireless Links for Intra-Satellite Data Transmission	I. Arruego	Space Sciences, Instituto Nacional de Tecnica
I-2	Generic Radiation Hardened Photodiode Layouts for Deep Submicron CMOS Image Sensor Processes	V. Goiffon	Universite de Toulouse, ISAE
I-3	TID Versus DDD Induced Random Telegraph Signal in CMOS Image Sensors	C. Virmontois	ISAE, Univ of Toulouse
PI-1	Radiation Damage Studies of Lasers and Photodiodes for Use in Multi-Gigabit/s Optical Data Links	J. Troska	CERN
PI-2	Single Event Upsets in Receivers for Multi-Gigabit/s SLHC Data Transmission	S. Seif. El. Nasr -Storey	CERN
PI-3	Ageing Effects on Image Sensors: Neutron Irradiation Studies on Wafer and Packaged Devices	G. Nampoothiri	Delft Univ of Technology
PI-4L	Scintillation-Based Solid-State Spectrometer for Compact Monitoring of Space Radiation/Weather Satellite Conditions	C. Whitney	Instrument Research and Development, Radiation
[Session J] Dosimetry Chair: Reno Harboe-Sorensen/former ESA/ESTEC			
J-1	The Use of On-Orbit Solar Array Degradation Data for Displacement Damage Dosimetry	S. Messenger	NRL
J-2	The Impact of Spacecraft-Shell Composition on 1 GeV/n 56Fe Ion-Fragmentation and Dose Reduction	M. Silvestri	Altran Italia Spa
J-3	Validation of Simulation Codes for Proton-Induced Radiation Effects: The Case for CEM03 M Sabra	M. Sabra	Vanderbilt Univ
J-4	Low-Energy Proton Testing Using Cyclotron Sources	J. Pellish	NASA Goddard
PJ-1	Dose Enhancement in Metal-Gate, High-K MOS Devices	A. Dasgupta	Vanderbilt Univ
PJ-2	Statistical and Systematic Errors in Dosimetry Estimated from Multiple Tests	R. Morris	Universities Space Research Association
PJ-3L	Displacement Damage Depth-Dose (ShieldDDDose) Analyses Using SCREAM	S. Messenger	NRL

Data Workshop (1 / 1)

No.	題名	筆頭者	筆頭者在籍機関
[Data Workshop] Chair: Craig Hafer/Aeroflex Colorado Springs			
W-1	Wafer-by-Wafer Low Dose Rate Qualification in a Production Environment	N. van Vonno	Intersil Corp
W-2	Total Ionizing Dose Considerations in Space Bound Electronics Subjected to Real Time X-Ray Radioscopic Examinations	R. Lawrence	BAE Systems
W-3	The Use of Diodes as Dose and Fluence Probes in the Experimental Beamline at the Francis	H. Burr	Proton Therapy Center E Casco, Massachusetts General
W-4	Guide to the 2010 IEEE Radiation Effects Data Workshop Record	D. Hiemstra	MDA
W-5	Recent Total Ionizing Dose and Displacement Damage Compendium of Candidate Electronics for NASA Space Systems	D. Cochran	MEI Technologies Inc.
W-6	Recent Single Event Effects Compendium of Candidate Electronics for NASA Space Systems	M. O' Bryan	MEI Technologies Inc.
W-7	Compendium of Recent Total Ionizing Dose Test Results Conducted by the Jet Propulsion Lab from 2009-2011 J Bowles-Martinez	J. Bowles- Martinez	Jet Propulsion Lab
W-8	Total Dose Test Results for CubeSat Electronics	K. Avery	AFRL
W-9	A Summary of Single Event Upset (SEU) Testing of CD4000 Series Devices	R. Lombardi	Lockheed Martin Space Systems Company
W-10	Heavy Ion Single Event Effects Performance of RadHard Devices Migrated to an Alternate Wafer Fab	C. Hafer	Aeroflex Colorado Springs
W-11	Low Dose Rate Testing Results of Legacy Intersil Products	N. van Vonno	Intersil Corp
W-12	5MGy Gamma-dose Tolerant MASH Delta-Sigma Timeto-Digital Converter with 5.6ps Resolution and 1.7mW Power Consumption	Y. Cao	ESAT-MICAS and ANS-ICR
W-13	SEE Results for Commercial Non-Opto Galvanic Isolators for Space Application	S. Buchner	NRL
W-14	Single Event Upset Characterization of a Mixed-Signal Field Programmable Gate Array Using Proton Irradiation	D. Hiemstra	MDA
W-15	Radiation Characterization of ACTEL Pro ASIC3 Flash FPGA Family	C. Poivey	ESA ESTEC
W-16	Recent Single Event Effects Results in Advanced Reconfigurable Field Programmable Gate Arrays	G. Allen	Jet Propulsion Lab
W-17	Single Event Effect Sensitivity of High-Speed Differential Interface Devices to Heavy Ions and Protons	R. Koga	The Aerospace Corp
W-18	Single-Event Characterization of the Multi-Gigabit Transceivers (MGTS) in the Space-Grade Virtex-5QV FPGA	R. Monreal	SouthWest Research Institute
W-19	LEON 3FT Proton SEE Test Results for the Solar Probe Plus Program	C. Pham	JHU/APL
W-20	Investigation of Low Cross Section Events in the RHBD/FT UT699 LEON 3FT	S. Guertin	Jet Propulsion Lab
W-21	Radiation and Reliability Characterization of a Multiplexer Family Using a 0.35 μm Triple-Well CMOS Technology	A. Wilson	Aeroflex Colorado Springs
W-22	130nm Single Event Upset Performance Evaluation: Commercial Vs. Hardened by Design Architectures	R. Dumitru	Aeroflex Colorado Springs
W-23	SEE and TID Response of Spansion 512Mb NOR Flash Memory	F. Irom	Jet Propulsion Lab
W-24	SEU and MBU Angular Dependence of Samsung and Micron 8Gb SLC NAND-Flash Memories under Heavy-Ion Irradiation	K. Gruermann	Technical Univ of Braunschweig
W-25	Investigation of Current Spike Phenomena During Heavy Ion Irradiation of NAND Flash Memory	T. Oldham	Perot Systems
W-26	Proton-Induced Single Event Upsets in 90nm Technology High Performance SRAM Memories	H. Puchner	Cypress Semiconductor
W-27	SEEs Induced by High-Energy Neutrons in SDRAM	H. Quinn	Los Alamos National Lab
W-28	Neutron Beam Testing of Triblades	S. Michalak	Los Alamos National Lab
W-29	Radiation Characterization of Commercial GaN Devices	R. Harris	Jet Propulsion Lab
W-30	TID Response at High and Low Dose Rates of Switching Diodes	G. Chaumont	STMicroelectronics
W-31	Recent Power MOSFET Test Results	L. Scheick	Jet Propulsion Lab
W-32	Effects of Current Injection Annealing on III-V Heterojunction Bipolar Transistors	E. Bielejec	SNL
W-33	Calculating Spacecraft Single Event Environments with FLUKA	S. Koontrz	NASA Johnson Space Center
W-34	COTS Based On-Board-Computer on South Africa's Sumbandilasat: A Radiation and In-Orbit Performance Analysis	A. Barnard	Stellenbosch Univ
W-35	FASTRAD 3.2: Radiation Shielding Tool with a New Monte Carlo Module	P. Pourrouquet	TRAD

W-36	Applicability of the Accelerated Switching Test Method - a Comprehensive Survey Using the LM158 and LM339	M. Wind	Austrian Institute of Technology
W-37L	Impact of Reference Voltage on the ELDRS Characteristics of the LM4050 Shunt Voltage Reference	K. Kruckmeyer	National Semiconductor

1 / 20

ソフトウェア研究に関する最新動向 - 2011年の国際学会動向 -

日立・横浜研究所 伊部 英史
10/07/2011 最新デバイスの放射線耐性向上検討委員会

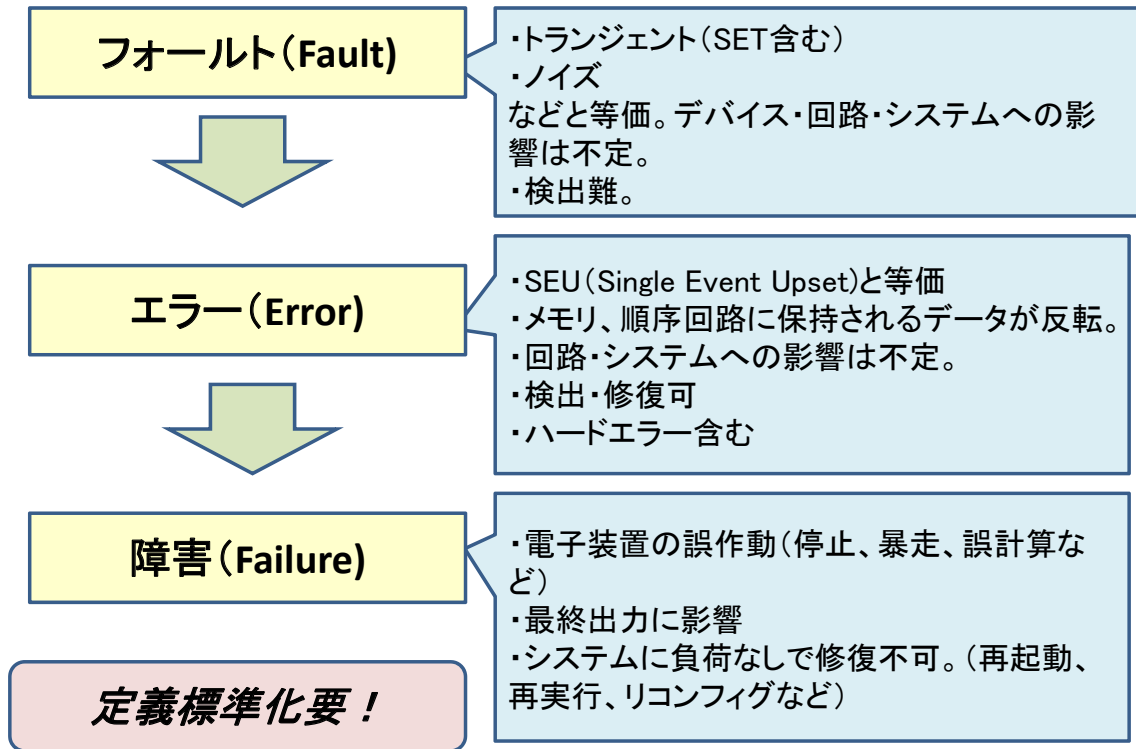
2 / 20

目次

1. 民生品ソフトウェアを主要テーマに含む国際会議
2. 電子デバイス・システムの動向
3. 国際会議発表内容の最新動向
4. ソフトエラー研究最新動向各論
5. まとめ

3/20

SEE (Single Event Effect) の階層



4/20

フォールトを主要テーマに含む国際会議

会議名 (IEEE, Int'l, Workshop等略)	略称	2011年			総参加人数規模	特徴	フォールト発表件数
		開催時期	場所	日立関与			
Silicon Errors in Logic - System Effects	SELSE	March 29,30	Champaign, USA	新保、伊部一般講演	100	論理回路・システム中心。規模小さいが議論活発。	18
Reliability Physics Symposium	IRPS	April 10-14	Monterey, USA	プログラム委員+招待講演	500	電子デバイス信頼性の最大・最高権威学会。	15
IC Design and Technology	ICICDT	May 2-4	Kaohsiung, Taiwan	トラック・セッションチェア	100	電子デバイスの種々のテーマを横断的に網羅。	4
Dependable Systems and Networks (Workshop含む)	DSN	June 27-30	Hong Kong, China	プログラム委員 (論文査読のみ)	500	システム・プロセッサのフォールト検出、対策が主眼点。フォールトの起源、性状は問わない場合が多い。ソフトウェア指向。	15
On-Line Testing Symposium	IOLTS	July 13-15	Athens, Greece	プログラム委員+招待講演+セッションチェア+日本リエイゾン	100	デバイス～システムにまたがるフォールトの発生、検出、対策まで。	26
Nuclear and Space Radiation Effects Conf.	NSREC	July 25-29	Las Vegas, USA	(参加せず)	500	デバイスのSEE (TID含む) 中心。照射データ豊富。重イオン、陽子中心。米国開催。	36
Radiation and Its Effects on Components and Systems	RADECS	Sep. 19-23	Sevilla, Spain	(参加せず)	200	デバイスのSEE (TID含む) T中心。照射データ豊富。重イオン、陽子中心。ヨーロッパ開催。	50
Radiation Effects on Semiconductor Devices for Space Applications	RASEDA	?	?	新保プログラム委員 伊部諮問委員	200	デバイスのSEE (TID含む) 中心。照射データ豊富。重イオン、陽子中心。JAXA, JAEA主催。	?
計							164

5/20

フォールト発生原因別発表件数

略称	フォールト発表件数	フォールト発生原因別発表件数					
		中性子	α 線	陽子	重イオン	パルスレーザ	その他
SELSE	18	7	3			1	
IRPS	15	6	3		2	1	1
ICICDT	4						
DSN	15						
IOLTS	26	3	1				
NSREC	36	9	1	6	11	2	
RADECS							
RASEDA							
	114	25	8	6	13	4	1
							μ 中間子

6/20

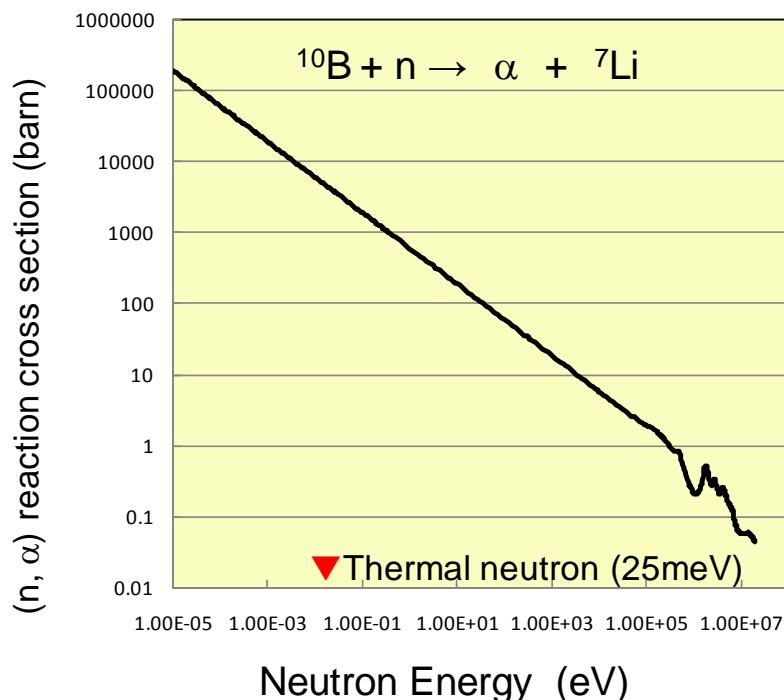
フォールト評価対象、手法別発表件数

略称	SELSE	IRPS	ICICDT	DSN	IOLTS	NSREC	計	注釈		
評価対象	揮発性メモリ	2	4		4	7	17	CAM		
	不揮発性メモリ				1	2	3	flash、相変化メモリ		
	論理ゲート		6	2		2	8	DICE、インバータ、FF		
	パワーデバイス					1	6			
	回路	2	3		1	3	2	11	クロック系	
	FPGA	3				2	4	9		
	システム	プロセッサ	4	2		10	3	1	20	キャッシュ、レジスタ、ログ解析
		SoC		1			8		9	
		PCB	1	1			2	1	5	サーバ
		その他	3		1	3		1	8	DC-DCコンバータ、データセンタ、Cross-Layer Reliability, LABIR, 車載
評価手法	照射実験	4	7	2		2	19	34		
	数値シミュレーション	3	5	1		10	7	26		
	フォールトインジェクション	2			5	1	1	9	SWAT、Relyzer、シミュレーションベース、ハード実装	
	その他	1			1			2	DOUB、アスペクト指向プログラミングの最適化	

7/20 フォールトに関する研究の大きな動き

- 低エネルギー中性子、陽子の再評価、熱中性子の問題再燃、 μ 中間子などの問題指摘など。照射試験に新しい動き活発。
- フォールトの検出・対策が電子システムの上位階層に進展。予測手法としてフォールトインジェクションが普及。
- マルチノードトランジェント(MNT)問題の拡大
- ソフトウェアによるフォールト検出・修復の議論活発化
- 個別の回路等での評価精度を希求せず、負荷(計算時間、消費電力)が小さく全体を丸めこむような評価手法の提案増加
- データセンタなどの電力負荷や、チップ単体での電力負担(“Dark Silicon”)に対する問題意識から、低消費電力化を大きな技術課題とする発表増加。
併せて、フォールト、エラー対策も面積・電力ペナルティの大きい空間冗長化でない手法を希求する傾向が増大。
- 電子システムの全階層に亘っての対策の議論活発化
【以下、個別に詳報】

9/20 熱中性子問題の背景(B-10)



10/20 低消費電力評価・修復法

■ DOEが2008年から 10^{18} Flops/sを目指す Exascale Initiativeを開始。低電力化とエラー耐性を重視。システム修復はCheckpointingを基本。(図1 LANSCE SELSE2007)

・米国の国立研究所は全て参加

■ Cross-Layer Reliability(米国国プロに? Intel SELSE6, LANSCE SELSE7) :低電力化のため Rollback基本。

■ Inter-Layer Built-In Reliability(日立 2010ICICDT, 2011IRPS2011) :低電力化のため Rollback基本。

■ Dark Silicon:低電力化のため、空間冗長系回避。Rollback基本。(EFPL 2011IOLTS)

■ 一方でDMR(奈良科学技術大 2011DSN) TMR(広島市立大 2011IOLTS, LANSCE SELSE7)の最適化の議論も盛ん。

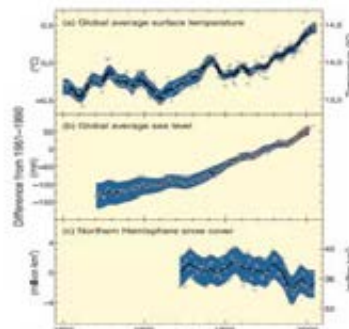


図1 地球温暖化データ(この先どうなる?も Exascale projectのテーマのひとつ)

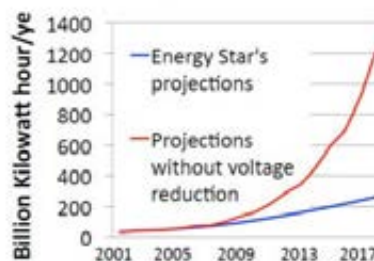


図2 米国のネットワーク電力予想

11/20 低負荷評価・解析法

■ Design On Upper Bound:膨大な時間をかけて 平均値をいくら正確に求めても、ばらつき幅が分からなければ、信頼性は確保できない。平均値を求める代わりに種々の条件に依存しない上限値を求め、これを低減する設計を行う。(日立 2010 ICICDT, 2011 IRPS)

■ ロジックマスキング係数を精度をやや落として安全側の値を求める。計算量1/10。(図2)(九州大学 SELSE7, IOLTS 2011)

■ Dark Silicon:精度を落として計算の負荷低減を提案(perforated simulation, EFPL 2011IOLTS)。

■ Stochastic simulation :フォールトが入っても、大きな誤差を生まないsimulation技術。例:マトリクス計算 $Ax=b$ を正確に計算するのではなく、 $(Ax-b)^2$ を最小化する問題に置き換える。(Illinois 大 DSN2011)

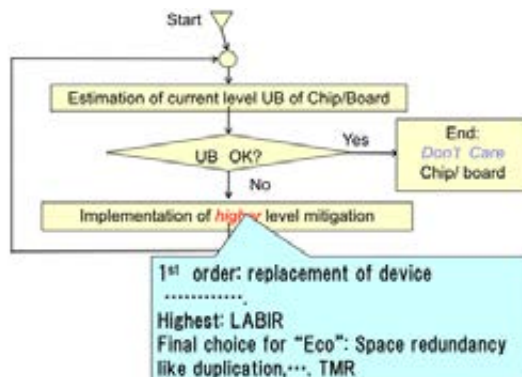


図1 DOUBの概念図

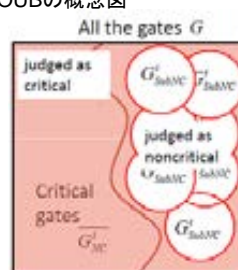


図2 多重CODCの概念図 (厳密には境界を求めないが十分安全側で近い結果を与える)

12/20 マルチノードトランジェント(MNT)問題

マルチノードトランジェントMNT:チャージシェアリングやバイポーラ効果によって複数のノードにトランジェントパルスが入ること。通常の空間冗長系(DICE、SEUT、DMR、TMRを無力化する。

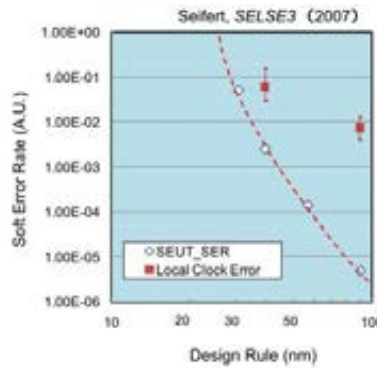


図1 微細化によるFFの空間冗長対策の無力化

■ 中性子起因のMNTの電圧依存性 (阪大、2011IRPS)

■ 改造型DICE、SEILAの提案 (富士通 2011 ICICDT)

■ TMRのMNTに対する有効性検討 (富士通 2011IOLTS)

■ チャージシェアリングを解析できるフォールトインJECTION技術 (Institute de Informatica 2011NSREC)

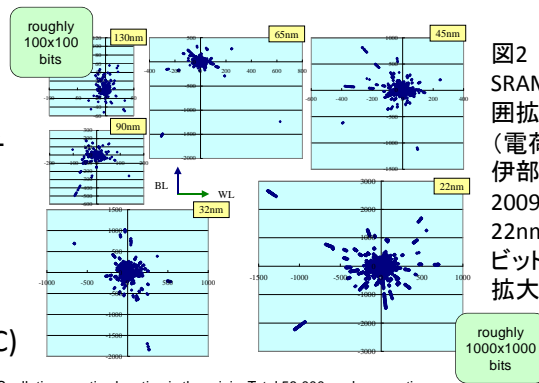


図2 微細化によるSRAMのエラーの影響範囲拡大 (電荷収集モデルによる。伊部 2011IRPS、2009DSN) 22nmでは多重度100ビット越えも。MNTの拡大も不可避。

13/20 照射試験に関する新しい動き

低エネルギー陽子(<10MeV)のSEU断面積が高エネルギー陽子に比べて桁で大きくなる実験結果の報告連続。(2008~)

■ 低エネルギー中性子(<10MeV)の断面積も急増するシミュレーション結果報告 (図1 日立 2011IRPS)。JESD89B改訂、IEC62396(日本のTC107委員会委員募集中)策定へ反映中。

■ IBM Tribladeへの中性子照射実験 (2011NSREC)

■ PCBレベルでのrebootを指標とした照射試験・解析法と対策報告(図2 日立 SELSE7)

■ 熱中性子(配線層の¹⁰Bが問題?)問題再燃。(Samsung SELSE7、Ciscoなど)

■ α線ソフトエラー試験法に加速器を用いる手法提案。(Xilinx SELSE7) 12社共同のα線ソフトエラー計測ラウンドロビン(2011IRPS)

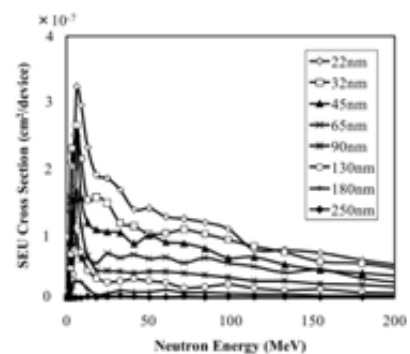


図1 微細化による低エネルギー中性子の寄与の増大 (Neutron beam size (10cm²))

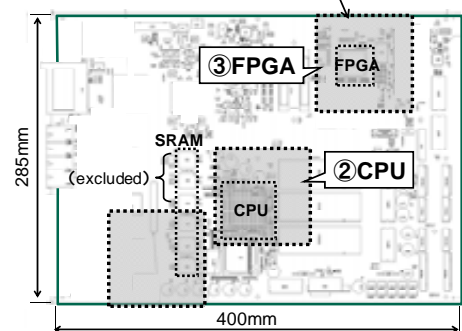


図2 ルータPCBと中性子照射位置

14/20 フォールトインジェクションに関する動向

- エミュレータベースフォールトインジェクションでプロセッサのシミュレーション実施。個別FFの耐性評価 (STMicro 2010IOLTS)
- Relyzer :SDC含むFaultをソフトウェアレベルで高カバレージ検出 (Illnoi大、Intel SELSE7)
- SWAT:アプリケーション動作に異常を与えないFaultは検出する必要はない。ソフトウェアの異常の兆候を検知するSWATだけで対応できる。(図1、Illnoi大、Intel SELSE7)
- シミュレーションベースフォールトインジェクションの問題点の議論あり。サイクル数、フォールト注入位置など。(Univ. British Columbia 2011DSN)
- ハードウェア実装による車載システム全体のフォールトインジェクション技術 (神戸大 2011DSN)

検知する障害モード

- Fatal trap:ゼロ割り算、非整合アクセス、 maximum trap level(?)
- Kernel panic
- Hypervisor crash: TLBの誤動作など。
- Firmware check: OpenSolarisとMicroBlaze間の整合性check。アドレス領域逸脱、不合理命令など。非整合でfirmwareアボート。
- Hardware stall:Threadが一定時間(例:30秒)範囲内にinstructionを発信しない時。
- Abnormal exit: segmentation フォールト、core dump, dynamic linkerエラーなど。
- hang, high OSは今回検出対象外。

図1 SWATで仕分けするソフトウェア障害 (FPGAでフォールトインジェクションハードウェア実装)

15/20 上位階層での修復

- Cross-Layer Reliabilityの提案 (図1 米国防プロに? Intel SELSE6、LANSCE SELSE7) 階層間協調。Exascale initiative背景?。Rollback基本。
- Inter-Layer Built-In Reliabilityの提案 (日立 ICICDT2010,IRPS2011) 下層(基板、デバイスレベルでフォールトの兆候(電位、電流など)とらえ、上層で修復。Rollback基本。
- ソフトウェアによるSDCマスキング技術 (LANSCE SELSE7)
- アスペクト指向プログラミングによるフォールト耐性ソフトウェア (Calmers Univ. of Technology DSN2011)

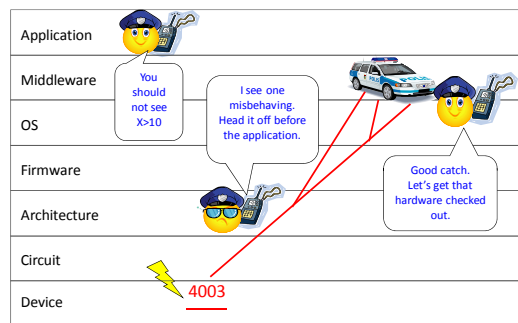


図1 Cross Layer Reliabilityの概念図

Study Leaders Core Working Group and Team Leaders

- | | | |
|---|---|--|
| <p>Sasha Adva, University of Illinois at Urbana-Champaign
 Marcos Aguilera, Microsoft Research
 Carl Anderson, IBM
 Paul Armitjo, General Dynamics Advanced Information Systems
 Todd Austin, University of Michigan
 Sankar Basu, NSF
 Lori Bechhold, Boeing Research & Technology
 Shawn Blanton, Carnegie Mellon University
 Shekhar Borkar, Intel Corporation
 Younes Boulghassoul, Information Sciences Institute - University of Southern California
 Keith Bowman, Intel Corporation
 Greg Bronowaty, LLNL
 James Browne, University of Texas Austin
 Nicholas Carter, Intel Corporation
 Vikas Chandra, ARM
 Tim Cheng, University of California Santa Barbara
 Pierre-Chun-Fung Chiu, Cisco Systems Inc.
 Lewis Cohn, NRL
 John Daly, Department of Defense
 Chitaranjan Das, NSF
 J.L. de Jong, Xilinx
 Nathan DeBardleben, LANL
 Erik deBenedictis, Sandia National Laboratories
 Anil K. DeHon, University of Pennsylvania
 Eliezer Dekel, IBM
 Bill Eklow, Cisco Systems Inc.
 Glenn A. Forman, General Electric
 Armando Fox, University of California Berkeley</p> | <p>Tim Gallagher, Lockheed Martin Corporation
 Donald S. Gardner, Intel Corporation
 Giridhar Govil, VMware
 John Gustafson, Intel Corporation
 Eric Hannah, Intel Corporation
 William Harrod, DARPA
 William Heidergott, General Dynamics Advanced Information Systems
 John Hiller, STA
 Andrew Huang, Sunrise Studios LLC Chumby Industries
 Ravi Iyer, University of Illinois at Urbana-Champaign
 David Kaeli, Northeastern University
 Zbigniew Kalbarczyk, University of Illinois at Urbana-Champaign
 Kevin Kemp, Freescale
 Prabhakar Kulkarni, IBM
 Kimmo Kuzushima, Nokia
 Shi-Lien Lu, Intel Corporation
 James Lyke, Air Force Research Laboratory
 William M. Jones Jr, Coastal Carolina University
 Nikil Mehta, California Institute of Technology
 Sarah Michalak, LANL
 Subhasan Misra, Stanford University
 Claude Moughanji, Freescale Semiconductor
 Shubhu Mukherjee, Intel Corporation
 Helia Naeimi, Intel Corporation
 Sam Nassif, IBM
 Suriyaprakash Natarajan, Intel Corporation
 Eugene Norman, Boeing Research & Technology
 Kevin Nowka, IBM</p> | <p>Ishwar Parulkar, Cisco Systems
 Karthik Pattabiraman, Microsoft
 Mark Porter, Motorola
 Heather Quinn, LANL
 Charles Rechold, Freescale Semiconductor
 Pia Sankis, IBM
 Sumeet Santhya, Intel Corporation
 John Savage, Brown University
 Bianca Schroeder, University of Toronto
 Sanjit Sethia, UC Berkeley
 Allan Sibson, Cisco Systems
 James Smith, Intel Corporation
 Rafi Some, JPL
 Daniel Sotirov, Duke University
 Jon Stearley, Sandia
 Gary Swift, Xilinx Inc.
 David Tenenhouse, New Ventures Partners
 Chandra Tisumkar, Intel Corporation
 Steve Trimberger, Xilinx
 Ian Troxel, SEARR Engineering Inc.
 David Walker, Princeton University
 Shi-Jie Wen, Cisco Systems Inc.
 Chris Wilkerson, Intel Corporation
 Alan Wood, Sun Microsystems
 Vivian Zhu, Texas Instruments</p> |
|---|---|--|

図2 Cross Layer Reliability参加組織 (82組織)

16/20 電子システムの全階層に亘る対策

■ Cross-Layer Reliabilityの提案
 (米国国プロに? Intel SELSE6、LANSC E SELSE7)
 階層間協調。Checkpointing-Rollback基本。

■ Inter-Layer Built-In Reliabilityの提案
 (日立 ICICDT2010, IRPS2011) 下層(基板、デバイスレベルでフォルトの兆候(電位、電流など)とらえ、上層で修復。Checkpointing-Rollback基本。

■ フォルトインJECTIONでプロセッサの障害(Hazard)を13種類に分類。各Hazardの原因となるノードの個数を指標としてコアベンダに提出を義務付け、システム設計に活用する。
 (図2 Stuttgart大 2011IOLTS)

■ Checkpointingの頻度の最適化
 (Linkoping大 2011DSN)

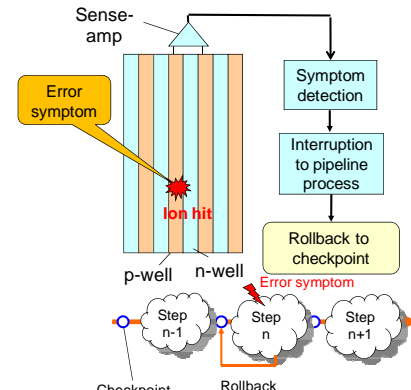


図1 LABIRの概念図

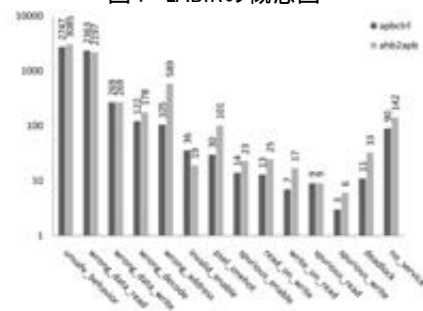


図2 13種のHazardに対する指標

17/20 各階層での対策

階層	予測	予防	検出	オンライン修復	オフライン修復
アプリケーション	・シミュレーションベースフォルトインJECTION	・確率的コンピュテーション	・異常動作検出(SWATなど)	・Checkpointing-Rollback	
OS	・ログ解析		・カーネル内検出メカニズム ・OS分割	・OSアイソレーション	・Reboot
PCB	・ボード照射試験	・DOUB (Design On Upper Bound)	・Watch-dog timer	・LABIR (inter-Layer Built-In Reliability) ・Cross-Layer Reliability ・Reconfiguration	・Reboot
プロセッサ	・シミュレーションベースフォルトインJECTION ・エミュレータベースフォルトインJECTION ・照射試験	・キャッシュ内のデータ寿命を短縮	・DMR (Double Module Redundancy)	・TMR (Triple Module Redundancy) ・Checkpointing-Rollback	・Reboot
回路	・回路シミュレーション ・ロジックマスキングシミュレーション ・照射試験	・空間、時間冗長系 (DICE, SEUT, BISER, SEILAなど)	・FFにパリティ付加 ・BIST (Built-In Self Test)	BISR (Built-In Self Repair)	
デバイス	・SEEモンテカルロシミュレーション ・TCADシミュレーション ・照射試験	・抵抗、容量不可 ・電荷収集領域縮小	・ECC、パリティ	・ECC (SBUのみ) ・ミラーリング	
基板・ウェル	・TCADシミュレーション	・導電性改善 ・ウェル構造改善	・BIGS (Built-In Current Sensor) ・BICP (Built-In Pulse Sensor)		

18/20 ソフトエラー標準化関係の動向

標準化をめぐる状況	日立対応
iRoC、TIMA研、Ops A La Carte、Actel、STMicro、日立有志で議論スタート。JEDECの正式議題に採択。アルファ線、熱中性子、ミュ-中間子についても改訂の動きあり。	JESD89Aの限界指摘・改訂提案。2010IOLTSでパネル討論主催。JEDEC JC13. 4委員会に議題として採択。
2005年EDR4705を発行。電子機器のソフトエラー率は「マスクング効果があるので単純な個別デバイスの足し算にはならないことを2011年注釈付記。	福島事故を受けて飛散放射能の電子機器への影響を評価。日立原案をもとに公式見解として国内外に公表。風評被害抑制に一定の成果。
2010年より航空機高度でのソフトエラーの標準試験法と標準対策を規定する。IEC標準。Boeing中心の国際委員会と日本航空宇宙工業会主催の国内委員会(準備中)がある。	国際・国内委員会に伊部委員参加。国内委員会の委員候補を日本航空宇宙工業会に推薦(10月予定)。

19/20 国内大学の急速な活性化

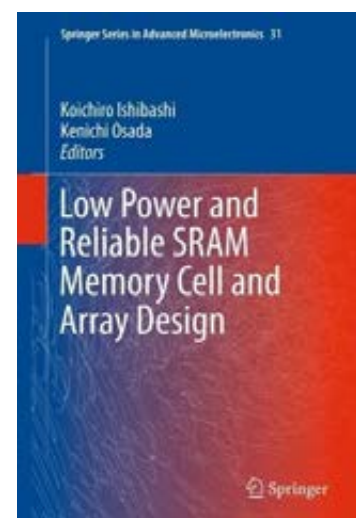
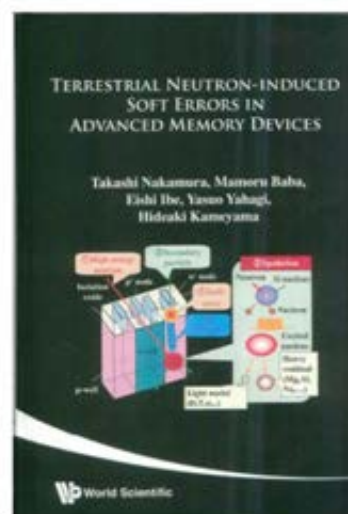
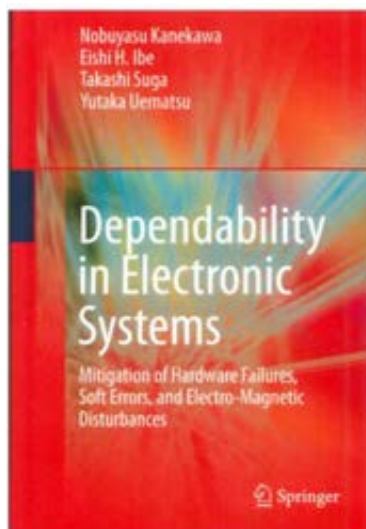
分類	名称	特徴	最近の学会発表	情報収集担当学会
大学	東北大学	大強度単色中性子源保有。大震災で復旧当面不可。		
	日本大学	JAXA向けのデバイス研究を継続中。		
	京都大学/ 京都工業繊維大学	FFのソフトエラー評価・対策	2011IRPS	IRPS、NSREC
	大阪大学	RCNP保有/情報システム工学	2011IRPS	
	神戸大学	低電力・高耐性SRAM、車載ユニット	2011SELSE、IOLTS	
	広島市立大学	高耐性論理合成、プロセッサ	2011IOLTS	
	奈良先端技術大学	高耐性プロセッサ	2011WDSN	
中立研究機関	九州大学/福岡大学	論理合成、マスクング効果/ 中性子源準備中	2011SELSE、IOLTS 2011RADECS	EDA
	JAXA	人工衛星用デバイス開発・選定	2011NSREC	NSREC、 RADECS
企業	JAEA	TIARA保有。照射効果物理研究。	2011RADECS	
	日立・横浜研究所	回路・システムよりの評価、対策に	2011SELSE、IRPS	SELSE、ICIGDT
	日立・中央研究所	車載システムのフォールトインジェクシ	2011DSN	
	日立・日立研究所	電子システムのDependabilityに注		
	ルネサス	CREST参加。マスクング効果解析	2010IRPS	
	富士通研究所	大学連携(九州大学など)を模索。 FFに注力。	2011IOLTS	IOLTS、 SISPAD
	HIREC	照射試験、対策デバイス設計	2011RADECS	
東芝	JEITA SERプロジェクト委員長。			

20/20

まとめ

- 「エラー」だけでなく{フォールト→エラー→Failure(ハザード)}のくりの中で評価・対策を考えることが重要。
- 様々なフォールト源に対して電子システムの階層(基板→デバイス→回路→プロセッサ→チップ→ファームウェア→OS→ミドルウェア→アプリケーション)毎に幅広く現象をとらえる必要がある。
- チップの一層の高集積化、データセンタ、スパコンの大型化に伴い、低消費電力化が避けられない課題に。フォールト対策も電力を食う空間冗長系は強く否定される方向。時間冗長系はパフォーマンスが鍵(富士通/理研の世界最速スパコンはリトライが基本)。低電力化のために、計算精度を犠牲にすることもやむなし。
- 電子システムを低電力・高信頼化するために、階層間協調が重要。米国で大きな動き(Exascale Initiative, Cross Layer Reliability)あり。

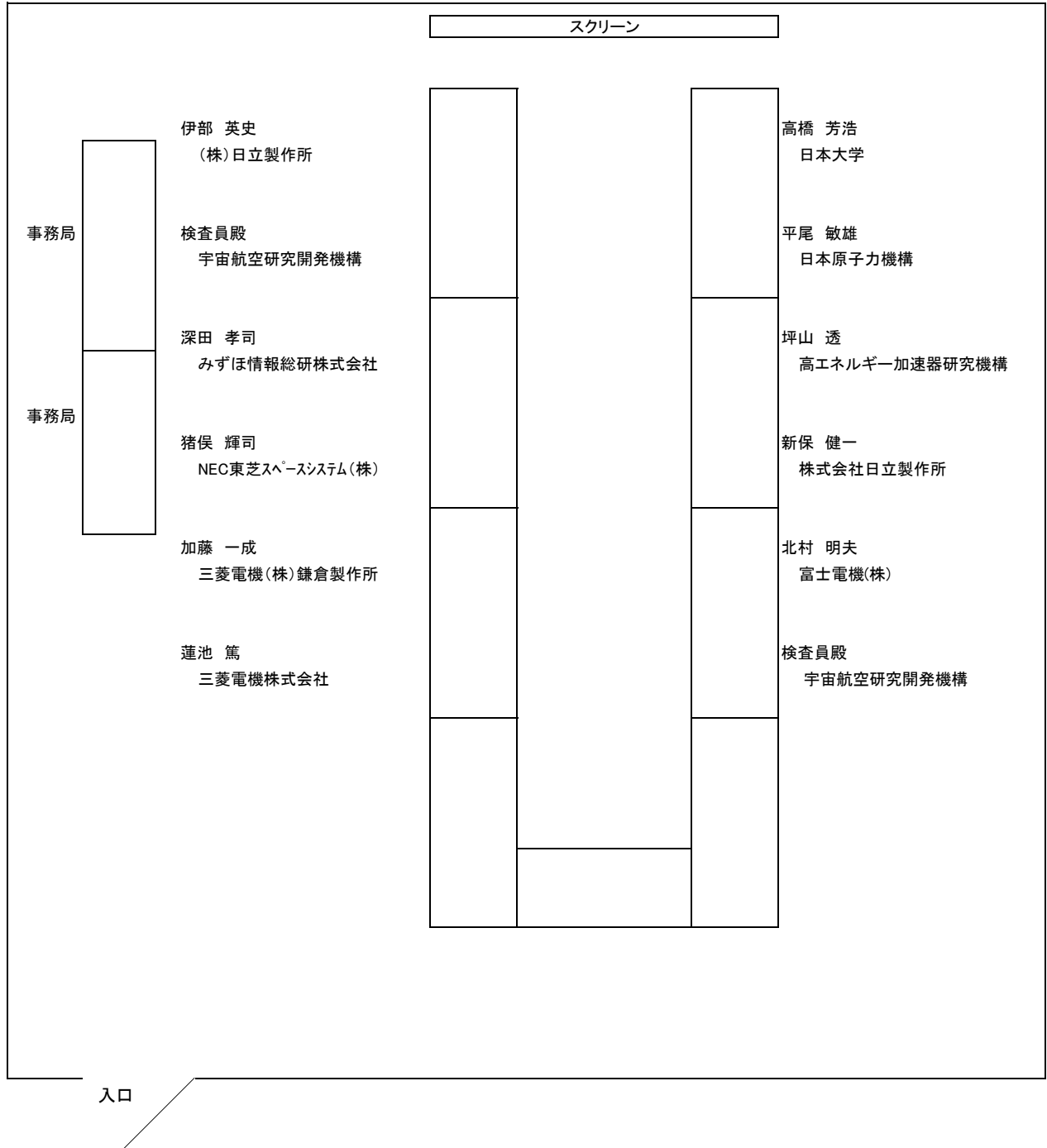
ご参考(出版物)



・John Wiley & Sons社から4冊目準備中

第3回委員会配付資料

第 3 回 最新デバイスの耐放射線性強化技術に関する検討委員会 座席表



「平成 23 年度 最新デバイスの耐放射線性強化技術に関する検討委員会」
第 3 回委員会 議事次第

日時：平成 23 年 11 月 25 日(金) 14:00 ～ 18:00

場所：HIREC 株式会社 川崎事業所 会議室

川崎市幸区大宮町 1310 ミューザ川崎セントラルタワー 12F

(TEL : 044-379-6013)

1. 配付資料等確認 (5 分)14:00～14:05
2. 各委員の調査結果報告・質疑 (各 20 分・25 分 計 45 分)
 - 2.1 Parametric Variability Affecting 45 nm SOI SRAM Single Event Upset
Cross-Sections (坪山委員)14:05～14:50
 - 2.2 Theoretical Correlation of Broad Spectrum Neutron Sources for Accelerated
Soft Error Testing (新保委員)14:50～15:35
- 休憩 (10 分)15:35～15:45
- 2.3 Charge Collection in Power MOSFETs for SEB Characterization-Evidence of
Energy Effects (北村委員)15:45～16:30
- 2.4 Mechanisms and Temperature Dependence of Single Event Latchup Observed
in a CMOS Readout Integrated Circuit From 16–300 K
(平尾委員)16:30～17:15
3. 国際学会参加報告 (委員長) (40 分)17:15～17:55
4. 事務局からの連絡 (5 分)17:55～18:00

IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 57, NO. 6, DECEMBER 2010

Parametric Variability Affecting 45 nm SOI SRAM Single Event Upset Cross-Sections

(45 nm SOI SRAM の SEU 断面積に影響するパラメータのばらつき)

Thomas Daniel Loveless, *Member, IEEE*, Michael L. Alles, *Member, IEEE*, Dennis R. Ball, *Member, IEEE*,

Kevin M. Warren, *Member, IEEE*, and Lloyd W. Massengill, *Fellow, IEEE*

*The authors are with the Institute of Space and Defense Electronics,
Vanderbilt University, Nashville, TN 37212 USA*

25 Nov. 2011

坪山 透 (KEK)

要約

- 商用 45 nm CMOS SOI SRAM セルの SEU のシミュレーションによる解析を行い試験データと比較を行い、セル間の SEU 耐性のばらつきと小さな体積におけるエネルギー損失の不定性の理解が重要であることを示した。
- 動作電圧とボディー抵抗がセルの SEU 耐性に影響を与えることがシミュレーションによりわかった。

I. Introduction

- SE 耐性を持つSOI技術は、宇宙・軍事応用にとって魅力的で、DoD の協力を得た Trusted Access Program Office (TAPO) partnership を通じて、IBM Micro electronics の45 nm SOI技術が興味とアクティビティを喚起した。
- 耐性未強化の 65 nm と 45 nm SOI SRAMsの SE の実験結果が最近報告された[1]-[3]。ここには重イオンと陽子のデータで、多重ビットアップセット (MBU) のレイアウト依存性が含まれている。
1 MeVcm²/mg 以下から100 MeVcm²/mgのLET領域での、陽子の直接イオン化 [2], [3] と重イオンによる数オーダーに渡る断面積 (Fig.1 [2]) を含む。
- こうした性格のデバイスのエラー頻度を正確に計算するためには、放射線への応答がデータに現れるメカニズムを理解することが重要である。

3

I. Introduction

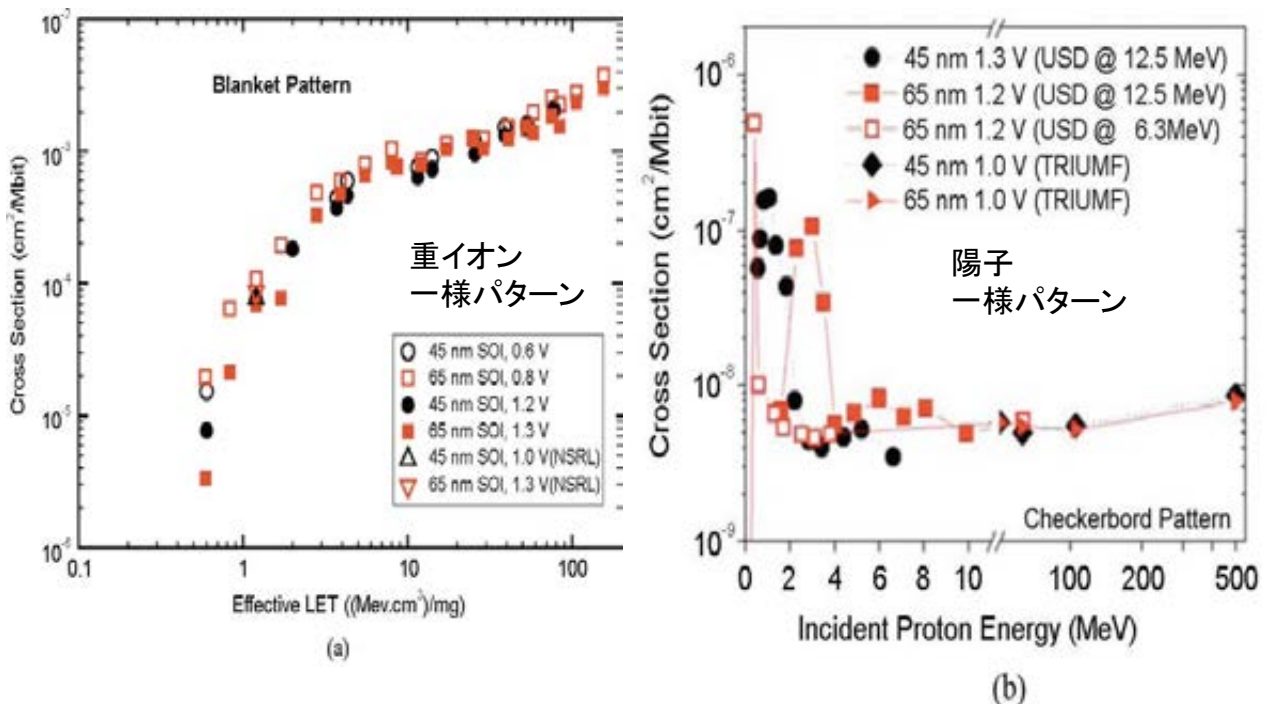


Fig.1. (a) Heavy ion (Texas A&M and NASA Space Radiation Laboratory at Brookhaven), and (b) proton upset cross sections for 45 and 65 nm SOI SRAMs (from [2]).

4

I. Introduction

- 過去の仕事[4], [5] でSOI CMOS SRAMのパラメータが分布しているおかげで、同一と考える SRAM Cell でも、SEU の閾値が広がりを持つことが示された。
- しかし、すべてのセルが同一のSEU 閾値をもっている、一つのデバイス・セル内の様々な領域にイオンが入射し、異なる電荷収集効率により断面積の曲線が決まるという議論[6]もある。
- この論文で調べたSOI SRAM の場合、シミュレーションが示したのは、一つのセルの中の異なる領域(ゲートとドレイン・PMOS と NMOS等)へのヒットが $1 \text{ MeV-cm mg} < \text{LET} < 10 \text{ MeV-cm mg}$ の領域における曲線の形を決めることである。
- しかし、 $\text{LET} < 1 \text{ MeV cm}^2/\text{mg}$ (陽子の直接イオン化のピークを含む領域)の断面積の測定値は核反応で予想されるものより大きい、それほど大きくないので、アップセットが各セルの一つの場所で起こるのではなく、セルの閾値が分布していることを示す。

5

I. Introduction

- 3D-TCAD と SPICEのコンパクトなシミュレーションモデルを用いて、この論文では、Heidel による 45 nm CMOS SOI SRAMのSEUの測定結果[2]を定量的に説明する。鍵となるデバイスパラメーターがアップセット閾値の決定与える影響をシミュレーションで示した。
- SRAMのセルの臨界電荷(Critical charge)の分布を調べると、薄いアクティブシリコン層での陽子によるイオン化で発生する(つまり非常に少ない)電荷まで達することが分かった。
- 最後に、低いLETの場合、SOIのように薄いシリコン層で顕著になるエネルギー損失の不定性が断面積の計算に与える影響を議論する。

6

II. SINGLE EVENT UPSET ANALYSIS OF 45 NM SRAM

• A. 3D TCAD シミュレーションの解析

- IBM SOI12S0 process design kit (PDK) の3D TCAD SRAMのレイアウトを用い6T SRAM cellの単発現象を調べた。
- 0.5 ps の時定数で電荷を注入。電荷はGaussian分布で注入した。2 ps の間に 99% が注入されている。
- 2 ps は、典型的なSRAMのスイッチング時間より十分短い。
- シミュレーションを行った時間範囲は 2-20 ps である。
- 空間的には、50 nm の Gaussian 分布の電荷の広がりを仮定した。広がりを 50 nm 以下にしても結果は変わらなかった。
- (1) NMOS と PMOS のgateをヒットした場合 (2) NMOS active area.
- 垂直入射を仮定した。
- フローティングボディーとボディータイの場合をシミュレートした。
- ボディータイの抵抗は(たとえばソース・ドレインへのGeインプラントによる [7]) strain 技術によって発生する接合のリーク電流に相当する。

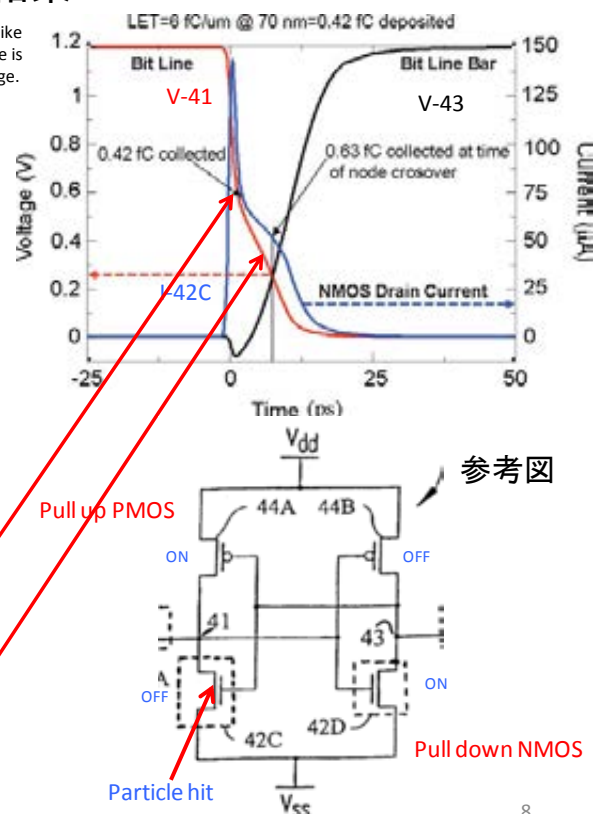
7

II. SINGLE EVENT UPSET ANALYSIS OF 45 NM SRAM

Fig. 2: 3D TCAD シミュレーションの結果

Fig. 2. Representative transient characteristics of the SRAM following an ion strike to the gate of the off-state pull-down NMOS. The LET of the simulated ion strike is 0.6 (MeV-cm²) / mg, corresponding to approximately 0.42 fC of deposited charge. The deposited charge is collected within the first 2 ps following the strike.

- Fig. 2: floating body SRAMの off-state pull-down NMOS にヒットした場合のドレイン電流とノード電圧。
- LETは 6 fC /mm (0.6 MeVcm²/mg)
 - SOI 層の厚みは 70 nm [7],[8]なので 0.42 fC が発生する。
- 発生した電荷は最初の数 ps でドレインに集まる。そのときのドレイン電圧はドレイン容量に応じて変化する。(ΔV=ΔQ/C)
- その後もドレイン電圧はゆっくり変化する。SRAM回路のフィードバックによりゲート電圧が増加し始める。



8

II. SINGLE EVENT UPSET ANALYSIS OF 45 NM SRAM

Fig. 3: 3D TCAD シミュレーションの結果

- Pull-downトランジスタ(off) のドレイン・ボディー・ソースの表面から20nm 下の電位
- イオンがヒットして 2 ps 以内に、body の電位が急激に上昇している。
- 引き続き数 ps の間はドレイン電流はpull-up PMOS のdrive currentで決まる。2ps < T < 10 ps の間のドレイン電流と積分電荷は複雑で、上昇したボディー電位の動的なバイアス条件の関数となる。この間のドレイン・ソース間の電位差は少なく、ドレインからボディー・ソースからボディが順方向バイアスとなりアキティブなバイポーラ状態にはならない。
- アップセットが起こる時点 (< 10 ps, Fig. 2 の"cross over")までの間にドレインに流れた電荷は、0.63 fCとなり、ここでこのセルの状態が遷移する (upset)。
- 孤立したトランジスタ(stand-alone transistor、フローティングボディーという意味か?)またはメモリセルが反転しない場合は、遷移は数 100 ps の時間にわたる。この場合の電流のパルスの減衰のテイルは、数 10 ns の間、回復電流ドライブ能力のレベルとなる。
- これはフローティングボディーの電位の揺動のためであり、Kleinosowski [10]らが指摘するとおりである。

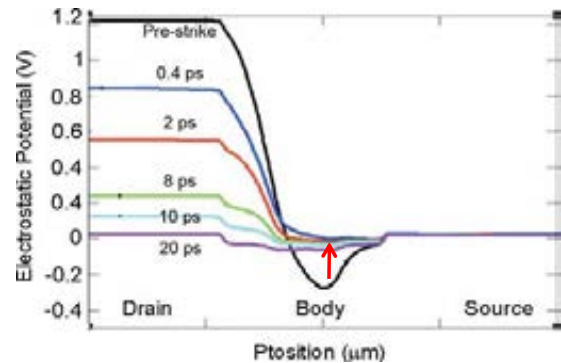


Fig. 3. Electrostatic potential versus position through the off-state pull-down NMOS before and after an ion strike with simulated LET of 0.6 (MeV-cm²) / mg. The potential is given at 20 nm below the active Si surface.

9

II. SINGLE EVENT UPSET ANALYSIS OF 45 NM SRAM

Fig. 4: アップセットしない場合との比較

- フローティングボディーSRAM の Off 状態の pull-down NMOS のドレイン電流。
 - 青: LET 0.6 MeV cm²/mg (アップセット閾値). Fig2. の青線と同一。
 - 赤: LET 0.5 MeV cm²/mg (アップセット閾値以下)
- この場合は、ドレイン電流が 100ps にわたり、pull-up PMOS のドライブ能力で決まる程度の電流が維持される。アップセットしないにもかかわらず、フリップの場合の4-5倍の電荷が集まる。(寄生バイポーラトランジスタの影響が大きいことを示す)
- 最初の10 ps のピーク後は、電流はプルアップPMOSのドライブ能力で決まり、ドレイン電圧やボディー電位の影響は小さい。ドレイン電圧は0まで達しない。

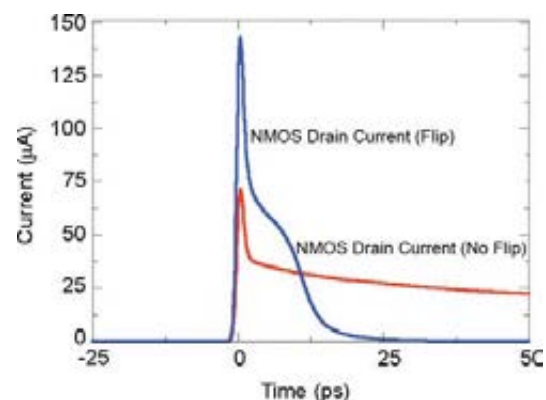


Fig. 4. Comparison of simulated (TCAD) drain current transients in the floating body SRAM following an ion strike to the gate of the off-state pull-down NMOS. The LETs of the simulated ion strikes are (red) 0.5 and (blue) 0.6 (MeV-cm²) / mg, respectively. In contrast to the transient resulting from the simulated LET of 0.6 (MeV-cm²) / mg, the drain current transient resulting from the ion at an LET of 0.5 (MeV-cm²) / mg remains on the order of the pull-up PMOS drive strength for approximately 100 ps.

10

II. SINGLE EVENT UPSET ANALYSIS OF 45 NM SRAM

TABLE I : 3D TCAD の結果

- TABLE I : 3D TCAD で求めた SRAM セルのいろいろな条件での臨界電荷と LET 閾値。
- ゲートの中心にイオンを入射したが、この場合が最悪であることが分かった。
- Off state のNMOS と PMOS をヒットする場合を示した。完全フローティングボディーの場合と完全ボディーコンタクトの場合をしらべた。
- NMOS をヒットする場合が最悪で、アップセットは1.2V で0.6 MeVcm²/mg、1.0V で0.4 MeVcm²/mg という低LETでも起こる。
- Fig.5: TABLE I を Fig. 2 に重ねた。TCAD の結果は断面積カーブの低 LET 領域を制限するだけでなく、低電圧では付加的な脆弱性があることもわかる。

TABLE I
CRITICAL CHARGE AND ESTIMATED LET THRESHOLD FOR SRAM AT A VARIETY OF OPERATING CONDITIONS.

Hit Device	Body	Operating Voltage (V)	Q _{crit} (fC) Deposited Charge	LET Threshold ((MeV·cm ²)/mg)
NMOS	Floating	1.0	0.28	0.4
NMOS	Floating	1.2	0.42	0.6
NMOS	Ideal Contact	1.2	0.77	1.1
PMOS	Floating	1.2	0.84	1.2
PMOS	Ideal Contact	1.2	>1.4	>2

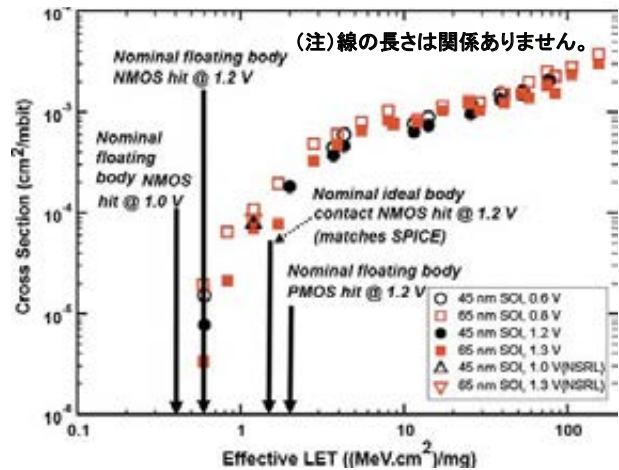


Fig. 5. Estimated LET thresholds obtained from 3D TCAD simulations superimposed onto data from [2].

11

II. SINGLE EVENT UPSET ANALYSIS OF 45 NM SRAM

• B. Spice シミュレーション解析

- Cadence EDAtool suite と Spectre simulation environment を用いて Compact model SPICE-level simulations を行い TCAD と比較し、いろいろな ion-induced current profiles を調べ SRAM switching へのインパクト・アップセット電荷への影響を調べた。
- 電荷注入の時間依存性: 2重指数関数・区分線形・矩形パルス。
- どの場合も、SRAM アップセットの臨界電荷を測定した。
- 2重指数関数の係数は上で述べた TCAD シミュレーションで求めた。
- イオンによる電流のピーク値と持続時間はアップセットが起こるまで増やしていった。

12

II. SINGLE EVENT UPSET ANALYSIS OF 45 NM SRAM

Fig. 6 臨界電荷でのシミュレーション結果

- SPICEシミュレーションによる、SRAM セルのSEU閾値電荷 矩形と2重指数関数型 との電流波形を仮定して計算した。
- 矩形の場合の臨界電荷は 1.3 fC、2重指数関数では1.0 fCとなった。TCAD フローティングボディーによる計算 (0.42 fC 与えた電荷, 0.63 fC 集めた電荷)にくらべて、過大評価になっている。ボディータイの場合、SPICE はTCADに近い結果を出す。
- フローティングボディーが合わないのは、主に電荷注入の場所が違うからである。SPICE では電荷をドレインに注入する。TCAD ではボディーに注入するのでボディーの電位を直接動かすことになる。
- SPICEの電流波形はノードで集めた電荷に相当するが、シリコンに生成される電荷がドレイン電流になるメカニズムが考慮されていない。その結果、寄生バイポーラ効果・閾値が揺動する効果・電荷収集のデバイス依存性などが入っていない。
- ボディ内の動的な電荷収集を再現できるコンパクトモデルをSPICEに適用させることが必要である。

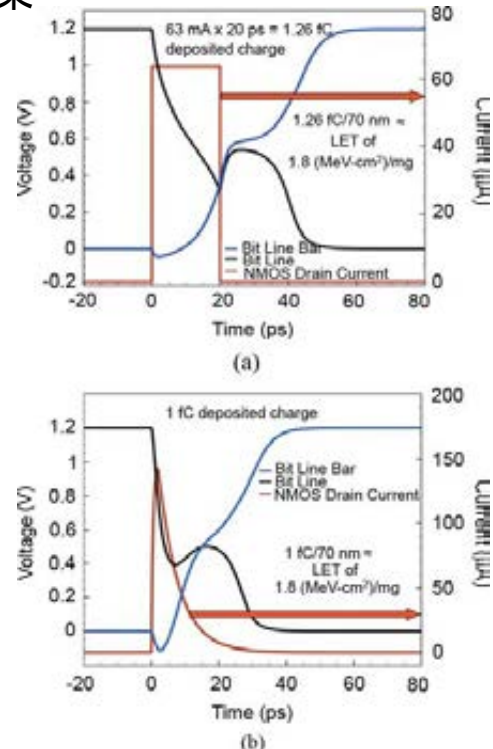


Fig. 6. イオンによる電荷注入が(a) 矩形関数 (b) 2重指数関数の場合の、臨界電荷と対応するLETでのSRAMのSPICEの結果。

13

II. SINGLE EVENT UPSET ANALYSIS OF 45 NM SRAM

Fig.7 Process corners での臨界電荷

- あるPDK でシミュレートできる構成・運転条件温度・動作電圧のセットを process corners という。今回の IBM PDK (TABLE II) を用いた SPICEの結果を Fig. 7 に示す。
- OFF-NMOSにイオンがヒットする場合のSEU 臨界電荷を計算した。横軸/縦軸は NMOS/PMOSの運転電流に相当する。
- 臨界電荷は22%の広がりがあることが分かる。PMOSをヒットする場合は 30%のばらつきとなる。
- ばらつきの主な要因は電源電圧とボディーの抵抗である。温度はほとんど影響を与えない。
- 同じテクノロジーでも、場合によって閾値が 20-30% ばらつくことがSPICEによって分かった。TCAD シミュレーションの結果を考えると、最悪の場合臨界電荷は0.3 fCになる。これは陽子の直接イオン化でも発生する電荷である。つまり、SRAMのセルのかなり(すべてではない)の部分がアップセット感受性をもつレベルである。

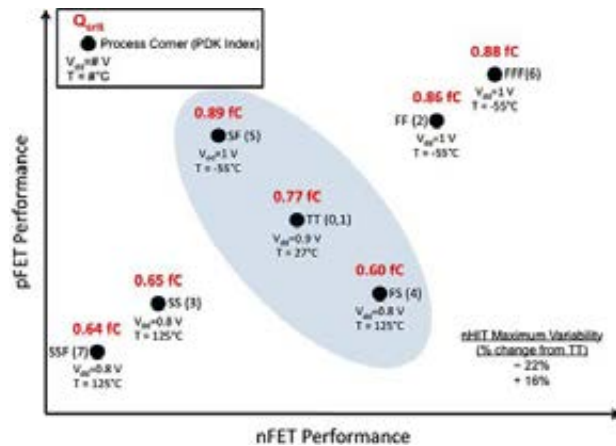


Fig. 7. Critical charge values for strikes to the pull-down NMOS over process corners, temperature, and operating voltage.

TABLE II
PROCESS CORNERS UTILIZED FOR SPICE ANALYSIS OF SRAM CRITICAL CHARGE.

PFET/NFET Performance	PDK Process Corner	Temperature	V _{dd}
Nominal/Nominal	TT	27°C	0.9 V
Slow-Slow	SSF	125°C	0.8 V
Fast-Slow	FS	125°C	0.8 V
Slow-Fast	SF	-55°C	1.0 V
Fast-Fast	FFF	-55°C	1.0 V

14

III. ANALYSIS OF SEU CROSS SECTION DATA

- NMOSのgateをヒットする場合はSRAMセルを反転させる電荷が最も少ない(最悪である)ことが分かった。トラックの主要部がGate当たる限り結果は変わらない。10nm幅のGaussian分布で電荷が分布する場合でも同様の結果を得た。このことからTCADは十分な空間分解能を持つことが示された。
- Fig.8はSEU断面積の測定結果[2]にデバイスの鍵となる「面積」を表示したものである。一番下の値は、「陽子SEU断面積の中で直接イオン化による寄与」の推定値である。これは、NMOSゲートの0.1%の面積に相当する。
- 最も感受性があるのはpull-down NMOSのゲートであるが、物理的なゲートの0.1%だけに感受性があるとは考えられない。むしろ、「1Mビットあたり100-1000のセルが陽子への感受性を持っている」と解釈すべきである。
- Critical cornersの解析で臨界電荷には22%のばらつきがあることがわかった。1.2Vで動作させても数%のセルは0.3fcの電荷にSEU感受性を持つ。
- 一つのチップ内でも動作条件によってはセルの動作電圧が供給電圧以下になることが考えられる。ボディーの厚みが70nmの場合、0.3fcはLET 0.4 MeVcm²/mgに相当する。

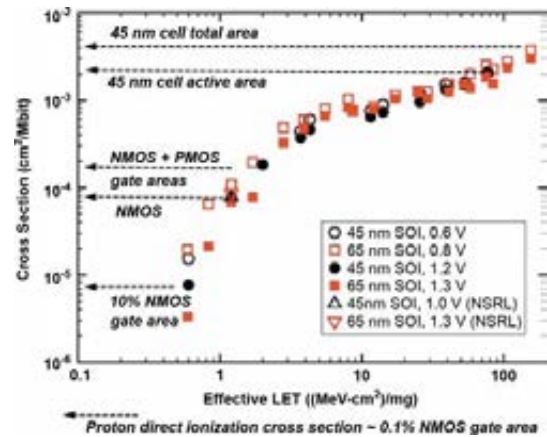


Fig. 8. Device and cell areas related to measured cross-section versus effective LET (data from [2]).

15

その他の注意

- 陽子ビームのストラグリング(stragglngイオンによるエネルギー損失の分布)の評価も必要である。もしストラグリングが少ないビームを使っていると、[2]の結果も変わると考えられる。IV章にエネルギー損失の変化と不定性とLET値・断面積への影響を述べる。
- Fig.1のLETスケールを左から右に進むと、まずプロセス(ドーパ・形状・張力)や動作電流のばらつきが影響する範囲、そこを越えると、NMOSのゲート面積、PMOSのゲート面積、セル自身の面積と領域を越えてゆく。高いLET領域ではセルの active area 全体に感受性が有ると考えても良い。
- ただし、さらに高いLETでも断面積は飽和しない。Heidel, *et al.* は 10 MeV-cm²/mgのLETでは多重ビットアップセット(MBU)が断面積を決めることを示した。)それは shared diffusion nodesのおかげである。市松模様パターンで50%[2]だったMBU確率が一律パターンでは10%以下になるという報告もある。
- SOIであってもWAFERに発生する変位電流がSOI RAMのアップセットの原因となるという議論もある[11], [12]。
- (例えば0.3fcが)電子数千個以下に相当することから、絶縁体内で発生する電荷を考慮することは価値があることである。

16

IV. Mechanisms A: Floating Body SOI

- SOI CMOSでは、寄生バイポーラ効果が単発現象にあたる脆弱性が議論されてきた[13]–[15]。イオンによる電荷がボディー電位を上げて、順方向にバイアスされたバイポーラデバイスとなるということである。ボディータイ・ボディーコンタクトが電位を保ち引き戻すことに役立つ。が、有限なRC(時定数)のため、効果は完全ではない。この研究ではフローティングボディーの場合と、コンタクトがあっても有限な抵抗を仮定してシミュレーションを行った。分かったことは、ボディーコンタクトの有無にかかわらず、ボディーの上部の電位はほとんど同じようにフローティングとなった。アクティブ層の背面を完全につないだ場合でも、ボディーの大部分は、外部から電荷が注入される間、ある程度はフロート状態になった。
- このことは、フローティングボディーや現実的なボディー抵抗により、SOI SE の閾値が影響を受ける事を示す。
- ボディーコンタクトのデバイスでコンタクトの抵抗をk Ω オーダーで変化させたTCADシミュレーションを行った。電源電圧 1.2 V の場合、アップセットの閾値は 0.6 から 1 MeV-cm²/mg以上まで変化することがわかった。このスケールのデバイスでは、ボディータイのSEU抑制に対する効果が限定的であることを示す。ただし、ボディーコンタクトを用いる閾値は陽子閾値を越えることができる。フローティングボディーの場合は、陽子閾値に達する。(ので脆弱性が明らかな問題となる。)
- 第II章で示したように、45 nm SOI SRAM の速度はとても早く、寄生バイポーラトランジスタがONになる前にバイアス電圧が下がる。(イオンが発生する電荷はそれほど増幅されない)
- フローティングボディーと寄生バイポーラの影響は(デバイスに常に電圧が与えられているので)DRAMやアナログへの応用でより顕著になると考えられる。

17

IV. MECHANISMS B. Energy Deposition in Thin Layers

- 普通SEUの影響はLETの関数として与えられる。LETは、ある粒子があるエネルギーをもって居るときの平均エネルギー損失に相当する。関与する体積が十分大きい(μm 程)場合はこの扱いはよい近似であるが、SOIのように非常に薄いデバイスでは(平均は同じであるが)平均値の回りの分布は、厚いシリコンと比較して、ずっと広いものになる。実際のエネルギー損失の測定では、LETが同じでもばらつきが非常に大きいことが報告されている。
- Fig. 9(a) は陽子によるシリコンの球(直径 d) 中でのエネルギー損失(単位長さ当たりの電子・ホール対に換算)の確率分布関数である。[16]. この図から分かるように、単位長さ当たりに生成する電子・ホール対はLETから計算される一定値ではなく、ある範囲に広がる。Fig. 9(b) で示すように電荷収集の体積が減ると、相対的な広がり大きくなる。その詳細は[16]. この効果で、LETから電荷への変換が影響を受け、断面積の推定にふらつき(不定性)の余地ができる。アップセットのエネルギー閾値がこの範囲にはいるときは、なおさらこの影響が重要になる。
- 45 nm 以下のSOIにおいては、セルの体積のほとんどが(アクティブなシリコンの回りの)絶縁体である。したがって、(電荷を計算する場合の)長さとは有感領域の定義がより不明確になりやすい。

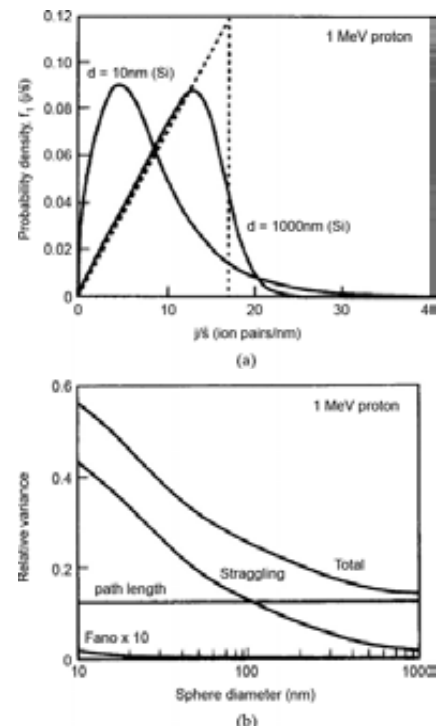


Fig. 9. (a) Probability density function for ionization of a 1 MeV proton in a silicon sphere of diameter= d and (b) relative variation in energy loss from a 1 MeV proton in a silicon sphere (from [16]).

18

結論

- 45 nm SOI など先進プロセスのトランジスタパラメータの変動(ばらつき)は回路デザインを難しくしている。この変動が 45 nm SOI SRAM の、陽子を含む $10 \text{ MeVcm}^2/\text{mg}$ 以下 LET領域に於けるSEU 応答の推定に重要な影響を与えている。
- 低LETでのSEU断面積はセルのSEU感度から推定できる。LET は定義上「平均値」を示しているが、SOIなどの微少領域では、エネルギー損失のばらつきが SEU 閾値に影響を与える。In soft parts では、閾値の電荷がエネルギー損失そのものに関係してくる。
- SEUの測定データからエラー頻度を計算する場合は、非常に小さい体積のSOIデバイスでのエネルギー損失が分布することと、閾値電荷にばらつきがあることを考慮するべきである。

Theoretical Correlation of Broad Spectrum Neutron Sources for Accelerated Soft Error Testing

ソフトエラー加速試験に使用される広域エネルギー中性子源の理論的相関性

Charles W. Slayman, *Member, IEEE*

[出典] IEEE Transaction on Nuclear Science, Vol 57, No.6, Dec 2010, pp3163-3168.

[対象デバイス] SRAM, DRAM

[実施設備] ANITA, LANSCE, TRIUMF, ISIS, RCNP

[照射線種及びエネルギー区分] neutron (~800MeV)

[単発反転現象または積算線量効果の区分] SEU, SEL

[実験または理論の区分] 理論

報告者: 新保 健一(日立)

Abstract

2/28

- ・世界各国に加速ソフトエラー試験用の広域スペクトル中性子源*が存在するが、どれも、1MeV~1GeVの範囲外で、地球上の中性子線スペクトルを正確に再現できていない。
- ・この研究の目的は、これらの中性子照射施設で、臨界電荷量の大小を表現する理論的なソフトエラー断面積を使用して、加速試験によるソフトエラー率測定の測定誤差を定量化する

*本来はSpallation neutron sourceと言うべき(JESD89A)

1. Introduction(1/5)

3/28

- ・半導体プロセスの進展に伴い、地球上における中性子ソフトエラーの問題が重要に。
- ・半導体の微細化によって、スタティック・ロジック要素(メモリセルやフリップフロップ)のデータ反転に必要な臨界電荷量は減少。
- ・これらの様々な回路素子のソフトエラー特性は、設計トレードオフを評価し、かつ製品信頼性を高めるために重要。

■ 研究の目的

広域スペクトル中性子源を使ったソフトエラー加速試験の相対精度評価

1. Introduction(2/5)

4/28

■ 自然界(地表および航空環境)における中性子スペクトルの標準値

(1) JEDEC標準 JESD89A

“Measurement and Reporting of Alpha Particle and Terrestrial Cosmic Ray -Induced Soft Errors in Semiconductor Devices”

- ・ニューヨーク (海拔0m)における高エネルギー中性子スペクトル(微分フラックス)

<近似式>

$$\begin{aligned} \phi_{NYC} = & 1.006 \cdot 10^{-6} e^{-0.35(\ln(E))^2 + 2.141 \ln(E)} \quad \text{※ } E: \text{中性子エネルギー [MeV]} \\ & + 1.011 \cdot 10^{-3} e^{-0.4106(\ln(E))^2 - 0.667 \ln(E)} \quad (1) \end{aligned}$$

(2) IEC技術仕様書 TS62396-1

“Process Management for Avionics—Atmospheric Radiation Effects”

- ・40000フィート、緯度45° における高エネルギー中性子スペクトル

<近似式> ※1974年 NASA Ames flight dataより導出

$$\begin{aligned} \phi_{40k \text{ ft}}(E) = & 0.346 E^{-0.922} \\ & \times e^{-0.152(\ln(E))^2} \quad \text{for } E < 300 \text{ MeV} \\ = & 340 E^{-2.2} \quad \text{for } E > 300 \text{ MeV.} \quad (2) \end{aligned}$$

1. Introduction(3/5)

5/28

■世界の広域スペクトル(白色)中性子源

- ・ソフトエアー加速試験に使用される広域スペクトルの核破砕中性子源は以下の5施設 (但し、どこの施設も1GeV以上の中性子は生成できない)

#	施設名	入射プロトンエネルギー E_{proton}	ターゲット
1	ANITA (スウェーデン・TSL・Uppsala大)	180MeV	タングステン
2	LANSCE (米・ロスアラモス研究所)	800MeV	〃
3	TRIUMF (カナダ・TRIUMF研究所)	500MeV	鉛、スチール
4	ISIS (英国・ラザフォード・アップルトン研究所)	800MeV	タングステン
5	RCNP (日本・阪大)	392MeV	鉛(タングステン)

ANITA: Atmospheric-like Neutrons from thlck Target
 LANSCE: Los Alamos. Neutron Science Center
 TRIUMF: TRI-University Meson Factory
 RCNP: Research Center for Nuclear Physic

1. Introduction(4/5)

6/28

■各施設の中性子スペクトル(1MeV～)比較 ※JEDECに規格化

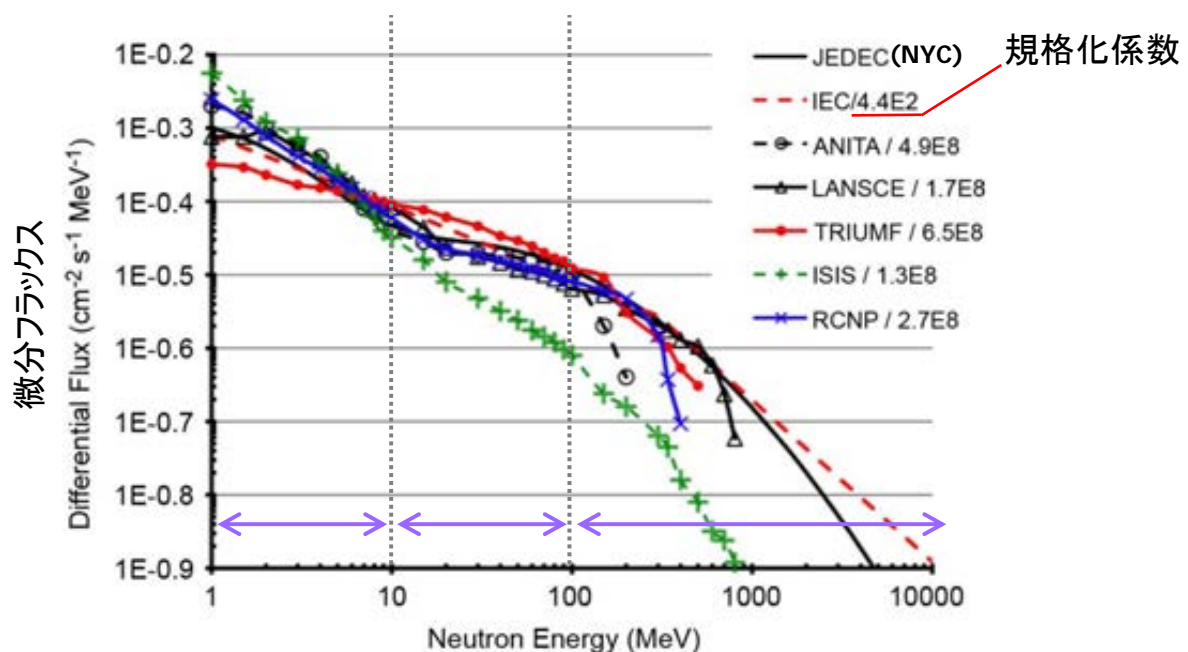


Fig.1

※ISISは、LANSCEと同じ800MeVだが、凝縮物質中の熱中性子散乱計測のために設計されており、ビームは水によって減衰

1. Introduction(5/5)

■エネルギー帯域で3つのセグメントに分けて中性子フラックスの配分で比較

Table.1

SOURCE	NEUTRON FLUX			
	1-10MeV	10-100MeV	>100MeV	Total >1MeV
	%	%	%	N cm ⁻² hr ⁻¹
JEDEC(NYC)	35%	35%	30%	2.0 10 ¹
IEC(40k ft)	35%	35%	29%	8.76 10 ³
ANITA	65%	28%	7%	9.87 10 ⁹
LANSCE	52%	26%	22%	3.40 10 ⁹
TRIUMF	24%	54%	21%	1.29 10 ¹⁰
ISIS	92%	7%	1%	2.5 10 ⁹
RCNP	57%	25%	18%	5.37 10 ⁹

- ・JEDECおよびIEC ⇒ 3つのセグメントにおいてほぼ均等
- ・ANITA ⇒ 低いエネルギー(1~10 MeV)が高め、高いエネルギー(>100MeV)は低め
- ・LANSCE, RCNP ⇒ 低いエネルギーが高め=全体的には最良のスペクトル
- ・TRIUMF ⇒ 中央のセグメントが高めだが、セグメント間のバランスが良い
- ・ISIS ⇒ 中間と高エネルギーのセグメントが低く、わずか8%しかない

2. Soft Error Cross Section(1/5)

■中性子ソフトエラー断面積の計算式

$$\sigma(E) = \frac{N}{\phi(E)T} \tag{3}$$

イベント数
時間[sec]

中性子フラックス[n/cm²・sec]

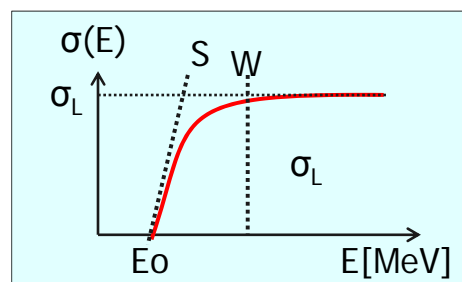
※提案者:伊部(日立)
いわゆるワイブルFitはEではなく、LETを使う

■ソフトエラー断面積は4パラメータのワイブル分布で近似できる(JESD89A)

$$\sigma(E) = \sigma_L \left(1 - e^{-[(E-E_0)/W]^S} \right) \tag{4}$$

Shapeパラメータ
Widthパラメータ

飽和ソフトエラー断面積 カットオフエネルギー



2. Soft Error Cross Section(2/5)

9/28

■SEU(シングルビットエラー)ソフトエラー断面積のワイブルパラメータ

Table.2

DRAMはE₀が大きい
=臨界電荷量(Q_{crit})が大きい

Device	Design Rule (nm)	σ_L (cm ²)	E ₀ (MeV)	W (MeV)	S	Ref.
DRAM	250	--	3	20	2	[11]
DRAM	220	--	12	60	3	[11]
SRAM	500	1.20E-13	2.5	14.87	2.03	[12]
SRAM	500	1.60E-14	2.5	22.09	0.91	[12]
SRAM	400	2.90E-13	2.5	16.74	0.64	[12]
SRAM	400	1.50E-13	2.5	21.48	0.59	[12]
SRAM	400	2.40E-14	2.5	28.52	1.04	[12]
SRAM	350	6.30E-14	2.5	15.34	1.44	[12]
SRAM	180	--	0.7	5.3	2.1	[11]
SRAM	180	--	4	16	1.6	[11]
SRAM	150	--	3.5	17	1.1	[11]
SRAM	130 *	--	0.2	18.9	1.4	[11]
SRAM	130	--	3.5	16	1.6	[11]

DRAMで 2~3
DRAMのWは 20~60MeVで変化

SRAMで 0.6~2

実際に1MeV以下でSEUが起きているかは不明

SRAMのWは5~30MeVで変化

*注:最小が130nm(SRAM)なのでやや古い

2. Soft Error Cross Section(3/5)

10/28

■ソフトエラー断面積の例

-Table2の4パラメータの最大/最小値を使ってプロット
(※飽和ソフトエラー断面積で規格化)

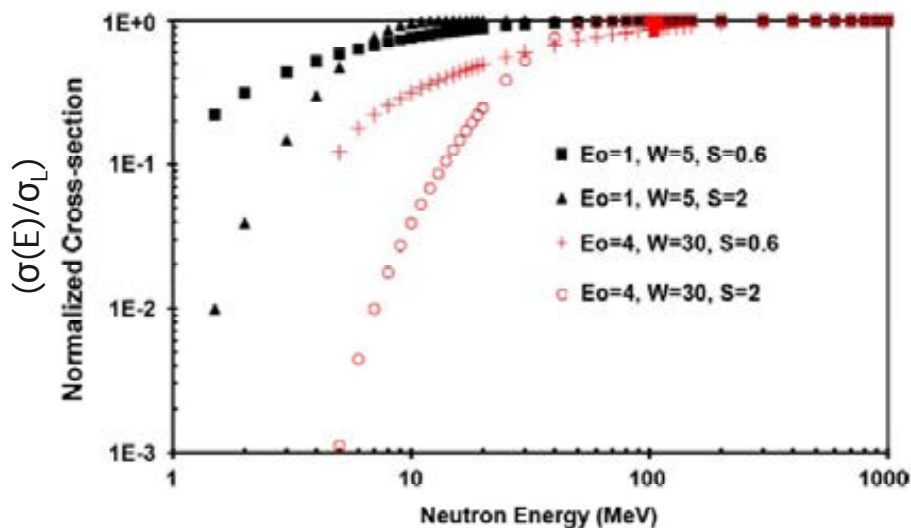


Fig.2 SRAMのSEU断面積

2. Soft Error Cross Section(4/5)

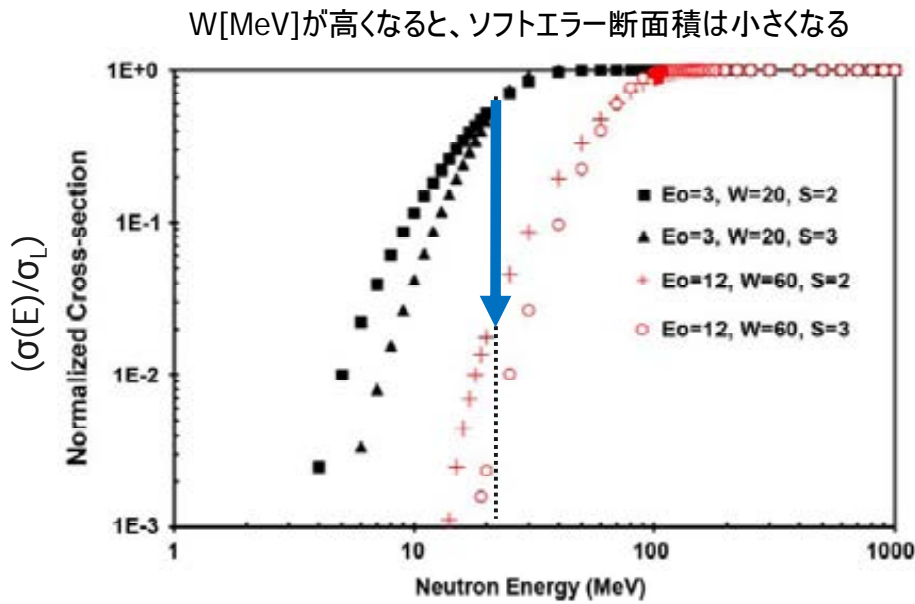


Fig.3 DRAMのSEU断面積

2. Soft Error Cross Section(5/5)

・カットオフエネルギー(E_0)が大きい($> 40\text{MeV}$)
 =SELが起きるのに必要な臨界電荷量(Q_{crit})が大きい

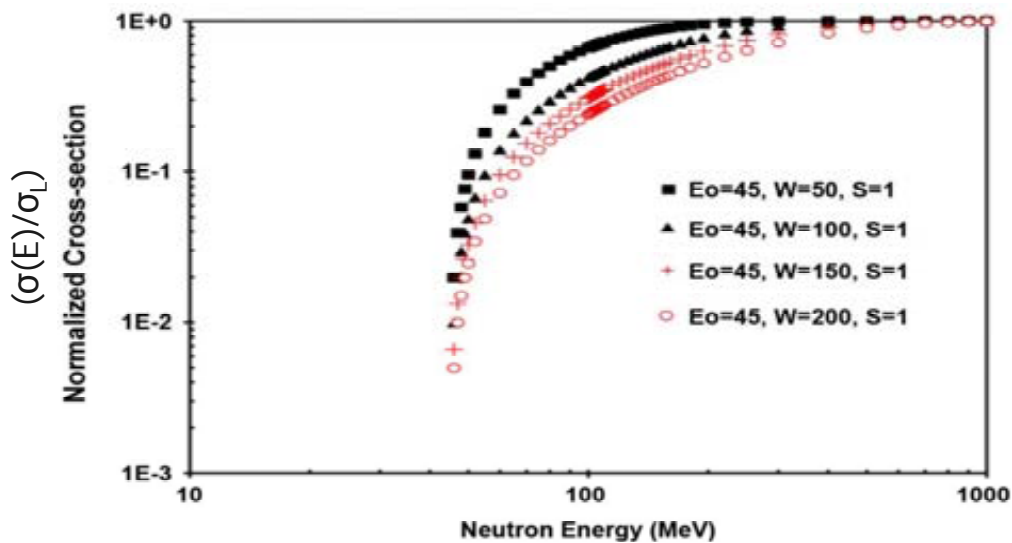


Fig.4 SRAM(0.18um/0.35um 4Mbit)のSEL断面積

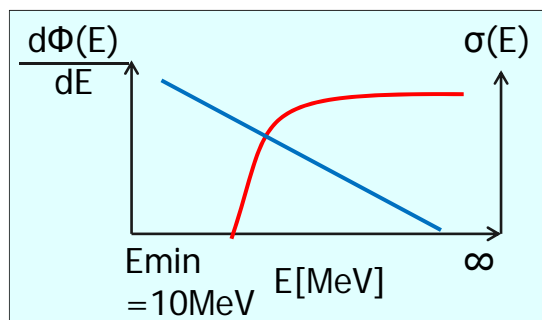
3. SER Calculation(1/3)

■ソフトエラー率の計算式

$$R_{\text{spec}} = \int_{E_{\text{min}}}^{\infty} \sigma(E) \phi_{\text{spec}}(E) dE \quad (5)$$

E_{min} : ソフトエラーを引き起こすための最小エネルギー
 $\sigma(E)$: ソフトエラー断面積
 $\phi_{\text{spec}}(E)$: 自然界の中性子フラックス* (JEDEC or IEC)

JEDEC, IEC ともに $E_{\text{min}}=10\text{MeV}^{**}$ と定義



* 正確には
中性子微分フラックス
 $\frac{d\phi_{\text{spec}}(E)}{dE}$

** 10MeVとした
物理的根拠は無い

3. SER Calculation(2/3)

■ソフトエラー加速試験におけるソフトエラー率の計算式

$$R_{\text{meas}} = \frac{1}{A} \int_{E_{\text{min}}}^{\infty} \sigma(E) \phi_{\text{acc}}(E) dE \quad (6)$$

A : 加速係数
 $\sigma(E)$: ソフトエラー断面積
 $\phi_{\text{acc}}(E)$: 加速中中性子微分フラックス (施設によって異なる)

ここで、加速係数は、中性子微分フラックスの比で求める

$$A = \frac{\int_{E_{\text{min}}}^{\infty} \phi_{\text{acc}}(E) dE}{\int_{E_{\text{min}}}^{\infty} \phi_{\text{spec}}(E) dE} \quad (7)$$

$\int_{E_{\text{min}}}^{\infty} \phi_{\text{acc}}(E) dE$: 加速中中性子微分フラックス
 $\int_{E_{\text{min}}}^{\infty} \phi_{\text{spec}}(E) dE$: 自然界の中性子微分フラックス (JEDEC or IEC)

E _{min}	Neutron Flux [n/cm ² ·hr]	
	JEDEC	IEC
10MeV	13	5,600
1MeV	20	8,830
	× 1.54	× 1.57

3. SER Calculation(3/3)

■ソフトウェア加速試験の誤差(SER比)を以下の式で定義

- ワイブルパラメータ(E_0, W, S)に依存
- 加速試験値が標準に比べてどれだけ正確かを示す

加速フラックスで求めた
ソフトウェア率

$$\text{SER ratio} = \frac{R_{\text{meas}}}{R_{\text{spec}}} = \frac{\int_{E_{\text{min}}}^{\infty} \sigma(E)\phi_{\text{acc}}(E)dE}{A \int_{E_{\text{min}}}^{\infty} \sigma(E)\phi_{\text{spec}}(E)dE} \quad (8)$$

標準フラックスで求めた
ソフトウェア率

SER ratio? A=1.0のとき、標準=加速試験
A>1.0のとき、標準に比べ、加速試験のSERは高い
A<1.0の時、標準に比べ、加速試験のSERは低い

4. Discussion(1/8)

■SER比の計算(1) ~ **SRAM**($E_0 = E_{\text{min}} = 1\text{MeV}, S = 2$)、JEDEC基準=1.0とした場合

- ・Widthパラメータを変化させたときのSER比をプロット(ここではJEDEC標準を1.0とする)
 - ・Wはデバイスや装置によって異なる
 - ・>1.0の場合、加速試験のSERが高め、<1.0の場合、加速試験のSERが低め
- ※ $E_{\text{min}} = 1\text{MeV}$ とした理由は1-10MeVの影響をみるため(Table1を活かすため)と思われる

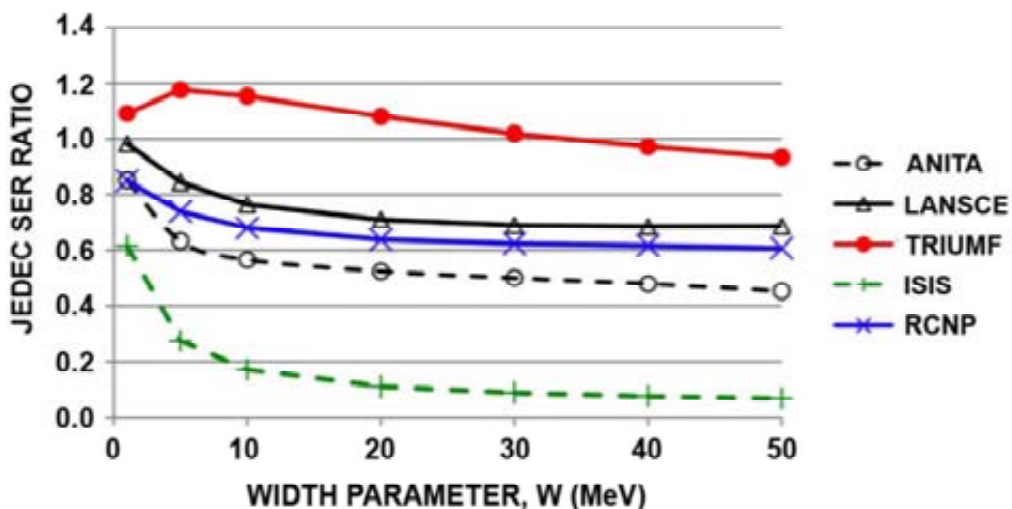


Fig.5

4. Discussion(1/8)

17/28

■SER比の計算(1)～SRAM($E_0=E_{min}=1MeV, S=2$)、JEDEC基準=1.0とした場合

LANSCCE,RCNPIは、低エネルギー側の高めのフラックスが中間、高エネルギー側を補うため、Wが小さい場合に誤差が小さく1.0に近づく。
Wが大きくなると、低エネルギー側のフラックスが効かなくなるため誤差が40%程度まで大きくなる

TRIUMFは、中間エネルギー帯(10-100MeV)のフラックスが高めのため、Wが小さい場合に、標準に比べてエラー率は大きくなる(約1.2倍)
Wが大きい場合に1.0に近づく

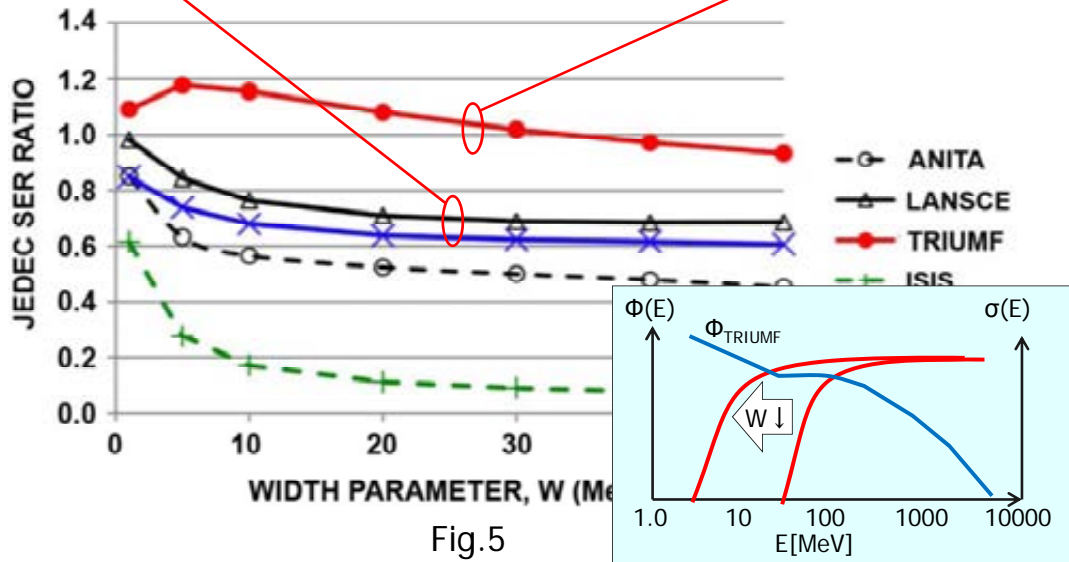


Fig.5

4. Discussion(1/8)

18/28

■SER比の計算(1)～SRAM($E_0=E_{min}=1MeV, S=2$)、JEDEC基準=1.0とした場合

ANITAは、LANSCCE,RCNPIに比べ、高エネルギー帯(>100MeV)のフラックスが急激に小さくなる特性のため、Wが小さい場合、JEDECに比べて15%以内と良いが、Wが大きい場合、エラー率は60%(SER Ratio≒0.4)まで増加する

ISISは、低エネルギー帯のフラックスが高いため、Wが小さい場合に、JEDECに比べて40%以内であるが、Wが大きい場合、90%まで誤差が大きくなる

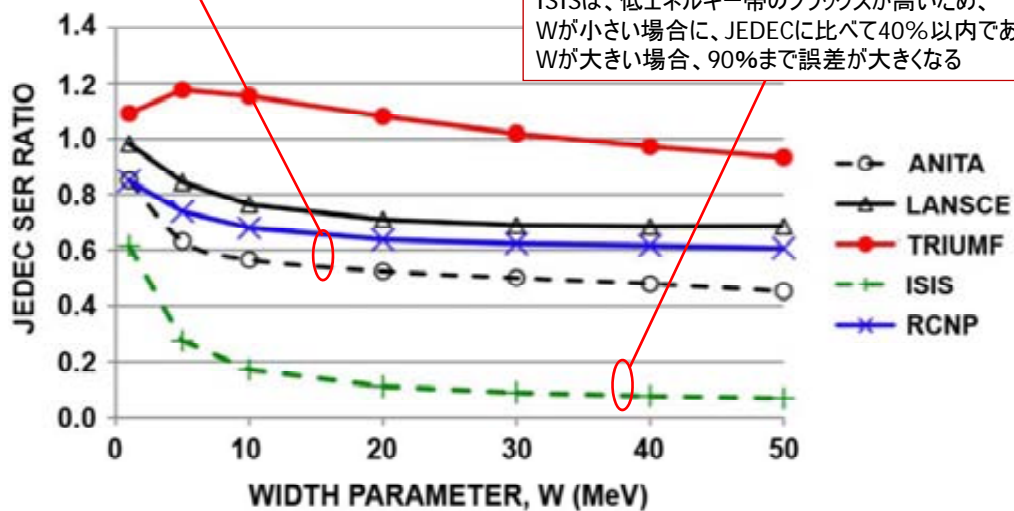


Fig.5

4. Discussion(3/7)

■SER比の計算(2)～SRAM (Eo=Emin=1MeV, S=2)、IEC=1.0とした場合

・IECに対するSER比、Fig.5とほぼ同じ傾向

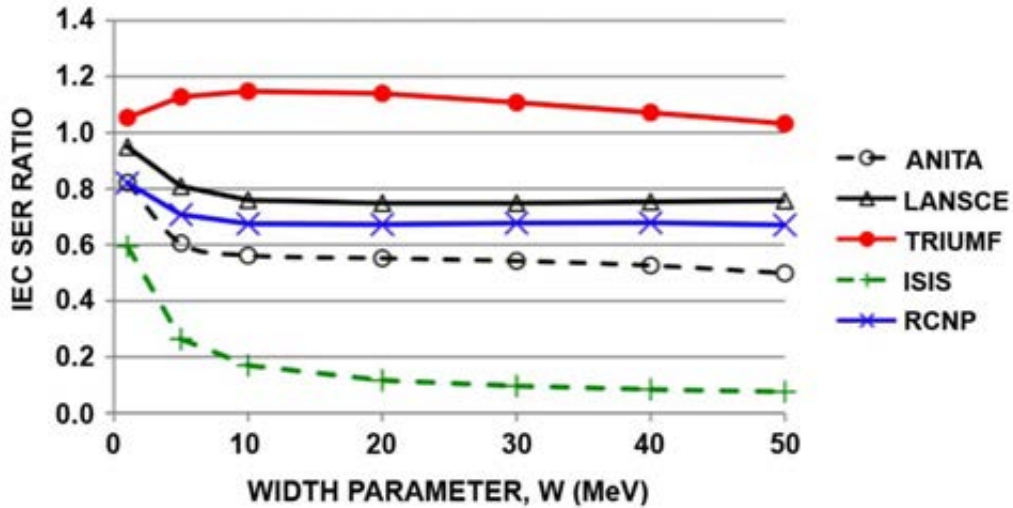


Fig.6

4. Discussion(4/7)

■SER比の計算(3)～DRAM (Emin=10MeV, Eo=12MeV, S=3)、JEDEC基準=1.0とした場合

・ISIS以外の4つの施設では広い範囲のWで非常に良く一致(おおよそ20%以内)

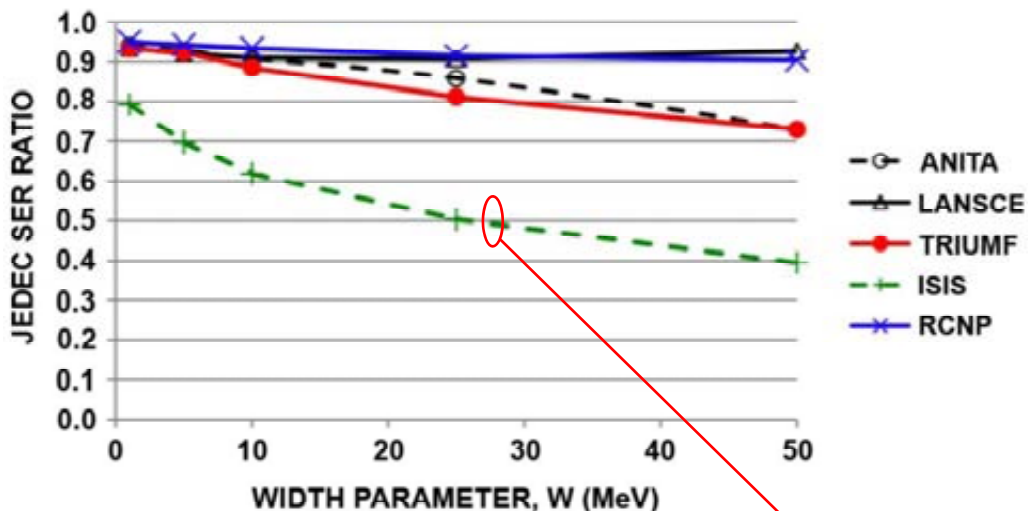


Fig.7

ISISは、低エネルギー帯のフラックスが高いため、Wが小さい場合に、JEDECに比べて40%以内であるが、Wが大きい場合、90%まで誤差が大きくなる

4. Discussion(5/7)

21/28

■SER比の計算(4)～DRAM (Emin=10MeV, Eo=12MeV, S=3)、IEC基準の場合

・IECに対するSER比、Fig.6とほぼ同じ

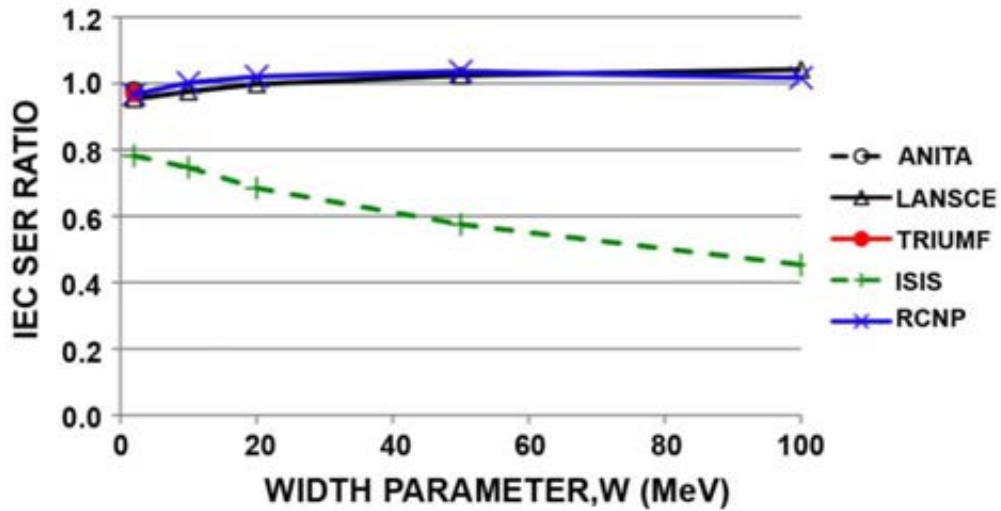


Fig.8

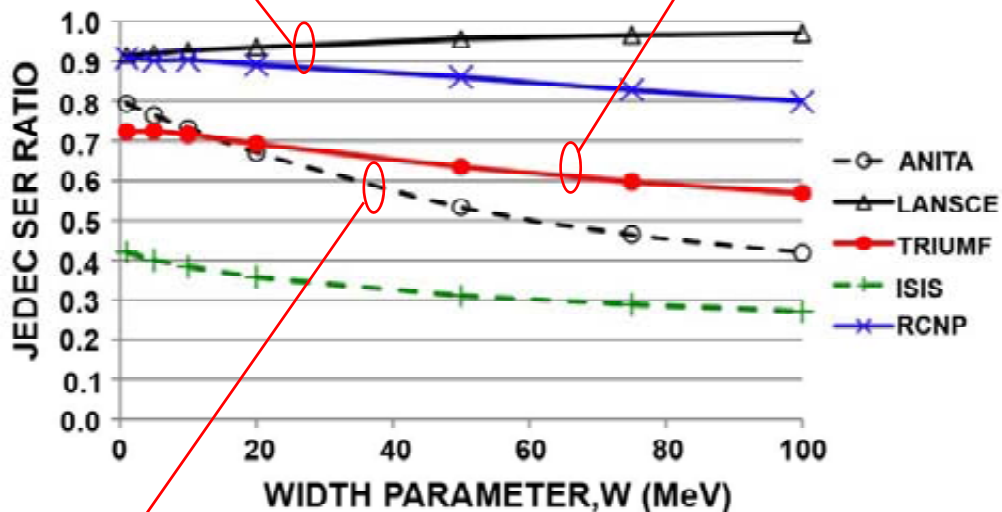
4. Discussion(6/7)

22/28

■SER比の計算(5)～SRAM-SEL (Emin=10MeV, Eo=45MeV, S=1)、JEDEC基準の場合

LANSCE, RCNPは広い範囲のWで20%以内の誤差

TRIUMFは、Wが大きい場合に誤差40%



ANITAは、低エネルギー帯のフラックスが高いため、Wが小さい場合に、JEDECに比べて20%以内であるが、Wが大きい場合、60%まで誤差が大きくなる

Fig.9

4. Discussion(7/7)

23/28

■SER比の計算(6)～SRAM-SEL ($E_{min}=10\text{MeV}$, $E_o=45\text{MeV}$, $S=1$)、
IEC基準の場合

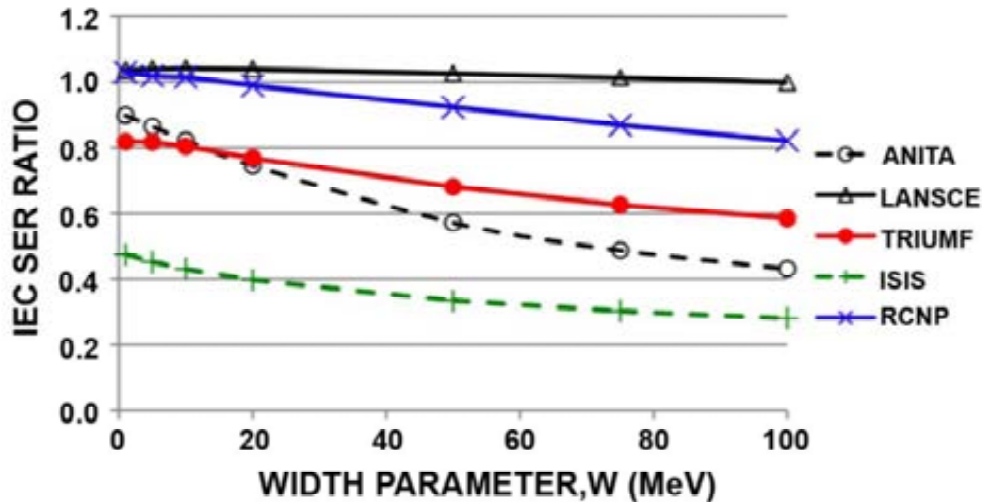


Fig.10

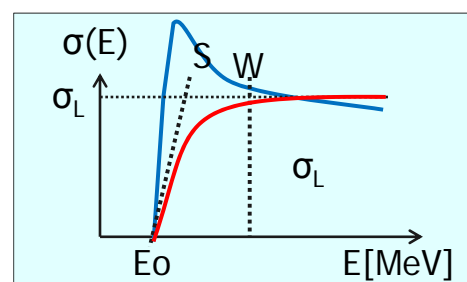
5. Further Work(1/2)

24/28

(1)ソフトエラー断面積のワイブル近似

- ・多くの引用文献で中性子ソフトエラー断面積のフィッティングにワイブル近似を使用している一方、ワイブル近似が適切ではないことを示すデータも多い。
- ・伊部(日立)は、130nm以降ではエラー断面積の形が、飽和するような形から指数関数的な形状(下図)に変わると推測している。
- ・一方、Platt氏の研究では、やはりワイブル分析によって本研究と同様のSER比率が推定できることを示している。

Widthパラメータ



5. Further Work(2/2)

25/28

(2) 中性子スペクトルの最小エネルギーE_{min}

- ・いくつかの研究で、10MeVより下の範囲で0以上の中性子ソフトエラー断面積が測定されている。
- ・つまり、E₀は10MeV以下であり、JEDECとIECの両標準で、E_{min}の定義を改訂する必要がある。
- ・E_{min}を1MeVにすると、自然界の中性子フラックスは約1.55倍になる。
- ・中性子源は両標準と比較して、1～10MeVの範囲でフラックスが高めであり、E_{min}を1MeVにするとフルエンスは
ANITA: 2.86倍、LANSCE: 2.08倍、ISIS: 12.8倍、RCNP: 2.33倍
に増加する。(※TRIUMFは中間エネルギー帯のフラックスが支配的なため1.32倍程度)
→つまり、加速係数が大きくなり、ソフトエラー率は小さくなる。
- ・この問題を避けるために、両標準では低いエネルギー帯(1～10MeV)における偏差を補正する手順を開発する必要がある。

6. Conclusion(1/2)

26/28

- ・本研究の目的は、標準スペクトル(JESD89A/TS-32396-1)からの誤差を用いて広域スペクトル中性子照射施設(5ヶ所)のソフトエラー加速試験の測定誤差を定量化することである。
- ・中性子ソフトエラー断面積のエネルギー範囲は、2つの標準(JEDEC, IEC)からの誤差を特徴づけるために用いた。
- ・Fig.5～10に示す結果より、ソフトエラー断面積の広い範囲にわたるワイブルフィッティングで全ての施設で非常に良い結果となる。
※ISISの場合はSERが10倍ほど低くなる。
- ・範囲で見た場合、JEDECとIECの両標準から予測されるソフトエラー率に対して50%以内の誤差を持つ。

6. Conclusion(2/2)

27/28

- ・ただし、ロジックおよびメモリ構成要素のデレーティング係数の複雑さのため、システムレベルのソフトエラー率を詳細に求める手法の不確実性を考慮したとき、これらは十分妥当な結果である。
- ・例えば、100%の精度で測定するために、エラー率を低減するための設計に十分時間が取れないより、50%の精度でも手早くソフトエラー率を測定し、必要な設計時間をとるほうが恐らく重要である。
- ・ICテクノロジーのスケーリングによる照射試験の増加に対し、この理論研究は、施設のうちの4つは構成要素レベルのソフトエラー特性を適切に提供できることを示す。また、ISISについても特定の条件においては妥当な結果を得ることができる。
- ・デバイスの微細化によってエラー断面積が変化した場合や、Eminが10MeV以下に下げられた場合、5つの施設が同じように使えるかどうかは今後検討が必要である。

以上

28/28

■ 中国初の核破砕中性子源

- ・広東省東莞市で中国最大の国家重大科学インフラ「中国核破砕中性子源」(CSNS)
- ・2017年前後に竣工予定



引用: 人民網日本語版 2011.11.07

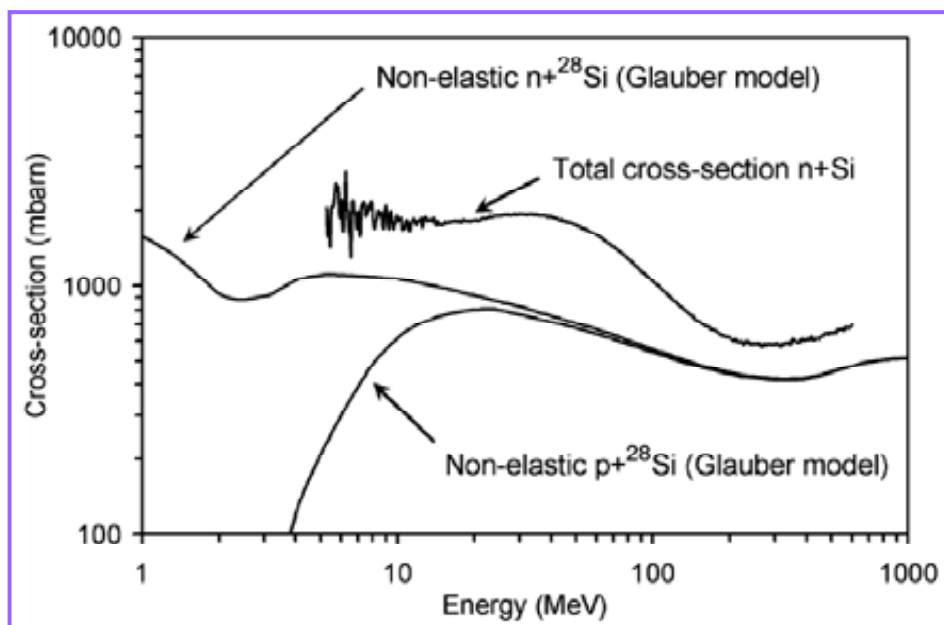


Fig. Nonelastic neutron and proton cross sections from Glauber model. Neutron total cross section is given for natural silicon but there is no significant difference between Si and natural silicon.



【論文】

IEEE Transaction on Nuclear Science, Vol.57, No.6, December 2010

Charge Collection in Power MOSFETs for SEB Characterization – Evidence of Energy Effects

V. Ferlet-Carlos , F. Stuesson , A. Zadeh , G. Santin , P. Truscott , C. Poivey , J. R. Schwank ,
D. Peyre , C. Binois , T. Beutier , A. Luu , M. Poizat , G. Chaumont , R. Harboe-Sorensen ,
F. Bezerra , R. Ecoffet

報告日: 2011年 11月 25日

報告者:

富士電機㈱

電子デバイス事業本部 松本工場 技術統括部

ディスクリート・IC技術部 ディスクリートデバイスGr

北村 明夫

1

FE Fuji Electric Co., Ltd.

Electronic Devices Business Headquarters



abstract

【abstract】

Charge Collectionは縦型パワーMOSの照射イオンエネルギーに対するSEB率の統計的応答を分析する非破壊手法である。

パワーMOSのドレイン層を形成するエピタキシャル層は厚いため、低エネルギーでは、エピタキシャル層中で減衰し、Charge Collection量が減少、SEB率を過小評価してしまう。(SEB耐量が高く出してしまう)

高エネルギーでは、ソースワイヤが大きなシャドウ効果を示す。この効果によりCharge Collection量は増加する。

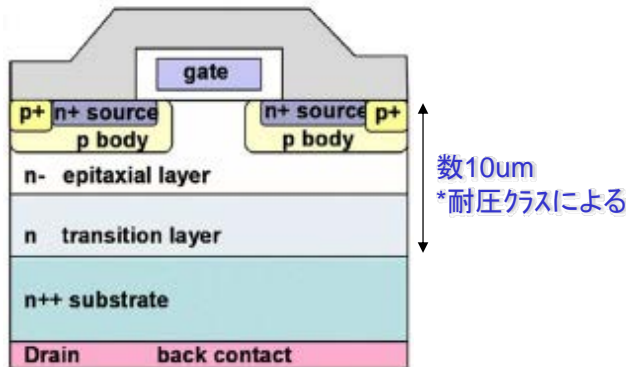
パワーMOSでは上記双方を考慮する必要がある。

2

FE Fuji Electric Co., Ltd.

Electronic Devices Business Headquarters

パワーMOSFET断面構造



パワーMOSFETチップ写真

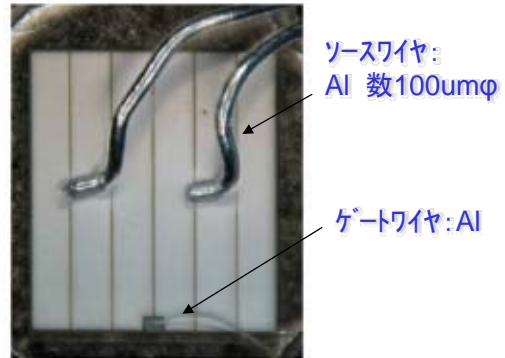


TABLE I
MEASURED DEVICES: N-CHANNEL, 200-V VERTICAL POWER MOSFETS.
THE DIAMETERS OF THE SOURCE AND GATE ALUMINIUM
WIRE BONDS ARE INDICATED

Device	Manufacturer	Packaging	Al wire bond Ø		シリーズ	定格	n- epi厚	n trans厚	Si上層膜厚
			Gate	Source					
IRHNA57260SE	International Rectifier	SMD-2	150 μm	500 μm	R5 (Gen.5) Rad-hard	200V	20um	20um	6um/ゲート上 4um/ソース上
HN2S	STMicro-electronics	TO3	125 μm	500 μm	*** Rad-hard	200V	20um	20um	6um/ゲート上 4um/ソース上
MM2G	STMicro-electronics	Thin PCB film	60 μm	125 μm	COTS Not hard	200V	20um	20um	6um/ゲート上 4um/ソース上

- ◆MIL-STD-750E method 1080 Notice 3 :SEB,SEGRに関する規程
…十分なガイダンスを提供していない。
- ◆パワーMOSメーカー(IR社)のデータシート
…低エネルギーデータに基づいているため正確ではない。

【最近の研究】

- ◆[10]-[12]:SEGRワーストケース試験条件を提示。数MeV/nucleonをワーストケースとして推奨。Braggピーク(エネルギー極大部)はエピ層と高濃度基板の界面近辺に存在する。SEBIについても同様とのことだが、実験結果は示されていない。
- ◆[13]-[16]:SEB,SEGRのワーストケースは高エネルギーのケースである。正しいSEE試験のためには十分なイオン侵入深さが必要。特に130Vクラス以上のパワーMOSFETでは、range(イオン侵入深さ)が短い場合、SEE耐量を過大評価してしまう。
- ◆[17]-[22]: Charge Collectionの手法はDiode、MOSキャパシタ、SRAMなど既に使用されている。久保山氏はパワーMOSでのSEBに至るメカニズムをCharge Collectionの手法を用いて導いている。

以上を踏まえて、本研究では、Charge Collectionを用いて低エネルギー、高エネルギーでの実験結果を示すとともに、SEB耐量のワーストケース試験条件に対する有意義な情報を提示する。

FE イオンビーム特性
e-Front runners

- ◆イオン種とイオンビームエネルギーによってLETは変化する。
- ◆イオン種が異なっても、エネルギーを最適にすることで同一の表面LETを得られる。

TABLE II
ION BEAM CHARACTERISTICS

Facility	Ion	Energy (MeV/a)	LET @ DUT surface (MeVcm ² /mg)	Range (μm)
GSI	²³⁸ U	965	15	44238
GANIL	¹²⁹ Xe	46.6	26.7	665
		24.5	40	275
		13.1	53.5	129
RADEF	¹³¹ Xe	9.3	60	90
UCL	¹³² Xe	3.48	68	40
GANIL	⁸⁶ Kr	55.7	11.3	1140
		40.3	14.2	690
RADEF	⁴⁰ Ar	14.0	26.7	160
RADEF	⁴⁰ Ar	9.3	11	120

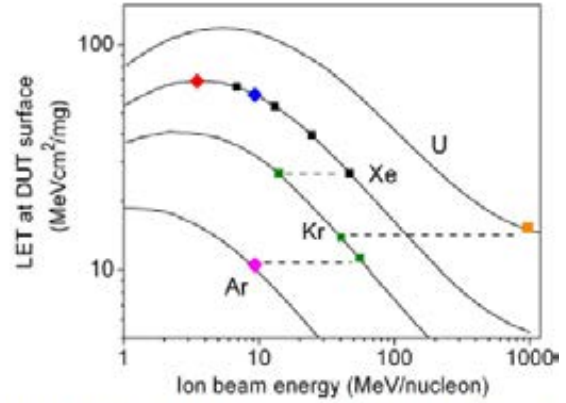


Fig. 2. Ion LET at the DUT surface versus energy (expressed in MeV/nucleon) used in this study. All square points correspond to tests in air; either at GANIL (Kr and Xe) or GSI (Uranium). Diamond points correspond to test in vacuum at RADEF and UCL.

FE イオンビーム特性
e-Front runners

- ◆パワーMOSのSEE試験で一般的に使用されているのはXe 3.48MeV/aであるが、このBraggピークはほぼデバイス表面で、その後急激にLETは減少。平均LETとしては、68MeVcm²/mg以下になる。

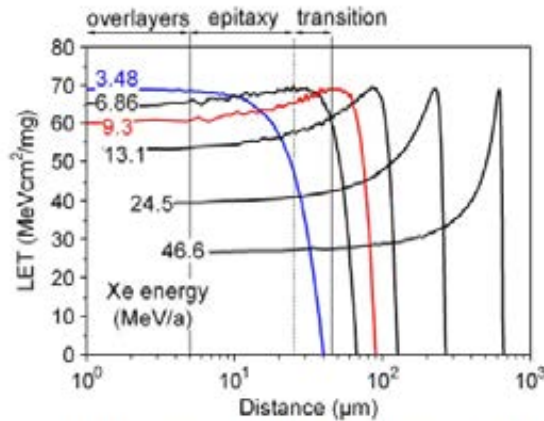


Fig. 3. Ion LET versus range in silicon for the Xe ions used in this study. The 5-μm overlayers, 20-μm epitaxial layer, and 20-μm transition layer (specific to the HN2S) are represented.

FE Charge Collectionシステム
e-Front runners

- ◆ サンプルのドレインの微小電流をアンプで増幅し、オシロスコープで電圧の経時変化として観測。
- ◆ 照射試験時、ドレインには所定の電圧を印加。ゲート電圧はソース同電位とし、OFF状態。
- ◆ 図5は実験例。20V印加時の累積断面 vs Collected Charge。この状態はSEBには至っていない。
- ◆ 2pC以下はソース領域、それ以上はゲート領域の反応に相当。Flux:50ion/cm²/s。

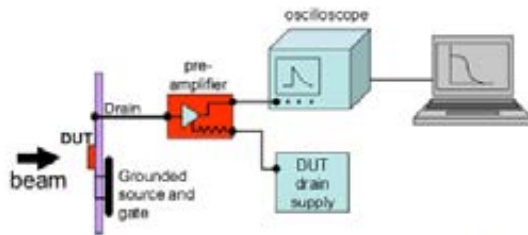


Fig. 4. Schematic of the experimental setup used for the charge collection experiments on power MOSFETs. The charge sensitive preamplifier is protected by a large internal resistor (100 MΩ) in the DUT supply path.

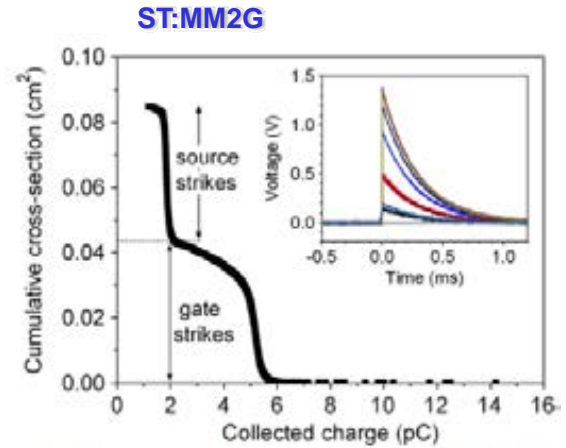


Fig. 5. Cumulative cross section versus collected charge of the MM2G transistor at a drain voltage of 20 V, under 46.6 MeV/a ¹²⁹Xe irradiation. The inset gives examples of voltage transients measured at the output of the charge sensitive pre-amplifier.

FE SEB現象
e-Front runners

- ◆ 55V印加時の過渡特性。何発かのイオンでSEBが発生している。
- ◆ デバイスの最も敏感な部分(ゲート下のp-bodyネック部)にイオンが打ち込まれるとSEBが発生。

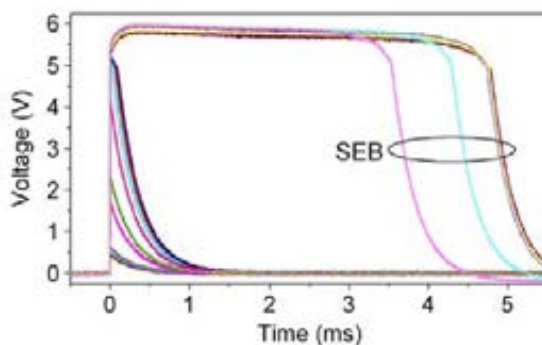
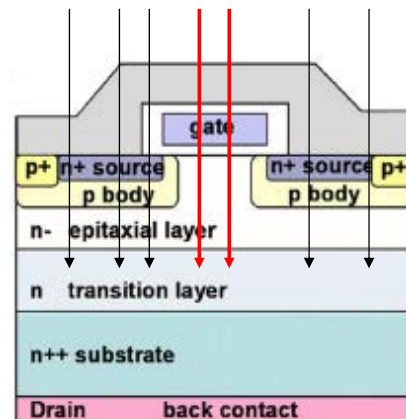


Fig. 6. Charge collection transient signals measured at the output of the charge sensitive pre-amplifier in the MM2G transistor at 55 V, under 3.48 MeV/a Xe irradiation.



FE Collected Chargeのエネルギー依存性 Xe
e-Front runners

- ◆縦軸は規格化された累積断面積(logスケール)。20V印加時。
- ◆Collected Chargeは46.6MeV/aで最も少なく、6.86MeV/aで極大、3.48MeV/aで減少する。
- ◆LETの依存性とリンク。

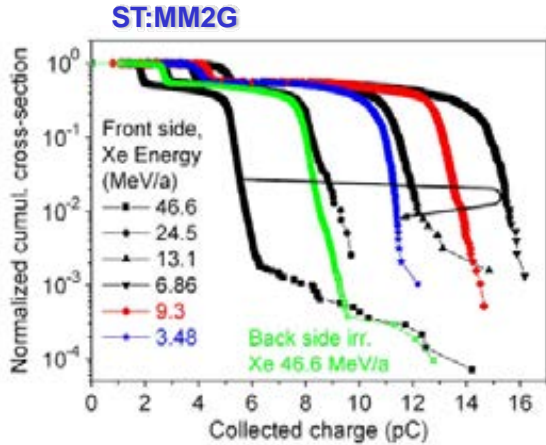


Fig. 7. Normalized cumulative cross section versus collected charge for the MM2G transistor biased at 20 V. The MM2G is irradiated front-side in normal incidence with Xe ions at different energies at GANIL (black full symbols), RADEF (red full diamonds) and UCL (blue stars). The MM2G has also been irradiated back side at the highest Xe ion energy (46.6 MeV/a, green open squares).

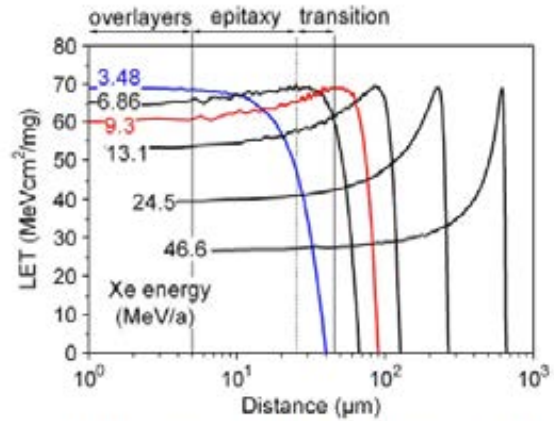


Fig. 3. Ion LET versus range in silicon for the Xe ions used in this study. The 5- μ m overlayers, 20- μ m epitaxial layer, and 20- μ m transition layer (specific to the HN2S) are represented.

FE Collected Charge デバイス比較
e-Front runners

- ◆IR品は2段階分布(ソース領域strike+ゲート領域strike)がなく、1段階。
- ◆IR品のCollected Charge量が非常に少ない。Epi構造、濃度が異なるのであろう。
- ◆IR品は9.3MeV/a、ST品は6.86MeV/aがワーストケース。Si上膜厚の差であろう?

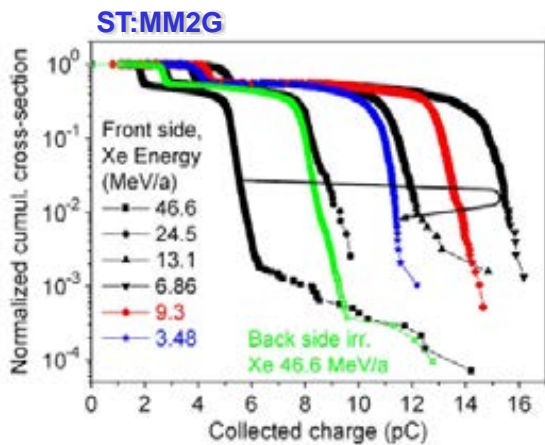


Fig. 7. Normalized cumulative cross section versus collected charge for the MM2G transistor biased at 20 V. The MM2G is irradiated front-side in normal incidence with Xe ions at different energies at GANIL (black full symbols), RADEF (red full diamonds) and UCL (blue stars). The MM2G has also been irradiated back side at the highest Xe ion energy (46.6 MeV/a, green open squares).

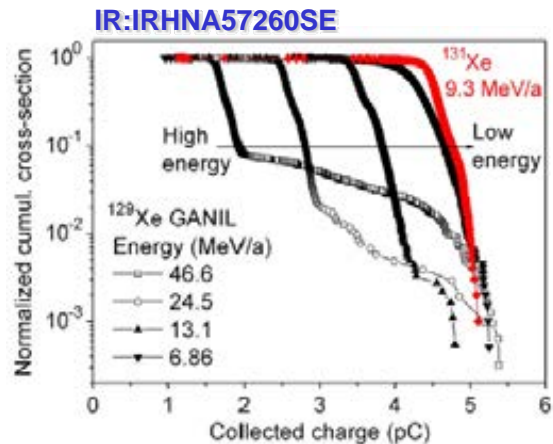


Fig. 10. Normalized cumulative cross section versus collected charge for the IR transistor under xenon irradiation at GANIL as a function of energy (from the primary energy 46.6 MeV/amu down to 6.86 MeV/amu), and at RADEF (9.3 MeV/a), for a drain voltage of 20 V.

Collected Charge デバイス比較

- ◆本グラフは規格化された累積断面積を微分したものの。発生頻度を現す。
- ◆両者とも6.86MeV/a以下ではグラフがブロードに変化。n-epi層、n-trans層内で減衰するため。
- ◆IR品のほうが高エネルギーでの分布ばらつきが大きい。ワイヤボンディングの影響だろう。

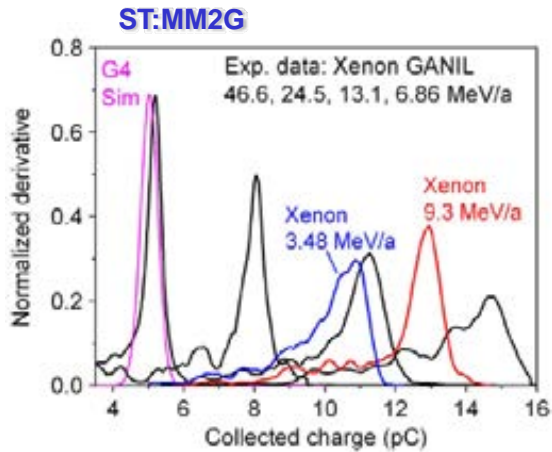


Fig. 9. Derivative of the cumulative cross section in Fig. 7 for front side irradiations of the MM2G transistor. Geant4 simulations are superimposed for the highest energy (46.6 MeV/a).

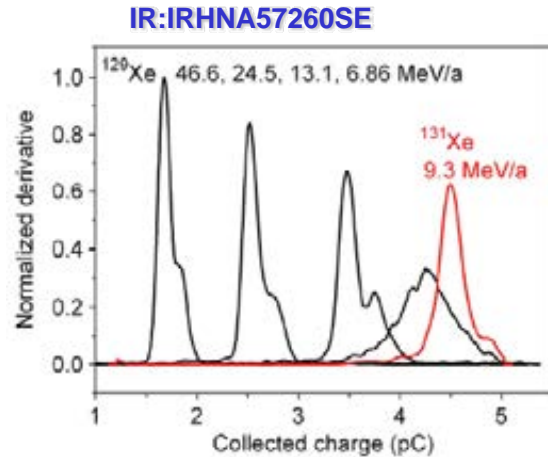


Fig. 11. Derivative of the cumulative cross section of the IR transistor from Fig. 10.

ボンディングワイヤのシャドウ効果

- ◆高エネルギー下(46.6MeV/a, range 665um)では、ボンディングワイヤのシャドウ効果により Collected Chargeは高めにシフトすることがシミュレーションでも確認できた。
- ◆しかし、原因はわからない。ボンディングワイヤによりエネルギーが減衰させられ、Si内の反応層に影響するものと思われる。

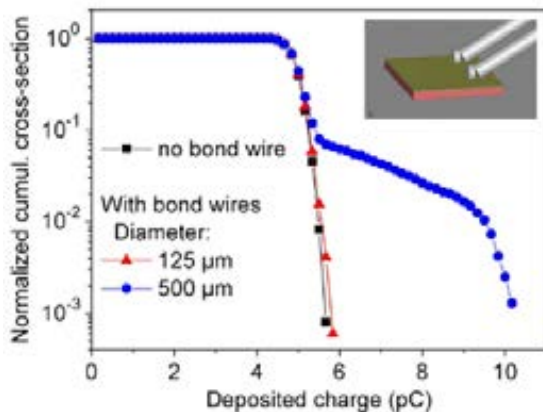


Fig. 12. Geant4 simulations, 46.6MeV/a ¹²⁰Xe. The angle of the two bond wires over the die is 30°. The inset represents the simulated structure (5 × 5 mm² area, 5 μm thick SiO₂ overlayers, 20 μm thick sensitive layer, 300 μm of silicon substrate). The bond wires are in aluminium.

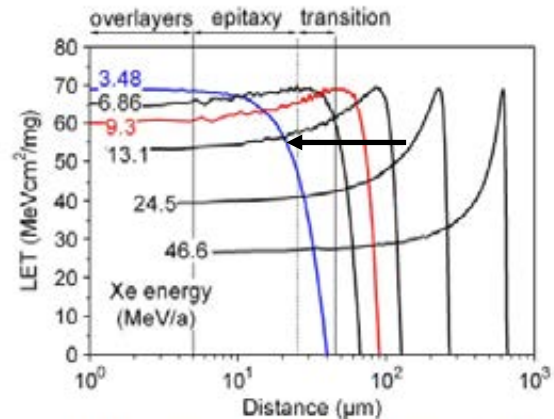


Fig. 3. Ion LET versus range in silicon for the Xe ions used in this study. The 5-μm overlayers, 20-μm epitaxial layer, and 20-μm transition layer (specific to the HN2S) are represented.

FE ボンディングワイヤのシャドウ効果
e-Front runners

- ◆Surface LET同一での比較。
- ◆Kr 55.7(1140um) , Kr 40.3(690um) , Xe 46.6(665um) MeV/aにてシャドウ効果を確認。アルミワイヤ径500umに近いrangeで影響を受ける。
- ◆rangeがワイヤ径より小さい、または大きすぎれば影響はなくなる。

TABLE II
ION BEAM CHARACTERISTICS

Facility	Ion	Energy (MeV/a)	LET @ DUT surface (MeVcm ² /mg)	Range (um)
GSI	²³⁵ U	965	15	44238
		46.6	26.7	665
GANIL	¹³⁶ Xe	24.5	40	275
		13.1	53.5	129
		6.86	65	65
RADEF	¹³⁶ Xe	9.3	60	90
UCL	¹³⁶ Xe	3.48	68	40
GANIL	⁸⁶ Kr	55.7	11.3	1140
		40.3	14.2	690
		14.0	26.7	160
RADEF	⁴⁰ Ar	9.3	11	120

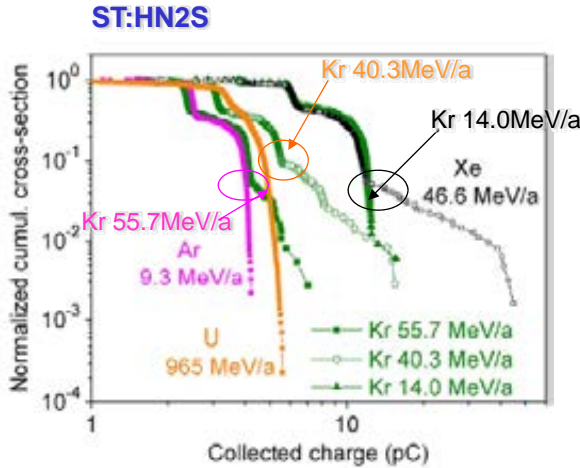


Fig. 17. Normalized cumulative distribution of the collected charge in the HN2S transistor for different beam conditions and at a drain voltage of 200 V.

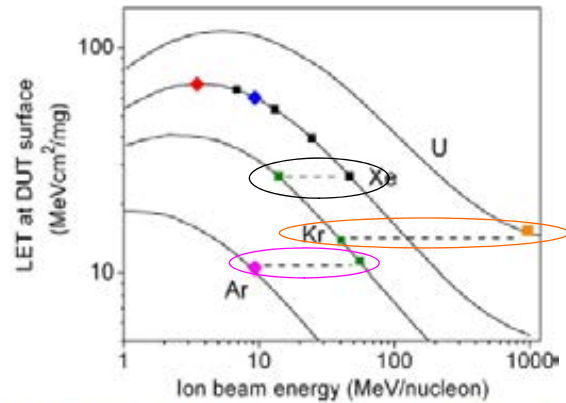


Fig. 2. Ion LET at the DUT surface versus energy (expressed in MeV/nucleon) used in this study. All square points correspond to tests in air, either at GANIL (Kr and Xe) or GSI (Uranium). Diamond points correspond to test in vacuum at RADEF and UCL.

FE ボンディングワイヤのシャドウ効果
e-Front runners

- ◆シミュレーションでもシャドウ効果は確認できた。
- ◆Krのシャドウ効果によるCollected Charge量は22pCに収束される。

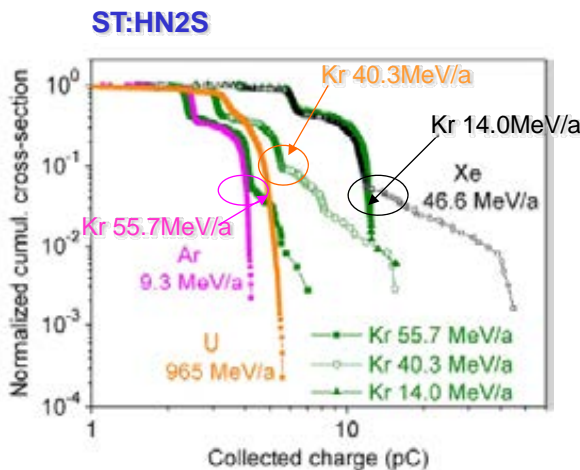


Fig. 17. Normalized cumulative distribution of the collected charge in the HN2S transistor for different beam conditions and at a drain voltage of 200 V.

Geant4 Simulation ST:HN2S

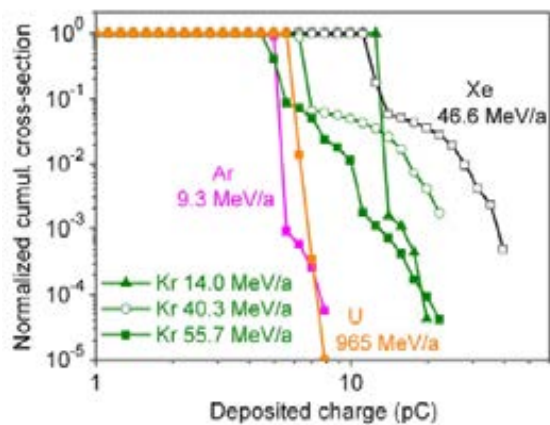


Fig. 18. Geant4 simulation of the deposited charge in the sensitive volume (epitaxial layer and buffer) of the HN2S transistor for the same beam conditions as in Fig. 17.

FE **低エネルギー下のCollected Charge**
e-Front runners

- ◆低エネルギー下ではシャドウ効果は見られない？ LETが非常に高いため。
- ◆どのバイアス条件でも9.3MeV/aのほうがCollected Charge量は多い。
- ◆低エネルギーほどSEBが起りやすくなるとはいえない。
- ◆照射角度によってCollected Charge量は変化する。
* MIL-STD-750Eでは照射角度変更は認められていない。
- ◆低電圧印加:ソース領域が反応。“effected LET”概念(CMOSで使われる)が適用されるようだ。
- ◆高電圧印加:ゲート領域が反応。寄生バイポーラ動作が影響。角度により抑制される。

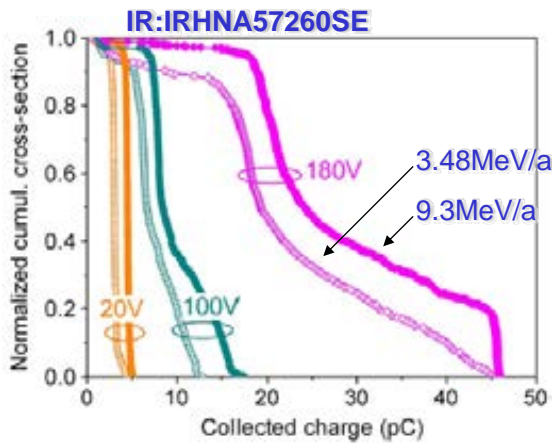


Fig. 13. Comparison of the collected charge on the IRHNA57260SE (IR) device for 3.48-MeV/a ¹³²Xe (open symbols) and 9.3 MeV/a ¹³¹Xe (full symbols) at different drain voltages.

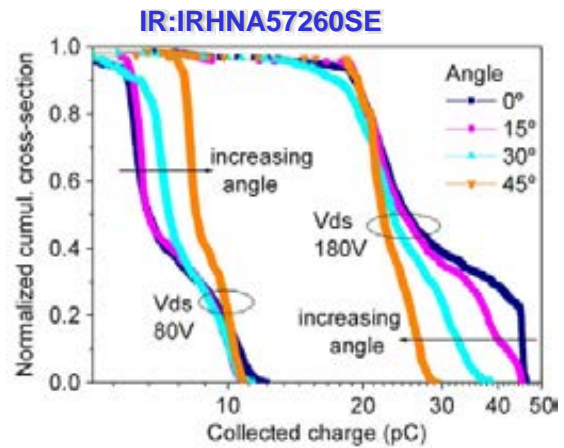


Fig. 14. Effect of angle on the IRHNA57260SE distributions at a drain voltage of either 80 or 180 V. The irradiation is performed with 9.3 MeV/a ¹³¹Xe in vacuum at RADEF.

FE **Collected Charge デバイス比較**
e-Front runners

- ◆どのデバイスも9.3MeV/aのほうがCollected Charge量が多く、ワースト。
- ◆これはrangeの効果による。
- ◆IR,ST MM2Gは高電圧ほど急激にCollected Charge量が増加。
これはダイレクトトンネリングとアバランシェによるキャリア生成による寄生バイポーラ効果のため。

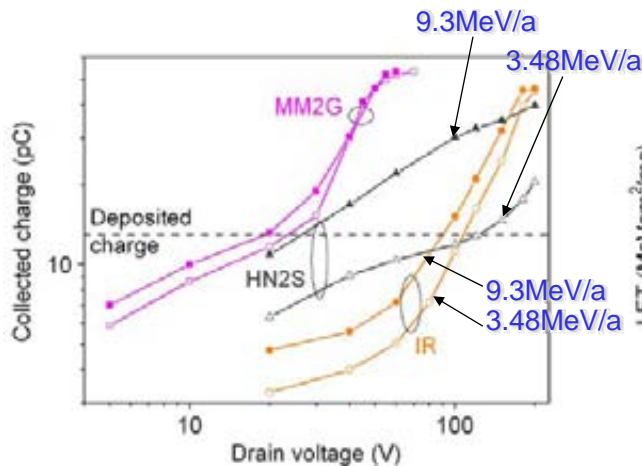


Fig. 16. Comparison of the collected charge on the MM2G, HN2S and IR transistors for 3.48MeV/a ¹³²Xe (open symbols) and 9.3 MeV/a ¹³¹Xe (full symbols) as a function of the drain voltage. The collected charge is extracted at 10% of the normalized cumulative cross-sections. The deposited charge in a 20 μm thick epitaxial layer for both ions (~13 pC) is indicated.

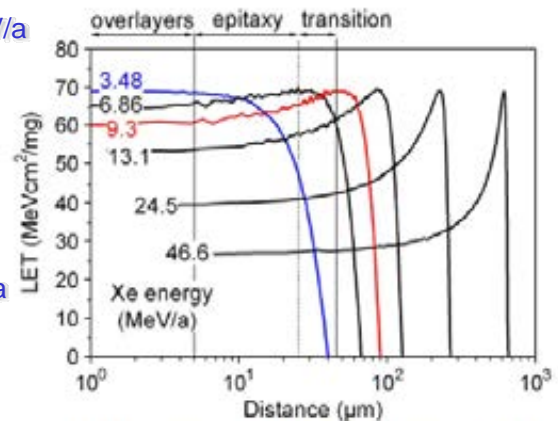


Fig. 3. Ion LET versus range in silicon for the Xe ions used in this study. The 5-μm overlayers, 20-μm epitaxial layer, and 20-μm transition layer (specific to the HN2S) are represented.

- ◆Charge Collection手法がパワーMOSFETのSEB現象を非破壊で検証するのに非常に有効であることを示した。
- ◆また、Geant4シミュレーションによって模擬できることを示した。
- ◆低エネルギーではrangeの設定が重要である。デバイスの反応領域(Epi層、Trans層)に対して十分なrange(Braggピークを反応領域の約2倍深く設定したい)を設定する必要がある。
- ◆TableⅢに推奨rangeを示す。
- ◆高エネルギーではボンディングワイヤによるシャドウ効果を考慮する必要がある。
- ◆この効果を取り除くにはrangeをボンディングワイヤ径より非常に小さく、または非常に大きく設定すればいい。
- ◆SEGRに対してはTableⅢを考慮する必要はない。

TABLE III
 MINIMUM AND MAXIMUM ION RANGE AS A FUNCTION OF RATED V_{DS} FOR
 SEB TESTING OF VERTICAL POWER MOSFETS

Max rated Vds (V)	Minimum ion range (μm)	Maximum ion range (μm)
Up to 100	60	120
101 to 200	90	180
201 to 400	150	300
401 to 1000	200	400

Mechanisms and Temperature Dependence of Single Event Latchup Observed in a CMOS Readout Integrated Circuit From 16–300 K

16-300KにおけるCMOS集積回路中で観察されたシングルイベントラッチアップのメカニズムと温度依存性

Cheryl J. Marshall, Paul W. Marshall, Raymond L. Ladbury, Augustyn Waczynski, Rajan Arora, Roger D. Foltz, John D. Cressler, Duncan M. Kahle, Dakai Chen, Gregory S. Delo, Nathaniel A. Dodds, Jonathan A. Pellish, Emily Kan, Nicholas Boehm, Robert A. Reed, Kenneth A. LaBel

発表者(共著者含み:15名)

1/31

論文構成

Abstract

- Introduction
- II. Test Techniques and Setup
 - a. ROIC Test Overview
 - b. ROIC Test Setup and Device Operation
 - c. Electrical Latchup Test Setup and Device Operation
- III. Test Results
 - a. Temperature Dependence of ROIC Ion-Induced SEL
 - b. ROIC Ion-Induced SEL at 20 K
 - c. Temperature Dependent Electrical LU Measurements
- IV. Discussion
 - a. SEL Temperature Dependence Classical Regime > 100K
 - b. SEL and Electrical LU for Temperatures Below ~50 K
 - c. Present Results for SEL and Electrical LU Below ~ 50K
- V. Conclusion

2/31

Abstract

- 重イオン誘起シングルイベントラッチアップ(SEL)は、市販されているCMOSの読み出し集積回路の極低温での動作を与える。
- SELは、24Kで観察
- SELは自由キャリアの指数関数的増加の開始時に生じる
- SEL飽和断面積は2~3倍大きい(300Kとの比較)
- SELに関するLET閾値は小さい(300Kとの比較)
- SELの温度依存性を16-300Kで与える
- 古典的カップリング寄生バイポーラモデルに起因したSELは135-300Kで観測
- 130nmpnpn試験構造に対するラッチアップは、50Kの挙動と一致

3/31

Introduction-1

- 極低温で動作しているCMOS回路中での粒子誘起ラッチアップの**最初の挙動報告**。
- 放射線効果の見解: CMOS回路における粒子で誘起したSELに関する確率は温度が低下するにつれ顕著に減少し、100K以下で不可能になると考えた。これまで、NASA飛行プロジェクトはSELに関する低温動作CMOS回路の試験をしていなかった。
- 現在NASAフライトプロジェクトは、40Kで動作する検出器配列に結合した高性能市販ROICをベースとしている。(ROICは、0.5ミクロン対tubバルクCMOSプロセス中に実装)
- それは設計プロセスの中で考慮された特定の緩和効果なしで非常に軽くドーピングされたp基板の上に作製された。ユニットセルはイントラセル回路の量に比べてaggressively sizedではないが、外部回路には高速精密アナログと高密度デジタル論理回路を含む。
- 同等のロジック回路による同一メーカーとプロセスのROICは室温で重イオン誘起SELに影響されやすい事は知られている。
- SELは40Kの動作温度で観察されていない、調査ではROICが16-20Kの範囲で非常に感受性であることを示す。
- 最近、NASA飛行プロジェクトにて210KでのSEL試験が実施(ミッション温度に対応しないがSELは観察)。

4/31

Introduction-2

- ラッチアップに関する一般的に引用条件
- (1) 固有の寄生的なpnpn構造のループ利得が統一を上回る
- (2) バイアス条件として固有なクロスカップリング寄生バイポーラ接合トランジスタ(BJT_s)がトリガー電流(I_T)を達成するために十分長くオンし、ブロッキング状態を克服するため十分なトリガ電圧(V_T)が存在すること、
- (3) 電源と関連回路は最小保持電流(I_H)とラッチアップ状態を維持する為の保持電圧(V_H)を提供できること。

5/31

Introduction-3

- 初期過程では $\beta_{no}\beta_{po} > 1$ で表現:ここでの β_{no} and β_{po} は寄生pnpとnpn寄生BJTのベース電流利得 (式1)
- 幾何学と相互におよび外部電源への寄生トランジスタを接続し、グラウンドを考慮する必要があり、基板領域における拡散抵抗が複雑なため、この式は大幅に簡素化されている。
- 部分的な結果として、保持電流および電圧と同様に利得生成に関する無数の表現は文献中に多数存在し、中でもTroutmanによって徹底した概説と評価がなされている。
- しかしそれらはFang とMollによる非常に有益である初期のペーパーである。そして寄生pnpとnonトランジスタ特性を述べると同様にさまざまなシャントと寄生抵抗の相対的な重要性を述べている。
- 実験結果はさらにモデルによる予測と比較することで、モデルに関連したパラメータを実験的に引き出している。
- Bruguierとパラウによる最近のレビューでは、物理的なSELプロセスと分配した抵抗に関する優れた議論を提供している。(単純な分析的ならびに2D-と3D-シミュレーション結果を含む)

6/31

Introduction-4

- 室温以下の温度で増加したLU耐性を示す電気的なLUに関する文献は多く有るが、極低温での実験的な粒子誘起SEL研究はない。
- ドーリー等は、ラッチ状態の中で引き起こされた様々なCMOS論理回路中の保持電流の変化を測定し、77Kの領域でトリガーと保持電流の両方で大幅な増加を見つけた。
- n+とp+間隔の違いによるエピタキシャル有無による保持電流の変化は100Kから300Kで急速に増加するということを矢野らの実験的な研究で実証している。
- しかし、様々なデバイスの電気的なLU研究やLUプロバビリティの温度依存性はデバイスレイアウトとプロセスに大きく依存することを示している。
- 場合によっては、温度がおよそ200Kまで下げるまで、保持電流は大きく変化しないかもしれません。

7/31

Introduction-5

- 本論文では、100K以下の温度で寄生npnとpnp BJTの共通のベース電流ゲインである、イオン照射誘起SELが容易に起こることを示す。
- 図1で示すように、電気LUが寄生的なpnpn構造の液体ヘリウム温度で起こることを、Deformほかは証明している。
- しきいち電界が方程式(2)のpnpn構造の領域に到達した場合、自由キャリア密度の指数関数的に急激な増加を引き起こすSLIIメカニズムを組み込んだ古典的な電気寄生BJTゲインプロダクトの拡張を提案する。
- ここでの β_{no} and β_{po} は寄生pnpとnpn寄生BJTの共通ベース電流利得、 M_{sn} and M_{sp} はSLIIにおけるイオン化係数である。
- 発生メカニズムは[論文16]のSection IV-Bで記述されている。
- 重要なメッセージは、シリコン抵抗とバイポーラデバイス中のアバランシェとブレークダウン効果を生じる50K以下でのキャリア生成による他のメカニズムが持続することである。
- この研究では、電気的に引き起こされるLUとSELの古典的なプロセスは有意差を持つが、LUが重イオンによって引き起こされる状況が存在することを、低温で電気LUの存在が示唆する。
- 本論文は16Kから24Kまで低温状況に対する重イオンによって誘発されたSELの最初の観察を記載して、さらに135Kから300Kまで従来のSELの特性を示す。

8/31

Electrical LU measurements (電氣的なLU測定)

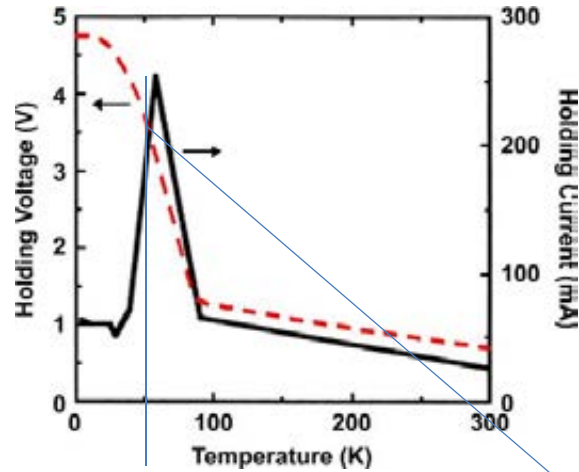


図1. 温度をパラメータとした保持電圧と電流との関係

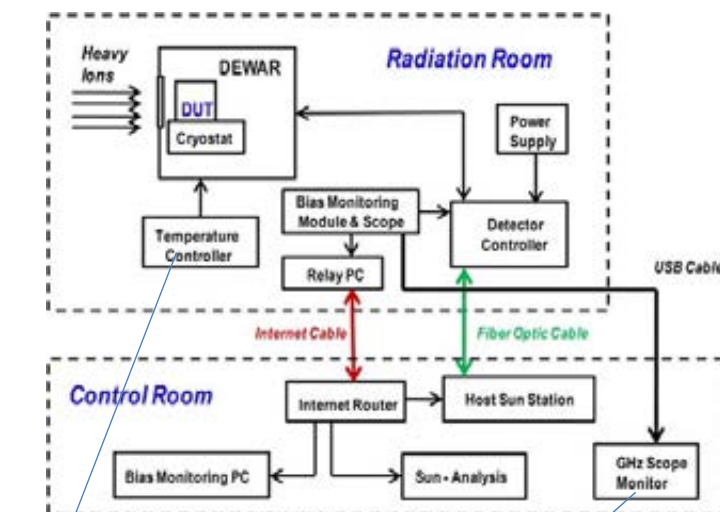
1.25 μm n-well CMOS technologyにおける電氣的なLU測定: 60K以下で保持電流の急激な低下を示す(論文16,17)

[16] L. Deferm, E. Simoen, B. Dierickx, and C. Claeys, "Anomalous latch-up behavior of CMOS at liquid helium temperatures," *Cryogenics*, vol. 30, pp. 1051–1055, 1990.

[17] E. A. Gutierrez-D., M. J. Deen, and C. Claeys, *Low Temperature Electronics: Physics, Devices, Circuits, and Applications*. New York: Academic Press, 2001, pp. 274–318.

9/31

SEL test diagram (試験図)



レークシアア製品

SELイベントと電圧変動の取得

軌道上の宇宙線環境によるSELに対する脆弱性を明らかにするためにTAMUサイクロンによる重イオンで試験

特徴: このシステムでは高精度の分解能で応答の観測が可能

試験試料は5種類 (Devices C1R5, C2R3 and C3R3: 同じウエハー、C4R5 and C6R1は異なるロット)

測定: 電流と電圧の4バイアス [VPD(すべてのデジタル回路)、VPOS(出力マルチプレクサ(MUX)とバッファ以外の単位格子配列のためのアナログ回路)、VPOSOUT(出力MUXとバッファ回路)とVDETCOM(探知器)]と探知器基準信号を記録

10/31

図2. SEL test diagram for TAMU experiments

Schematic of the ROIC (ROICの結線図)

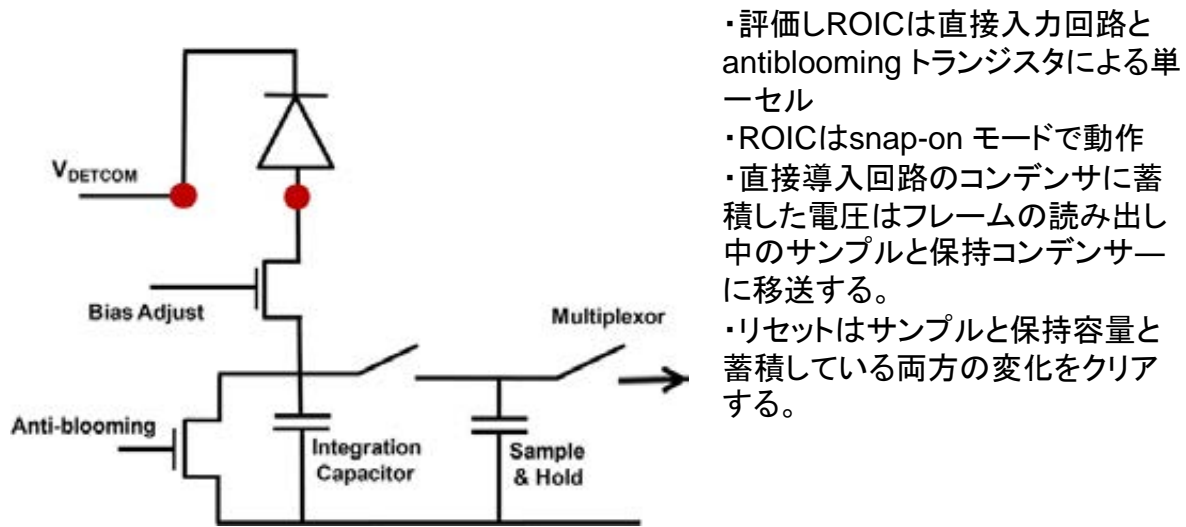


図3. ROICユニットセルとantiblooming transistorの回路図の簡図化を示す。

11/31

制御回路

- 電流制限回路は、ハードウェアの調整可能な**高速動作型ハードウェアフィードバックループ**を採用した。理由: ROIC中で与えられた電源電流がプリセットしきい値を超えた場合、**電流増大を制限するために出力電圧を低下させる**為
- 3.3マイクロバイパスコンデンサーは全ての電源におけるノイズをフィルタした。
- 静電容量は、SEL信号のより良い時間解答を可能にするために、10nF(状態B)とした。
- ハードウェア電流制限は、: I_{PD} (6mA)、 I_{POS} (25mA)、 I_{POSOUT} (37mA)、 I_{DETCOM} (15mA)と I_{REF} (1mA)。
- 評価は**10%以上の過電圧または最悪バイアス条件を必要とするSEL試験ガイドラインと一致する5.7Vのバイアスによって試験した**。通常 I_{PD} は、5.7Vのバイアスで0.5mA。

12/31

実験系

- 電圧と電流信号はモニターし、継続的にソフトウェア閾値と比較した、そして、違反はSELの特性評価を可能にするためにビームの中断と迅速な通知を確実にするためにいくつかの方法を用いてフラッグした。
- Labviewソフトウェア・ルーチンにより、ロジックデータを提供するために、ハードウェアを制御した。データは連続的に取得した。

低温装置

ヘリウム低温装置は38ミクロン窓と3ミクロンアルミホイルが装備されており、ノイズと重イオンのエネルギー損失を最小限に抑えた。

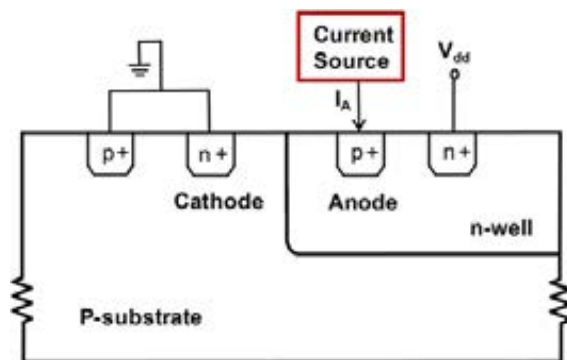
The heat strapping design for the cold fingerは急激な温度変化に対応可能な広い温度範囲に最適化されている。

リン青銅のリードは、被試験デバイスと外部デュワーの界面での気密封止のコネクタ間の配線の抵抗を最小限に抑えるために使用されていました

- 温度制御と監視は、デバイスが各測定の前に熱平衡にあったことを確認するためにレイクショアコントローラで行った。
- 温度は全ての測定で0.05K以内に安定していた、しかし最悪なケースとして0.2K以内に安定されました。通常、温度は3 K/minの上昇であった。そして温度低下は1K/minであった。大部分のテストに関して、我々は高温から低温まで傾斜させた。

13/31

Diagram of the pnpn test structure (pnpn試験デバイスの構造)



20-300K からのLUの低温挙動を調べるために、130nmにおけるn-well IBM 8HP 技術で構成された四端子PNPNのテスト構造で電気LUの測定を行った。テスト構造はカソード、ウェル、基板間隔に対して陽極の複数の組み合わせを含んでいる。これは最も基本的なLU構造であり、最終的に低温の電気的なLUとSEL効果のTCADレベルモデリングに対するデータを提供する。

デバイスは、ヘリウム低温保持装置でテストした。電気的なLU測定はp+陽極電源オーバーシュート試験によって行った。1)nウェルはdc電源に接続した(Vdd)、2)p+は電流源に接続、3)n+カソードとP基板はグラウンドに接続、4)陽極電流は徐々にLUまで増加し、あるいはHP4156の限界である100mAに達しそしてI-V特性は記録した。

図4. The provides the simplest physical configuration for the observation and study of LU.

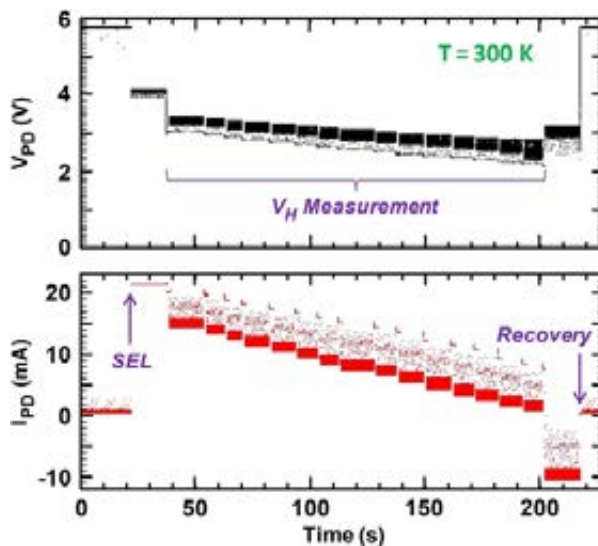
14/31

結果

- イオンと電氣的に誘起したLU測定結果を述べる。
- イオンの有効LET (LET_{eff}) 値は MeVcm^2/mg の単位で、飛程(Rp)はミクロン単位である。
- ROICは300Kまでの極低温まで動作するように設計され、かなりのしきい値電圧シフトに対応している為、コバルト60又は63MeVプロトンによるTID試験に優位な低下を使用して実行した。全てのバイアス電流は重イオン試験の間モニターし、TID誘起変化では観測しなかった。
- パワーサイクルはSEL条件がVH測定の間クリアになるまで実行された。その結果、大部分のSELイベントは持続しました、そして、ラッチ状態は10分続けることを可能にした。
- ラッチされた状態での遷移はの単一のサンプル時間(25秒)以内に起こった。
- ROICテストの間SELがアナログとユニットと比べて、チップの論理回路に役立ったVPDで観測した。
- 代表的なSEL測定シーケンスを、図5に示す。

15/31

Typical SEL event signature in the classical regime from 135–300 K



SEL断面図の角度依存はC1R5を用いて室温から300Kまでの試験中で観測されなかった。

図5.

SELのイベントは~25 sで始まる。
電圧のステップ低下はVH測定。
IPが~0.5 mAに公称レベルに戻り、Vpが5.7Vに戻る場合、SELは~208 sでクリア。

16/31

A. Temperature Dependence of ROIC Ion-Induced SEL ROIC イオン誘起SELの温度依存性

- イオンによって誘発されたSELは、低温温度(50K)と、古典的なLU(図6の100K)の両方で観察された。図中の全データは条件Bを用いて $LET_{\text{eff}} = 64.4 \text{ MeVcm}^2/\text{mg}$ and $R_p = 43 \mu\text{m}$ でのC6R1にて取得した。さらに遷移は25Kから135Kと狭い領域であることが明らかとなった。観察された断面積は200-300Kでの古典領域の断面積と比較して20K以下の温度での実験誤差の範囲で同じであった。
- 一般的に、ラッチ状態での電流は古典領域と比較し24Kの温度は低い値であった。いくつかのイベントは18mA時に観測されたが20K前後でのラッチ電流はほとんど4-6mAであった。対称的に、古典的領域での全てのイベントは18mAレベルで生じていた。24K以下で観測した高いラッチ電流はまた18.6mAであり、それは $LET_{\text{eff}} = 35.8$ and $R_p = 10.3$ による20Kでのself-recoveredしているイベントであった。

17/31

A. Temperature Dependence of ROIC Ion-Induced SEL ROIC イオン誘起SELの温度依存性-2

- 行程の最初は、60度入射での25MeV/uキセノンビームを使用した。
- $LET_{\text{eff}} = 102$ と $R_p = 62$ で断面積 9.1×10^{-7} の単一高電流イベントを観測した(デバイスC4R5で32K)
- ところが、SELイベントは48と80Kで $1.8 \times 10^{-7} \text{ cm}^2$ の断面積を制限する観察はされなかった。
- 32Kでのイベントは4-6mAからの電流を持った20KでのハードLUイベントと一致する5mAの電流レベルを示した。
- 限界断面積は $LET = 88$ で $R_p = 98$ の場合と $LET = 110$ と $R_p = 45$ の両方で $1.0 \times 10^{-7} \text{ cm}^2$ であった。また、特性は20Kで同じデバイスで実行した。
- さらに、他のROICの特性はデバイスへのバイアス5.7と6Vの両方で $LET_{\text{eff}} = 108$ and $R_p = 53$ における30度での15 MeV/u Au ions を使用して40Kで実行した。
- SELはそれぞれのバイアス条件で $9 \times 10^{-8} \text{ cm}^2$ の限界断面積により観測されなかった。

18/31

A. Temperature Dependence of ROIC Ion-Induced SEL ROIC イオン誘起SELの温度依存性-3

- 図6の遷移領域の中で、自己消滅高電流イベントは観察された。
- 代表的な信号を図7と8に示す。
- それぞれのイベントは $LET_{\text{eff}} = 102$ and $R_p = 62$ に関して32K(同様に22K,24K,26K)、そしてまた $LET_{\text{eff}} = 64.4$ and $R_p = 43$ に関して135Kで古典領域の中で観測された。
- 自己回復されたイベント間の電流はSELイベントと同じように、4-18mAから変化する。
- 図8(a)に示すように、ハードSELイベントは135Kでも観測された。
- 自己消滅高電流イベントはSELプロセストリガーとして表示するしかし維持することはできなかった

19/31

Device cross sections for hard SEL events versus temperature

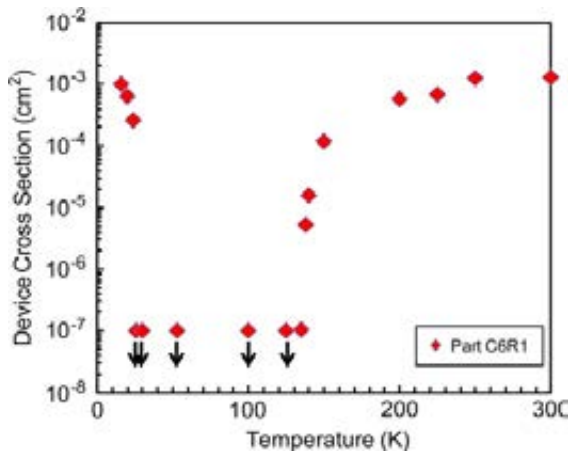


図6. データは $LET_{\text{eff}}=64.4$ および $R_p=43$, 15 MeV/uのKrを使用して60の入射で測定した。

下向きの矢印は、断面積の制限を示す

イオンによって誘発されたSELは、深い低温温度(50K)と、古典的なLU(図6の100K)の両方で観察された。

図中の全データは条件Bを用いて $LET_{\text{eff}} = 64.4 \text{ MeVcm}^2/\text{mg}$ and $R_p = 43 \mu\text{m}$ にて取得した(Krイオン、C6R1)。

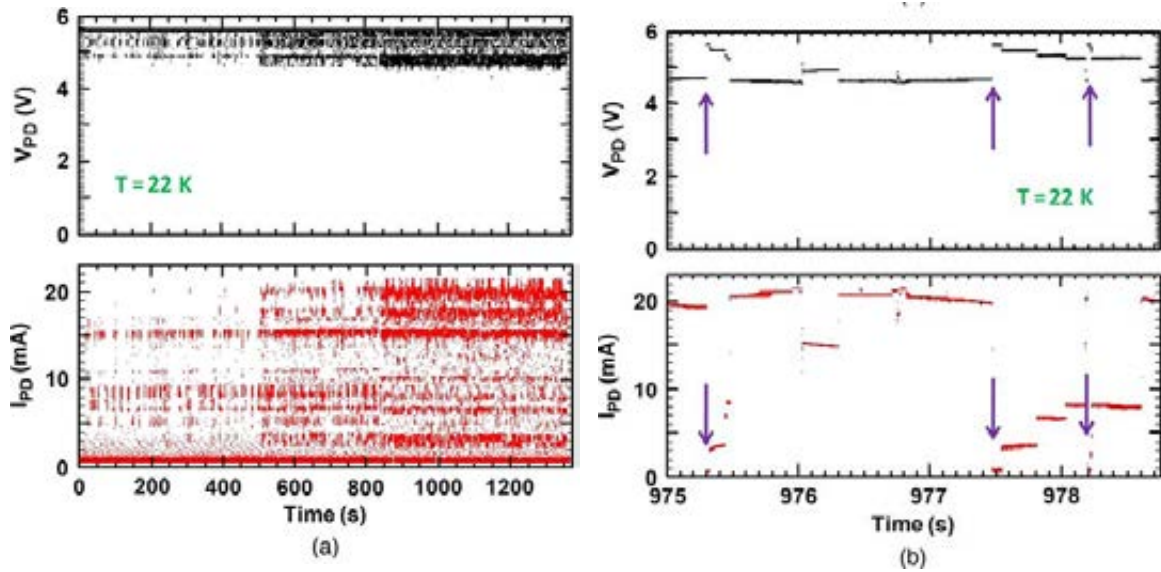
さらに遷移は25Kから135Kと狭い領域であることが明らかとなった。

観察された断面積は200-300Kでの古典領域の断面積と比較して20K以下の温度での実験誤差の範囲で同じであった。

しかし、後に我々はLETの始まりが300Kよりも20Kでかなり低いことが分かった。

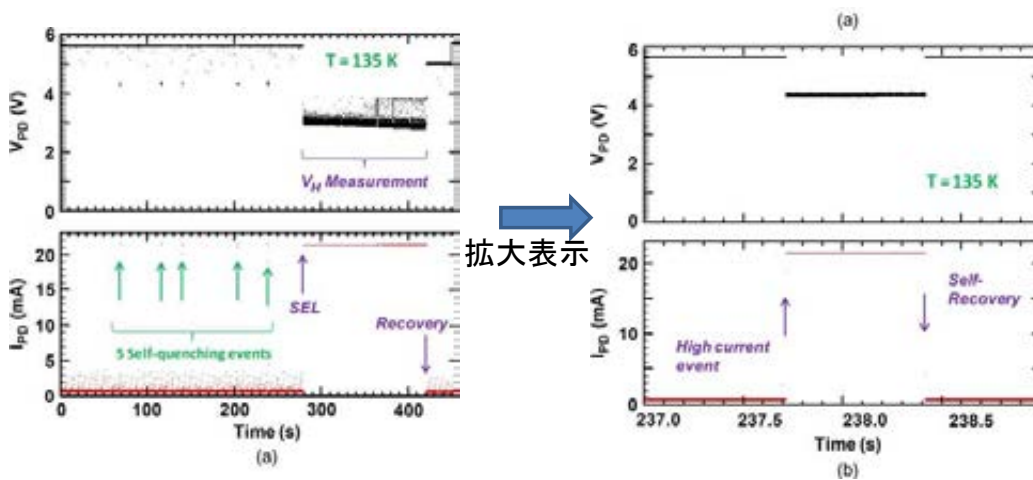
20/31

遷移領域での挙動



それぞれのイベントは $LET_{eff} = 102$ and $R_p = 62$ に関して32K(同様に22K,24K,26K)、そしてまた $LET_{eff} = 64.4$ and $R_p = 43$ に関して135Kで古典領域の中で観測された。自己回復されたイベント間の電流はSELイベントと同じように、4-18mAから変化する。

21/31



自己消滅高電流イベントは135Kでの古典的領域温度で観測された、140K以上では観測されなかった。280SでのSELイベントはVH 5VでのハードSELである。

22/31

ROIC Ion-Induced SEL at 20 K

20K でのROIC誘起SEL

- SEL断面積は図9に示すようにC3R3に対して60度入射でLETを関数として取得した。
- 重イオンのMeV/u、LETと飛程における変化は、さらなるSELふるまいを特徴づけるために調査した、それらの結果はSection IV-Bで議論されます。
- SEL断面積が30ミクロンより少ないイオンレンジに関して過小評価であるところのデータを証明していることに注意する。
- ワイブル分布に対する最小二乗法では、3.3 MeVcm²/mgのオンセット、デバイスあたり3 x10⁻⁴ cm²の飽和断面積を与える。
- 低オンセットLETは陽子で誘起下SELに対する潜在的感受性を示す。
- SEL感度を知るために、GEO軌道の重イオンレートは20Kで1日あたり4-5 x10⁻⁴ SEL eventsとして見積もった。
- LET_{eff} = 3.7 MeVcm²/mg でのSELイベントは、2 x 10⁷ ions/cm²のフルエンスの23MeV/uのNeによる核反応の結果である。
- 飽和横断面が20Kでより高い2-3の指数であるが、ROIC C1R5での室温断面積測定はより高いLET閾値(15のLET_{th} 20MeVcm²/mg)を示します。

23/31

SEL cross section versus effective LET at 20 K

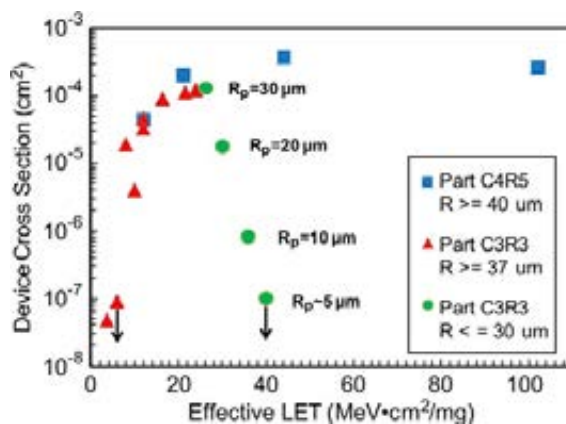


図9. Onset LET is ~ 3.3 MeVcm²/mg in contrast to a $15 < \text{LET}_{\text{th}} < 20$ MeVcm²/mg at 300K. The downward arrows indicate limiting cross sections.

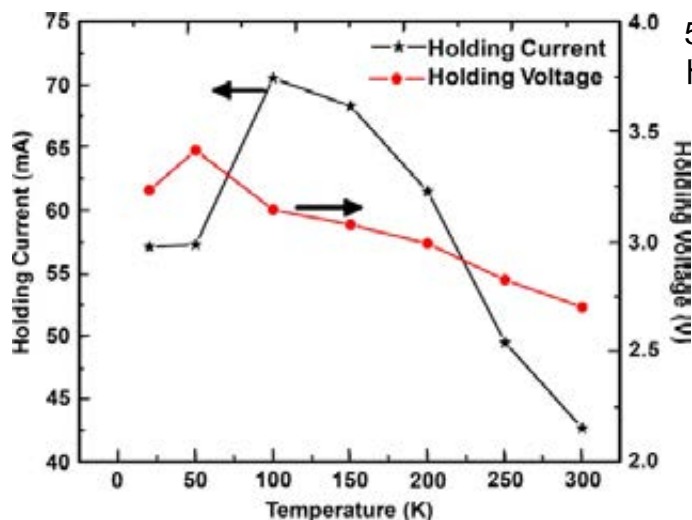
24/31

Temperature Dependent Electrical LU Measurements 電氣的LU測定の温度依存性

- 130nmIBM8HP電氣LU試験構造測定は温度の関数として実行した。
- このデバイスはアノードと陰極の間隔で1.2ミクロン、1ミクロンのNウエル接触距離、0.6ミクロンのカソードと基板にて間隔を備えている。
- 保持電圧と電流の結果を図10に示す。Defermらによって観察されたSLIIのオンセットによる一致した50-100Kの間で維持電流の急速な低下が、図から明らかとなっている。少数の温度ではDefermらによって特徴づけられており、詳細に現在のデータとの比較はできなかつた。しかし、図1の中で見られる60Kより上でのIHの急降下は観測されなかつた。
- 温度に依存する寄生縦型PNP横方向nnp型BJTのゲインは、50-100Kまでさがって300Kから単一性を超える事を示す。
- 従属する寄生性垂直pnp横のnnp BJTが得させる温度。予想したように、縦pnpBJT利得は横nnp利得よりも大きい。全く異なつた20Kでの挙動を示す寄生BJTに対する電氣的な特性の包括的な解釈は進行中である。ハードフリーズ外領域中で、さらなる測定は必要である。

25/31

保持電圧と電流の結果



50K以下で温度の急激な低下に係らず、トリガー電流と電圧は単純に増加する。

保持電流と電圧に対する温度との関係

26/31

Discussion-1

A. SEL Temperature Dependence Classical Regime >100 K 100K以下の古典的なSEL温度依存性

文献で300K以下のイオン誘起SELに関する単純な論文あり、完全な温度モデルで2-Dシミュレーションを用いて77-450Kからシングルイベントをモデル化している。論文では温度が300Kから減少し、SEL耐性が120Kでピークに達して、そして、77Kと300KのSELは同じように早く減少すると結論している。対照的に、我々は24Kと135Kの間でのSELイベントを観察していない。また300Kで約 10^{-3}cm^2 に対して80Kでの断面積は $2 \times 10^{-7}\text{cm}^2$ (観察されるSELイベントでない)と制限されていた。温度が300Kから200Kに減少すると、SEL断面積の減少は電気LUの測定と一致している。それは電荷収集プロセスがより効率的になっていると期待することに関連があり、そして、それは電氣的に誘導されたLUプロセスが低い温度でより迅速に起こることを示している。これはSPICEシミュレーションからの証拠と一致する。

主要なLUパラメータの温度依存性は、試験構造のレイアウトで研究した様々な特定のパラメータによって異なる。寄生gain生成と同様にウエルと基板抵抗は温度低下とともに減少し、バンドギャップ狭くする結果、ベース・エミッタ電圧は寄生的なBJTのコレクタ電流を発生させるために増加する。キャリアフリーズアウトの温度依存性、キャリア移動度そしてバンドギャップは、ドーパント濃度の関数である。さらにウエルと基板抵抗、ベース走行時間等がラッチされた状態のトリガーの確立に重要な役割を果たす基礎エミッター電圧を要求する。ゲイン生成はDeferm等によって研究された1.25ミクロン技術に関して75Kにいたるまで単一性を上回った。明らかに、更なる調査は所定の装置のために予想されるSEL温度依存を理解するのに必要です。

27/31

Discussion-2

B. SEL and Electrical LU for Temperatures Below ~ 50 K 50K以下の温度に関するSELと電氣的なLU

50Kより下の電氣的なLUについての第1の観察の記述:液体ヘリウム(4.2K)から~50KまでのCMOS素子の信頼度に関する研究は、文献の中で広範囲に文書化されます。VH=4Vを備えた電氣的に引き起こされたLUは、Befermらによって最初の実証され、この解釈は非常に長い時間トラップしたドーパント原子のハードフリーズアウトでの約20Kより下の温度によるシリコン抵抗器およびpn接合中の電荷輸送に関する研究によって増強されました。

Defermと共同研究者は、電氣的なLUプロセスを次のように説明している。

Off状態でのpnnp構造は逆バイアスされた中央のpn接合によって高抵抗状態になる。SLIIのための電界しきいに達しない限り、構造はoffのままである。

図11に示す様に、SLIIは少しのフィールドで生じることができる。もし自由きやりの外部ソースがある場合、自由キャリアは加速し、ドーパント原子のキャリアを解放するために衝突し、電流の急激な増加をもたらす。その結果乗法過程で多くの自由キャリアを創生する。これはLUの状態の特性をON低抵抗への遷移を引き起こす。

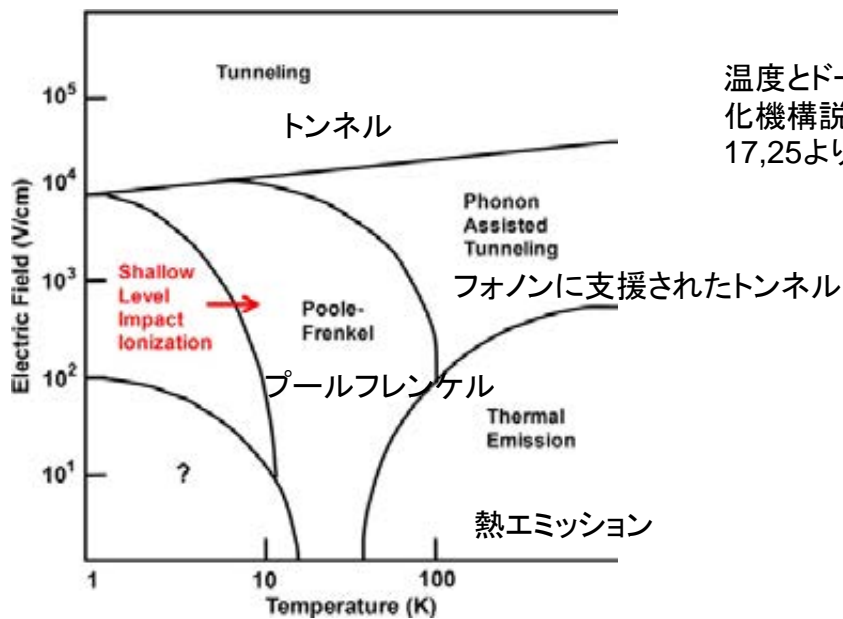
SLIIIは電子-ホール対を生成するバンドを区別されなければならないことを注意します-影響イオン化(しばしば単に影響イオン化と称される)をくくるために、それは電子-穴組を生じて、低温で熱いキャリアによって誘発されたサブストレート思潮を出すことができます。

4.2Kで、ビルトイン電圧は、1.17Vでほとんどバンドギャップに等しい

内部のpn接合領域の長さはカソードスペースに対する陽極で評価した。そしてSLIIの閾値電界は約1Vの電圧降下に対応する。これは測定と一致し、室温保持電圧よりも高い3-4Vの保持電圧を提案している。

28/31

電場と温度との関係



温度とドーパント不純イオン化機構説明画報。(文献17,25より)

29/31

Discussion-3

Present Results for SEL and Electrical LU Below ~ 50 K: 50K以下のSELと電氣的LUに関する最近の結果

- ・20Kの周りで観測した保持電圧は4.1-5.6Vの間で変化し、300Kのおよそ半分であった。また、温度に依存する電氣的なLU結果は、VHが20Kと50Kで3.2-3.3Vを示し、そしてIHは130nm技術に関して50-100K以下と大幅に低下する。
- ・これらの結果は、Defermiによるモデルに対してよく一致している(図1に示す測定と同様)
- ・保持電流と電圧はSEL感受性のインディケーターであり、SELに必要な条件の一部である
- ・20Kで、 LET_{eff} 、RpとシリコンにおけるイオンのMeV/uはエネルギーがデバイスの深さの関数として入射イオンによってエネルギー損失によってSELの感度の傾向を抽出しようとして変化させた。明らかに、図9はRp < 30 μ mのために過小評価されている事を示す。したがって、基板から拡散によって集められたチャージの貢献は重要です。個の温度における拡散長は300Kより大きいため、驚異的な結果ではない。基板内に拡散を介して収集電荷の重要性のさらなる証拠は、さらにセクションIII-Bに記載されていた24K以下の温度で観測された最高の電流となります。

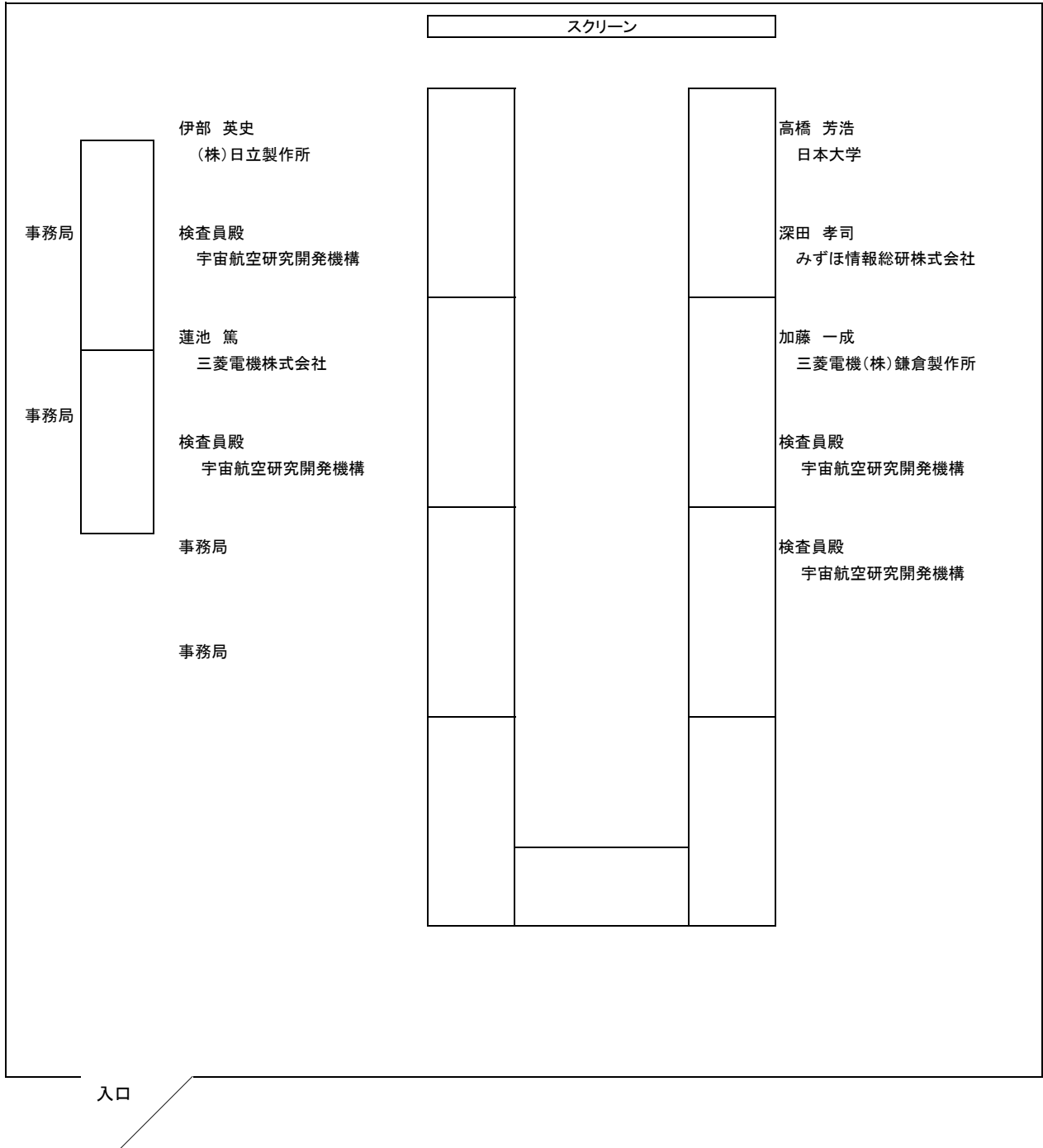
30/31

Conclusions

- SELが20Kの低温状況の下で起こることを我々は証明しました。(50Kの下で電気LUのために[16]で提案されるように、イオン・ストライキによる自由キャリアが重要な電流の流れを作り継続されたSELイベントのために必要とされる状況を可能にする)
- SELふるまいは、100K以上の古典的なCMOS ROICのために特徴づけられました。
- 目標は、関心のCMOS技術で低温SELの潜在的影響を決定するために、TCAD-ケベル・モデリングに従うCMOSテスト構造の感受性の組織的評価を実行することである。
- デバイスが室温でSELを示すならば、温度でテストすることが不可欠である。(特に装置が室温でSELを示すならば、特に軌道のレートが容認できないなら)
- 実験セットアップと試験条件のケースにおいて、耐SELを観測する低温領域での最高温度は24Kであり、そして持続したSELイベントに関する古典的な領域での最低温度は135Kであった。
- 極低温のSEL試験が最近ROICを利用した飛行プロジェクト、そして300Kで観察されたものと同等の断面積による240Kの低さのSELイベントを示した。
- 300Kでの電氣的或いはイオンによって誘発されたSELの観察は、デバイス中でのLU経路の存在を示します。
- 20Kで観測されたLETの閾値が300Kの敷居値よりも低い場合さらに室温でSELが発生しない場合、50Kの下での浅いインパクトイオン化領域においてSELを排除ことを示唆する。

第4回委員会配付資料

第4回 最新デバイスの耐放射線性強化技術に関する検討委員会 座席表



「平成 23 年度 最新デバイスの耐放射線性強化技術に関する検討委員会」
第 4 回委員会 議事次第

日時：平成 23 年 12 月 16 日(金) 14:00 ～ 16:55

場所：HIREC 株式会社 川崎事業所 会議室

川崎市幸区大宮町 1310 ミューザ川崎セントラルタワー 12F

(TEL : 044-379-6013)

1. 配付資料等確認 (5 分)14:00～14:05
2. 各委員の調査結果報告・質疑 (各 20 分・25 分 計 45 分)
 - 2.1 Increase in the Heavy-Ion Upset Cross Section of Floating Gate Cells
Previously Exposed to TID (加藤委員)14:05～14:50
 - 2.2 Analysis of Total Dose-Induced Dark Current in CMOS Image Sensors From
Interface State and Trapped Charge Density Measurements
(深田委員)14:50～15:35
- 休憩 (10 分)15:35～15:45
- 2.3 Process Dependence of Proton-Induced Degradation in GaN HEMTs
(蓮池委員)15:45～16:30
3. 2011 年 RADECS 参加報告 (事務局)16:30～16:50
4. 事務局からの連絡 (5 分)16:50～16:55

平成23年度 最新デバイスの耐放射線性強化技術に関する検討委員会
 第4回委員会 2011年12月16日(金)
 於 HIREC株式会社 川崎事業所

Increase in the Heavy-Ion Upset Cross Section of Floating Gate Cells Previously Exposed to TID

事前にTID照射されたフローティングゲートセルにおける
 重イオン照射によるアップセット発生断面積の増加

Marta Bagatin, Simone Gerardin, Alessandro Paccagnella,
 Giorgio Cellere, Angelo Visconti, and Mauro Bonanomi

出典: IEEE Transactions on Nuclear Science, Vol. 57, No. 6, pp 3407–3413, December 2010

三菱電機株式会社 鎌倉製作所
 宇宙システム部 信頼性技術センター
 部品グループ 加藤 一成



COPYRIGHT © 2011 MITSUBISHI ELECTRIC CORPORATION. ALL RIGHTS RESERVED.

～ 要約 ～

- 宇宙環境下で動作する電子部品は、常にシングルイベントとトータルドーズの両方の影響を受ける。
- フラッシュメモリでこの状況を模擬するため、事前にX線のTID照射を行ったフローティングゲートセルに対して重イオン照射試験を行った。これら2つの照射の間には、消去や書き込み動作は行っていない。
- TID照射を行ったデバイスにおいて、特に低LETでのアップセット発生断面積の増加が観測された。この効果は、重イオンやX線照射により引き起こされた閾値電圧のシフトによるものである。
- この現象とフラッシュメモリの放射線耐性保証との関係について議論する。

対象デバイス: NOR型MLCフラッシュメモリ
 実験施設: Laboratori Nazionali di Legnaro (LNL), Padova, Italy
 照射線種・エネルギー: X線(10 keV)
 重イオンビーム: O, Si, Ni, Ag (3–54 MeV-cm²/mg)
 現象の区分: Total Ionizing Effects, Single Event Upsets
 実験/理論の区分: 実験

キーワード: フラッシュメモリ、フローティングゲートセル、重イオン、トータルドーズ効果、X線

論文の構成

I.Introduction

II.Experimental Procedure and Studied Devices

III.Results and Discussion

- A) Raw Bit Errors
- B) Threshold Voltage Shifts
- C) Hardness Assurance Implications

IV.Conclusion

なお、この発表資料に含まれる図表は、特に注記のない限り、以下の出典論文から引用したものである。

M. Bagatin et al., IEEE Transactions on Nuclear Science, Vol. 57, No. 6, pp 3407–3413, December 2010

はじめに

- 近年、フラッシュメモリを宇宙機器でのデータストレージに利用することが注目されており、SEEとTID効果の両方を受けたときの挙動に対する興味が増してきている。
- 実際の宇宙環境では、SEEとTIDの両方の影響を同時に受けるため、これらの相乗効果について調べる必要がある。
- 過去の研究では、SEEとTIDの相乗効果の現れ方は、デバイスの種類や対象とする効果によって、様々に異なる。
 - SRAMは、TIDを受けると、SEU耐性に大きなインパクトがある。
 - 一方、ゲートラプチャ(SEGR)の耐性は、TIDの影響をほとんど受けない。
- フラッシュメモリに関するこれまでの研究では、SEEとTID効果を別々に扱ったもののみであり、これらの相乗効果に関する研究はなかった。
- この論文では、フラッシュメモリについてTIDとSEEの相乗効果を研究している。
- 前もってTID照射を受けたフラッシュメモリが、重イオンの入射に対してどのようなSEUの挙動を示すかを評価した。

対象デバイス

- この論文の評価対象デバイスは以下のとおり。
 - Numonyx NOR Multi-Level Cell (MLC) フラッシュメモリ
 - 2-bit per cell
 - プロセスサイズの異なる2品種
 - 90-nmプロセス M58PR512J
 - 65-nmプロセス M58PR512LE
 - テストモードルーチンが搭載されている
 - 各セルの閾値電圧 V_{th} を直接測定できる
 - 読み出し時のError Correction Code(内蔵)をDisableできる
 - ビットエラーがあった場合は、エラーのまま値を読み出すことができる
 - 用語の定義: Raw Bit Errors
 - あるセルから(ECCをかけずに)読み出された値が、書き込んだ値と異なっていた場合、それをRaw Bit Errorと呼ぶ

2011年12月16日 平成23年度 第4回 最新デバイスの耐放射線強化技術に関する検討委員会 COPYRIGHT © 2011 MITSUBISHI ELECTRIC CORPORATION. ALL RIGHTS RESERVED. 5

セルの論理状態と閾値電圧 V_{th}

- フラッシュメモリは、フローティングゲートセルに蓄積された電荷量に応じて、トランジスタがONになるゲート電圧閾値 V_{th} が変わる。
- MLCフラッシュメモリでは、セルに蓄積される電荷量レベルを4分割し、それぞれのレベルに異なる2ビット論理状態をアサインする。
- 各セルについて V_{th} の大きさを判定することにより、そのセルの2ビット論理状態を決定する。

フローティングゲートセルの構造

(出典論文に掲載されていないが、説明のために掲載した)

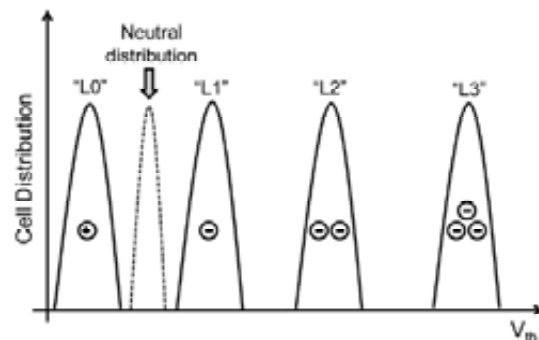
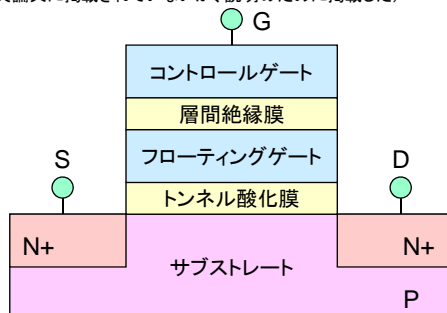
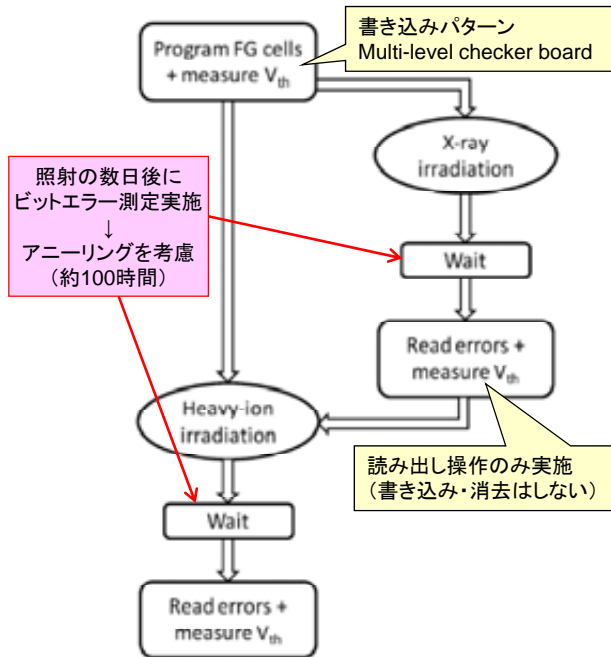


Fig. 1. Example of the threshold voltage distributions for NOR samples used in this work. In this sketch, the cells are equally distributed in the four program levels. Neutral distribution contains the cells with neither electrons nor holes in the floating gate.

2011年12月16日 平成23年度 第4回 最新デバイスの耐放射線強化技術に関する検討委員会 COPYRIGHT © 2011 MITSUBISHI ELECTRIC CORPORATION. ALL RIGHTS RESERVED. 6

照射試験の手順・条件



- ビットパターン書き込み後、X線照射
- それに引き続き、重イオン照射
- リファレンスとして、X線照射未実施で、重イオン照射のみを行うサンプルも用意
- 評価対象としたセル数：
 - 10 FG メモリセクタ = 10^6 セル
- X線照射
 - 照射量: 0, 10, 20, 30 krad(Si)
 - 照射レート: 350 rad(Si)/s
- 重イオン照射
 - 照射フルエンス: 3×10^7 ions/cm²
 - 照射したイオン種: 表1に掲載
 - Single Event Sensitivity = 3×10^{-14} cm²/bit

TABLE 1
DETAILS ON THE HEAVY IONS USED AT LNL FOR THIS STUDY

Ion species	Energy [MeV]	LET [MeV · cm ² /mg]	Range in Si [μm]
O	100.9	2.85	109
Si	121	9.8	44
Ni	212.8	28.4	33.7
Ag	256.6	54.7	27.6

Fig. 2. Flowchart of the experimental procedure we used in this work.

2011年12月16日 平成23年度 第4回 最新デバイスの耐放射線強化技術に関する検討委員会

COPYRIGHT © 2011 MITSUBISHI ELECTRIC CORPORATION. ALL RIGHTS RESERVED.

7

結果: Raw Bit Errors (1)

- X線による異なるドーズ量を受けたサンプルのSEU発生断面積
 - 重イオン: Si (~10 MeV · cm²/mg)
 - L0~L3までの4レベルの平均値(つまり、レベルの区別をせずに算出)
 - 照射後の測定は数日後に実施 ⇒ アニーリング効果が起こった後

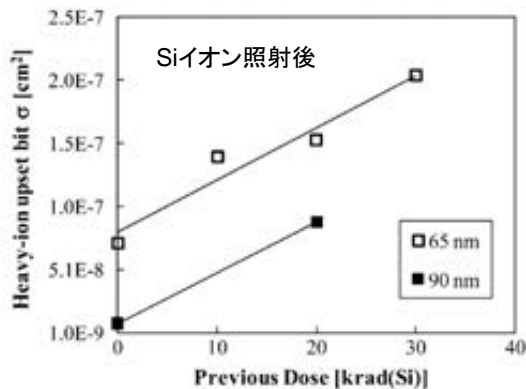


Fig. 3. Bit upset cross section for raw bit errors (in all program levels) induced by Silicon ions, as a function of TID received before heavy-ion exposure, for 90-nm and 65-nm FG cells. No program and erase operations have been performed on the FG cells between the two irradiations.

2011年12月16日 平成23年度 第4回 最新デバイスの耐放射線強化技術に関する検討委員会

COPYRIGHT © 2011 MITSUBISHI ELECTRIC CORPORATION. ALL RIGHTS RESERVED.

8

結果: Raw Bit Errors (2)

- 前ページの測定結果について、L0~L3のプログラムレベルごとにSEU発生断面積を算出
 - 重イオン照射前のX線照射量は 0 krad および 20 krad を比較

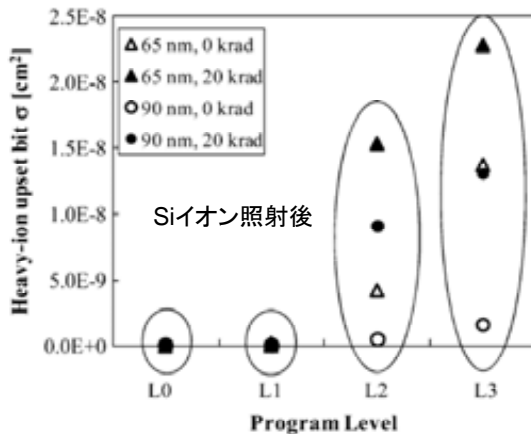


Fig. 4. Raw bit error cross section for Si-induced upsets versus cell program level, for FG cells previously irradiated with different TID.

- 低いプログラムレベルL0およびL1では、SEUは発生せず
- トンネル酸化膜内の電場が強くなっている高いプログラムレベルL2およびL3でSEU発生
- 20 kradのX線照射を受けただけでも、SEU発生断面積が劇的に増加
 - 宇宙でのSEU発生頻度を見積もる際に注意が必要(過小評価の可能性あり)

結果: Raw Bit Errors (3)

- SEU発生断面積 v.s. 重イオンLET を測定
 - LET増加とともに、事前X線照射の影響が小さくなる
 - 例えば、最も高いLETでは、0 kradと20 kradの結果はほとんど同じ
 - 90-nmと65-nmプロセスとも、同様の結果
 - 事前のX線照射の効果として、SEU発生の閾値LETが低くなる

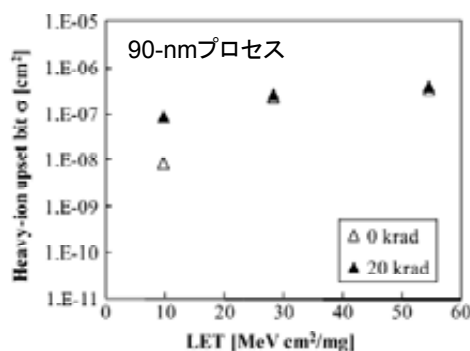


Fig. 5. Raw bit heavy-ion cross section for errors in all four program levels in a fresh 90-nm sample and in a 90-nm sample that received 20 krad(Si) TID before heavy ions.

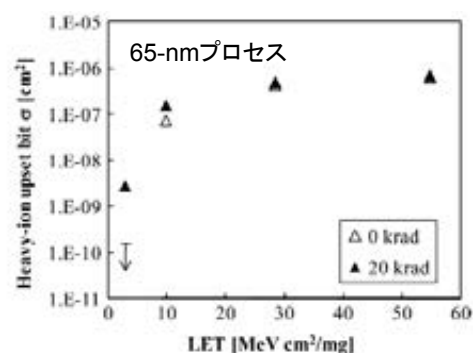


Fig. 6. Raw bit heavy-ion cross section for errors in all four program levels in a fresh 65-nm sample and in a 65-nm sample that received 20 krad(Si) TID before heavy ions. The vertical arrow indicates that no errors have been observed with the applied fluence (with Oxygen ion).

結果: TIDによる閾値電圧 V_{th} のシフト (1)

- SEU発生の振る舞い(TIDの影響によりSEUが増加し、閾値LETが下がる)の起源を調べるため、 V_{th} 分布を測定

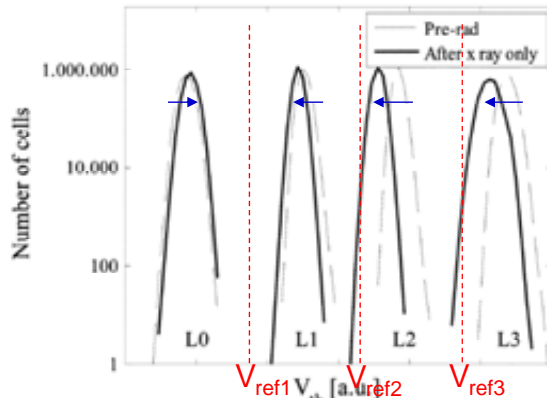


Fig. 7. V_{th} distributions for 90-nm FG cells (equally distributed in the four program levels) before and after TID irradiation, with a total dose of 20 krad(Si).

- X線照射前とX線照射後の V_{th} 分布を比較
 - X線照射により、 V_{th} 分布がシフトする(特にL2、L3)
- プログラムレベルの境界の電圧 V_{ref} を越えてシフトした分が、ビットエラーとなる...式(1)

$$\# \text{ errors} = \int_{-\infty}^{V_{ref}} V_{th, \text{ after rad}}(V) dV$$

- 大きいプログラムレベルでは V_{th} 分布のシフト量が多い
- 以降、TIDによる V_{th} のシフトを $\Delta V_{th, TID}$ と呼ぶ

結果: TIDによる閾値電圧 V_{th} のシフト (2)

- 事前のX線照射のドーズ量と $\Delta V_{th, TID}$ の関係を測定

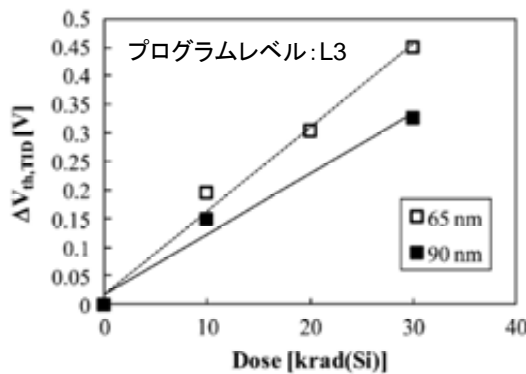


Fig. 8. Average threshold voltage shift for 65-nm and 90-nm FG cells (programmed at the highest level L3) exposed to TID as a function of the received dose.

- TIDによる V_{th} 分布のシフト量は、少なくとも50 krad以下の領域では、ドーズ量に比例して増加する
- 小さいプロセスサイズの方が、シフト量が多い
 - 65-nmプロセスの方が、もともと V_{th} が大きく、トンネル酸化膜内の電場も大きい
 - ⇒トンネル酸化膜内での再結合確率が減り、ホールがフローティングゲートに到達しやすくなり、そこで蓄積されている電子と再結合して電荷が損失する

結果：重イオン照射による V_{th} のシフト (1)

- 重イオン照射による V_{th} 分布への影響を評価
 - X線照射をしなかったサンプル

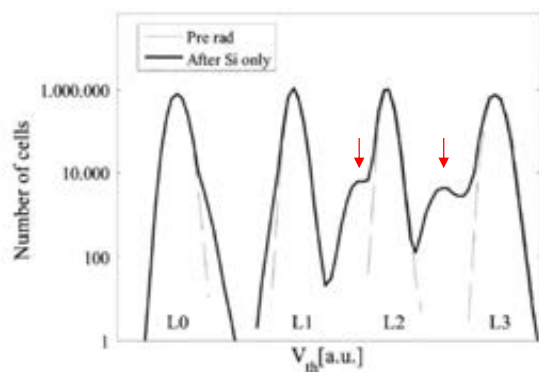


Fig. 9. V_{th} distributions for 90-nm FG cells (equally distributed in the four program levels) before and after Silicon irradiation (fluence $3 \cdot 10^7$ ions/cm²). No TID irradiation has been performed in this device prior to heavy-ion exposure.

- V_{th} 分布に2つ目のピークが現れる
- もとのピークと2つ目のピークの距離は、重イオンのLETによって異なる
- 以降、重イオン照射による V_{th} のシフトの平均値を $\Delta V_{th,HI}$ と呼ぶ
- V_{th} のシフト量 $\Delta V_{th,HI}$ は、プログラムレベルが高いほど大きくなる
 - トンネル酸化膜内の電場が大きいため、イオンが突き抜けた際の電荷損失量も大きい

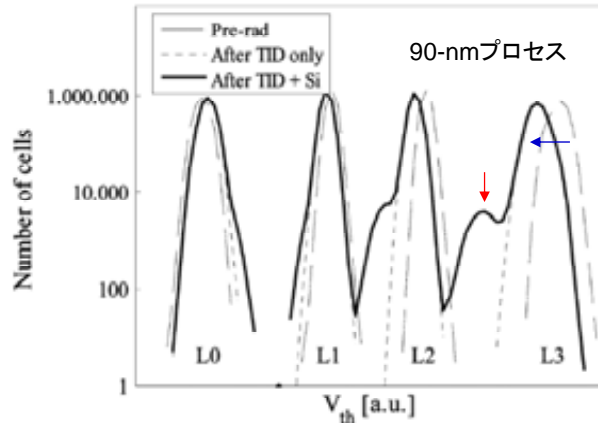
結果：重イオン照射による V_{th} のシフト (2)

- 重イオン入射により引き起こされる V_{th} 分布のシフトの原因は以下のとおり
 - トンネル酸化膜中では、重イオンの飛跡に沿って過渡的な導電性の経路が形成され、そこからフローティングゲートに蓄積された電荷が部分的に抜ける
 - キャリアが過渡的に酸化膜バリアを行き来して、フローティングゲートに出入りする
 - 量は少ないが、フローティングゲート周辺の誘電層で正電荷捕獲が起こる

結果: TID+重イオン照射による V_{th} のシフト (1)

- TIDと重イオン照射の両方を考慮すると、 V_{th} 分布のシフトは、それらの効果の足し合わせとなる。

$$\Delta V_{th} = \Delta V_{th,TID} + \Delta V_{th,HI} \quad (2)$$



- TIDによる V_{th} のシフトと、重イオンによる2つ目のピークの出現が見られる

Fig. 10. V_{th} distribution for 90-nm FG cells before irradiation, after TID exposure only (20 krad(Si)), and after TID exposure followed by Silicon irradiation (fluence $3 \cdot 10^7$ ions/cm²).

2011年12月16日 平成23年度 第4回 最新デバイスの耐放射線強化技術に関する検討委員会 COPYRIGHT © 2011 MITSUBISHI ELECTRIC CORPORATION. ALL RIGHTS RESERVED. 15

結果: TID+重イオン照射による V_{th} のシフト (2)

- 65-nmプロセスでも振る舞いは同様
 - ただし、小さいプロセスの方が重イオンによる V_{th} のシフト量が大きいため、例えばL3の2つ目のピークは、L2の V_{th} 分布に重なってしまっている。
 - 小さいプロセスの方が、フローティングゲートに蓄積される電荷量が小さい

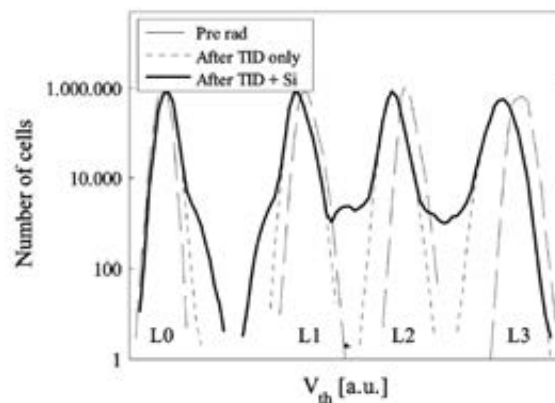


Fig. 11. V_{th} distribution for 65-nm FG cells before irradiation, after TID exposure only (20 krad(Si)), and after TID exposure followed by Silicon irradiation (fluence $3 \cdot 10^7$ ions/cm²).

2011年12月16日 平成23年度 第4回 最新デバイスの耐放射線強化技術に関する検討委員会 COPYRIGHT © 2011 MITSUBISHI ELECTRIC CORPORATION. ALL RIGHTS RESERVED. 16

考察: TID+重イオン照射によるビットエラー数 (1)

- ビットエラー数を表す式は、

$$\text{式(3): } \# \text{ errors} = \underbrace{\int_{-\infty}^{V_{\text{ref}}} V_{\text{th, HI}}(V) dV}_{I_1} + \underbrace{\int_{V_{\text{ref}}}^{V_{\text{ref}} + \Delta V_{\text{th, TID}}} V_{\text{th, HI}}(V) dV}_{I_2}$$

- 最初の積分 I_1 は、重イオン照射のみによるビットエラー数を表している
- 2番目の積分 I_2 は、TIDによるビットエラー数の増加分を表している
- I_1 と I_2 の相対的な大きさが、重イオンでのSEU発生断面積に対してTIDが与える影響度合いを決める
 - I_2 が大きいと、重イオンSEU発生断面積に対するTIDの影響が大きくなる

考察: TID+重イオン照射によるビットエラー数 (2)

- ただし、式(3)は現実を簡略化した表現である。
 - TIDにより V_{th} 分布の幅が広がる効果を考えていない
 - 実際にはX線照射後の V_{th} 分布の幅は広がっている
 - フローティングゲートに書き込む際、Compactionという操作が行われ、 V_{th} 分布の幅が狭くなるようにする。
 - X線照射による V_{th} のシフト量は、それぞれのセルのももとの V_{th} により異なるため、X線照射後の V_{th} 分布は広がる
 - TIDにより V_{th} 分布がシフトし、それにより酸化膜内の電場が減少していることを考慮していない
 - 実際には $\Delta V_{\text{th, HI}}$ は酸化膜内の電場の大きさにより異なる
 - TIDにより酸化膜中の電場が減少すると、 $\Delta V_{\text{th, HI}}$ は小さくなるため、 $\Delta V_{\text{th, TID}}$ と $\Delta V_{\text{th, HI}}$ の単純な足し算にはならない

考察: TID+重イオン照射によるビットエラー数 (3)

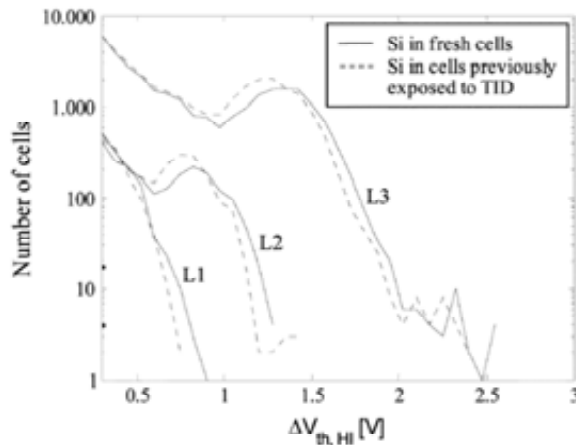


Fig. 12. Heavy-ion induced threshold voltage shift distributions for 65-nm FG cells irradiated only with Silicon (solid line) and with both TID and Silicon (dashed line), for the three highest program levels L1, L2, and L3. The graph shows only the shift induced by Silicon, not that induced by TID.

- TID照射の有無による、 $\Delta V_{th,HI}$ の違いを測定した
- TID照射をしていないものの方が、 $\Delta V_{th,HI}$ は大きい
 - TID照射により、 V_{th} が小さくなる
 - TID照射による V_{th} のシフトは、フローティングゲート内の電荷の損失による
 - つまり、TID照射を受けると酸化膜内の電場が小さくなる
 - 酸化膜内の電場が小さいと、重イオンによる V_{th} のシフトも小さくなる

考察: TID+重イオン照射によるビットエラー数 (4)

- TIDの有無による、 V_{th} シフト量の違い (各LETごとに比較)
 - すべてのLETの重イオンについて、 ΔV_{th} は、事前のTID照射無しの方が大きい

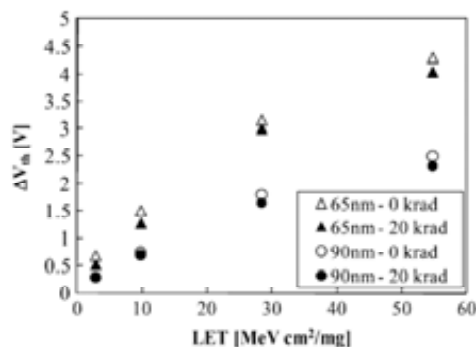


Fig. 13. Overall threshold voltage shift, $V_{th} = V_{th,TID} + V_{th,HI}$ (for cells programmed at the highest level L3) as a function of ion LET for fresh FG cells (white symbols) and for cells previously irradiated with 20-krad TID (black symbols). Samples with both 65-nm and 90-nm feature size are shown.

- このことから、テクノロジースケーリングにより、どのようにTIDと重イオンの効果の現れ方が変わるかについて、考察できる
 - プロセスサイズが小さい方が、事前TID照射による重イオンのビットエラー数の増加量は小さい
 - 小さいプロセスサイズでは、 $l_1 + l_2$ での l_1 のインパクトが小さいため
- プロセスが小さくなると、重イオンでのビットエラーのLET閾値が小さくなる
 - 低LET領域では、重イオンのビットエラー数の増加量に対して、TID照射の影響が大きくなる
 - この効果は、テクノロジースケーリングによりなくなることはない
 - むしろ、小さいLET領域での影響が大きくなる

考察：放射線耐性との関係

- この論文で扱った低TIDレベル (< 50 krad、宇宙環境と同等) においては
 - 重イオン入射に先立って受けた小さいTIDの効果を無視すると、ビットエラー数を過小評価してしまう(特に、低LET領域では1桁以上間違ふこともあり得る)
 - TIDとSEEを別々に考え、 V_{th} のシフトを単にそれらの足し算として評価すると、ワーストケースの評価となり、過大評価となる
 - 今回評価したデバイスでは、この過大評価の大きさは、高LET領域では5~8%程度、低LET領域では20%程度になる
 - これらの結果は、照射したフルエンスには依存しない
 - フルエンスは、2つ目のピーク内にあるビット数のみに影響を与え、 V_{th} のシフト量には影響を与えない
- TIDと重イオンの照射の順番を入れ替えたり、同時に照射した場合には、重イオンでのSEU数に対するTIDの影響は、大きくなることも小さくなることもある
 - トネル酸化膜内の電場を、TID照射量および重イオンフルエンスの関数として求める必要がある
- X線では、陽子や電子と異なり、low-Zの物質とhigh-Zの物質の境界面があると、TID効果が大きくなることから、この論文の結果は、ワーストケースとして考えてよい

結論

- この論文では、事前にTID照射 (< 50 krad) を受けたフローティングゲートセルについて、重イオン照射によるSEU発生断面積を示した
 - 低LET領域において、TIDによるSEU発生断面積の増加への寄与は大きい
 - 重イオンによるビットエラー数は、TID照射量に比例して大きくなる
 - これは、TIDと重イオン照射による V_{th} 分布のシフトの組み合わせに起因する
- TID照射に続いて照射された重イオンによるSEU発生断面積の増加は、宇宙でのエラーレート予測について重要な帰結をもたらす
 - TIDと重イオンを組み合わせた効果は、別々に考えたとき(つまり単純に足し合わせた効果)に比べ、 V_{th} のシフト量としては小さくなる
 - これは、TIDによるフローティングゲートからの電荷損失によって酸化膜内の電場が小さくなり、引き続いて照射された重イオンによる V_{th} のシフト量は、TIDを受けていない場合と比べ、小さくなるためである

END

CMOSイメージセンサーの界面状態とトラップ電荷密度測定によるトータルドーズ誘起の暗電流の解析

- (原題) Analysis of Total Dose-Induced Dark Current in CMOS Image Sensors From Interface State and Trapped Charge Density Measurements
- (著者) V. Goiffon, C. Virmontois, P. Magnan, S. Girard, and P. Paillet
(仏Toulouse大、仏CEA)
 - CMOSイメージセンサー
 - X線 10keV
- (報告担当) みずほ情報総研 深田

2011年12月16日(金)

MIZUHO

最新デバイスの耐放射線性
強化技術に関する検討委員会

1

I. 序論: CMOSイメージセンサーについて

- CMOSイメージセンサーが照射を受ける
⇒放射耐性があっても劣化する(暗電流が増加する)。
- CMOSイメージセンサーでは、TIDが重要である
 - 特に、リモートセンシング、医療イメージング、粒子物理、軍事アプリケーションにおいて
 - より高いTIDでは、FOXFET(フィールド酸化膜FET)を囲む寄生による弱い反転電流が問題となる
- CMOSイメージセンサーの暗電流の起源はよく知られていない...劣化において重要な役割を果たすトラップ電荷と界面状態の本質的な役割は未だ明確でない。
- 本論分では、欠陥密度と暗電流の関係を解析する。

2011年12月16日(金)

MIZUHO

最新デバイスの耐放射線性
強化技術に関する検討委員会

2

I. 序論(参考):①暗電流、②CMOSイメージセンサー

①暗電流

- 光照射が無くても流れる電流
- 少数キャリアの拡散による微小な電流
- +生成再結合電流(欠陥、不純物、界面不純物による)
- ※イメージセンサーにとってはノイズである、ゼロに近いことが望ましい
- ※太陽電池で、光電流と暗電流が釣り合うのが開放電圧である。

②CMOSイメージセンサー(CIS)

- CCDを介さず、フォトダイオードから電荷検出部へ直接電荷を転送する。
- CMOSイメージセンサー...安価、消費電力が少ない
⇔CCDイメージセンサー...高感度、低ノイズ
- 裏面照射型が商品化され、埋め込みフォトダイオード、画素共有化とあわせてCCDに匹敵する画質を維持しながら画素サイズを縮小することが可能となってきた。
- ようやくCCD(誕生して40年)に対抗できる技術が揃ってきた。
- CMOSイメージセンサーにおける微細化競争はほぼ終息しつつあり、今後は高機能化へより力点が移るものと予想される。

2011年12月16日(金)

最新デバイスの耐放射線性
強化技術に関する検討委員会

3

MIZUHO

II 実験...A:テストチップ

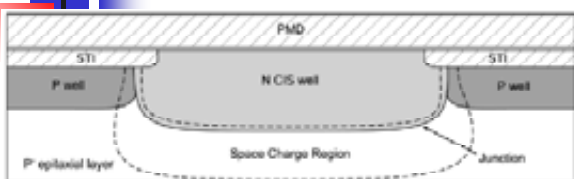


Fig. 1. CIS conventional photodiode cross-sectional view.

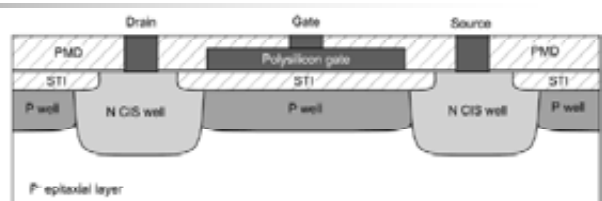


Fig. 2. Cross-sectional view of a FOXFET with N CIS well implants used for source and drain junctions.

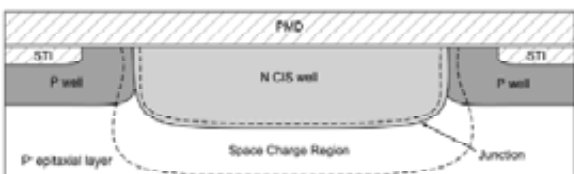


Fig. 3. Cross-sectional view of a photodiode with recessed STI.

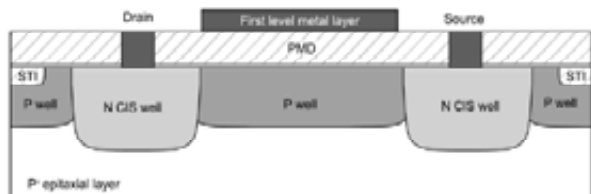


Fig. 4. PMDFET cross-sectional view.

図1 通常の写真ダイオード

図2 FOXFET(フィールド酸化膜FET)...フォトダイオード近傍の欠陥密度を評価するため

図3 RFD(リセスフィールド酸化膜)フォトダイオード...空乏層がPMD界面で終端

図4 PMDFET(premetal絶縁膜 FET)...チャンネルにSTIなし

2011年12月16日(金)

最新デバイスの耐放射線性
強化技術に関する検討委員会

4

MIZUHO

II 実験... A:テストチップ

- 0.18 μm CMOSプロセス
- PN接合の周長:14 μm 、面積:10 μm^2
- 300個のフォトダイオードをアレイ状に配置
- フォトダイオード間距離: 5 μm
- FOXFET(図2)
 - チャンネル幅:300 μm
 - チャンネル長:①0.7 μm 、②7 μm 、③100 μm
- PMDFET(図4)
 - チャンネル幅:300 μm
 - チャンネル長:2 μm

2011年12月16日(金)

最新デバイスの耐放射線性
強化技術に関する検討委員会

5

II 実験...B:測定、照射、アニーリング条件

- I-V測定...22 $^{\circ}\text{C}$ 、湿度50%
 - 極低電流測定に関して最適化されたシールドBox
 - 液体窒素低温保持装置で温度掃引
 - セラミックパッケージは使用せず(ピン間リーク電流が微小のため)
 - 16ピンTO8金属パッケージ(ガード電圧を採用できる)
 - 半導体パラメータアナライザー(Keithley4200)、スイッチ基盤で測定を自動化
- 電圧を印加していない状態で、10keV X線
...ARACORモデル4100(CEA-DIFF)
- TID:3krad(SiO_2) \sim 1Mrad(SiO_2)
- ドーズレート: \sim 100rad(SiO_2)/s
- 35 $^{\circ}\text{C}$ から300 $^{\circ}\text{C}$ まで、30分間の等時アニーリング

2011年12月16日(金)

最新デバイスの耐放射線性
強化技術に関する検討委員会

6

II 実験...C:欠陥密度の抽出とTCADの詳細

- 欠陥密度:McWhorter and Winokurの方法[文献11]
- mid-gapドレイン電流[文献12]:

$$I_D = \frac{\mu_n}{(q/kT)^2} \left(\frac{W}{L} \right) \sqrt{\frac{q\epsilon_{Si}N_A}{2\Phi_s} \left(\frac{n_i}{N_A} \right)^2} e^{(\frac{q\Phi_s}{kT})}. \quad (1)$$

- SIMS⇒平均表面ドーピング
- mid-gap電圧シフト⇒トラップ電荷密度
- サブスレッショルドの傾き⇒界面状態密度
- TCAD...SENTAURUSを使用

2011年12月16日(金)

MIZUHO

最新デバイスの耐放射線性
強化技術に関する検討委員会

7

III 放射誘起暗電流の解析

...A:暗電流の性質(図5):ピクセルのレイアウト

- 古典的な3Tアクティブピクセル
- フィールド酸化膜がゲート酸化膜の役割

(※)この図では、金属層を省略

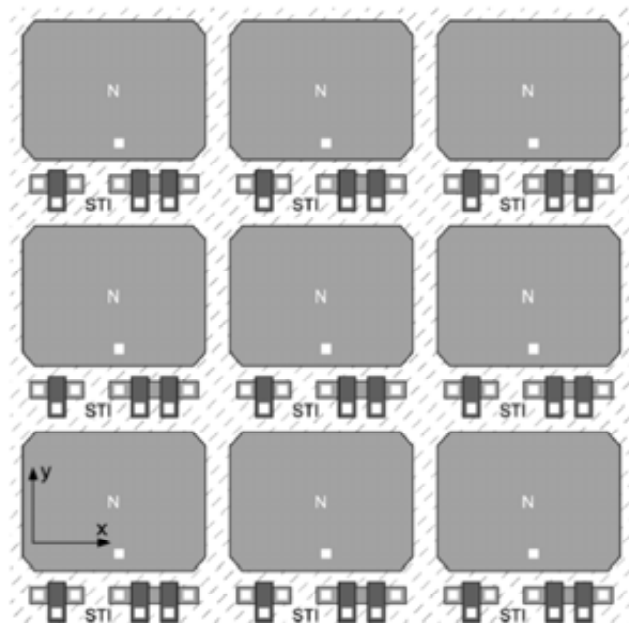


Fig. 5. Top view illustration of a 3 × 3-3T-pixel-layout describing the photo-diode environment. The metal layers are not represented.

2011年12月16日(金)

MIZUHO

最新デバイスの耐放射線性
強化技術に関する検討委員会

8

III 放射誘起暗電流の解析

...A: 暗電流の性質: 起源

■ 放射誘起暗電流の起源

- ドレイン接合拡散電流 (NP中性領域から)
- 空乏層からのドレイン接合SRH生成電流 (電界の有る場合、無い場合)
- トンネル電流 (バンド間、トラップアシスト)
- サブスレッショルド逆反転伝導
- ゲート誘起ドレインリーク (GIDL)... MOSTランジスタがOFF状態のときに、ゲート電極下のドレイン端がゲート電位の影響を受けて、ドレインから基板へ流れる電流
- ゲートリーク電流 ⇒ STI酸化膜が厚いため無視できる
- ドレインからソースへのパンチスルー電流 ⇒ 考慮不要 (TID欠陥は表面から遠く離れた空乏領域に影響しない)

2011年12月16日(金)

MIZUHO

最新デバイスの耐放射線性
強化技術に関する検討委員会

9

III 放射誘起暗電流の解析

...A: 暗電流の性質 (図6): 通常の写真ダイオード

- 暗電流は、TIDで単調に増加
- <300kradまで> 暗電流は、逆バイアスで単調に増加 ⇒ 電界が無い場合、SRH生成に支配されている [文献12、15]
- <1Mrad> 暗電流は逆バイアスに依存しない ← 弱反転電流、STI界面での空乏層間のマージ
- トンネリングは、暗電流増加に寄与していない [文献17、18]

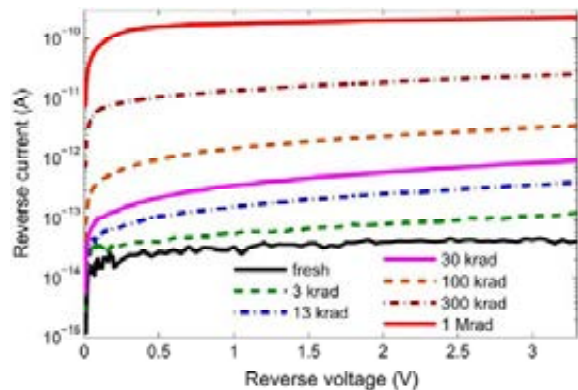


Fig. 6. CIS conventional photodiode reverse current-voltage characteristics evolution with irradiation (300 photodiodes in parallel).

2011年12月16日(金)

MIZUHO

最新デバイスの耐放射線性
強化技術に関する検討委員会

10

III 放射誘起暗電流の解析

...A: 暗電流の性質 (図7)...FOXFET

[$W=300\mu\text{m}$ 、 $L=70\mu\text{m}$ 、 $V_d=3.3\text{V}$]

- $V_g=0\text{V}$ の電流⇒暗電流
 - 電流はTIDの増加により増加する
 - 100krad以下では V_g 依存性はない
- ⇒①SRHが主因、②GIDLとSubthreshold伝導は、“ドレインリーク”、“100kradまでの暗電流”に寄与しない
- 100krad以上では、Subthreshold伝導電流が支配し始める

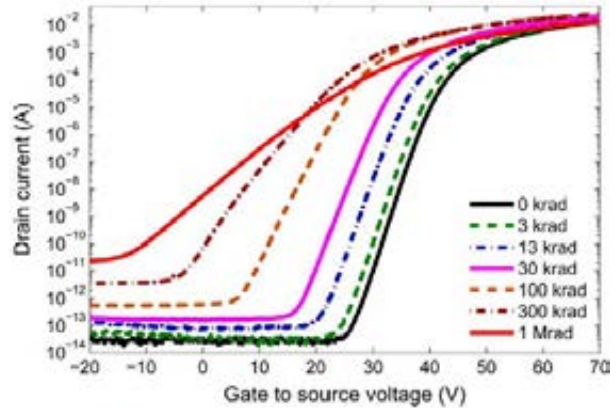


Fig. 7. FOXFET subthreshold characteristics evolution with irradiation. The presented curve comes from a FOXFET with $W = 300 \mu\text{m}$ and $L = 0.7 \mu\text{m}$. The applied drain to source voltage was 3.3 V.

2011年12月16日(金)

MIZUHO

最新デバイスの耐放射線性
強化技術に関する検討委員会

11

III 放射誘起暗電流の解析

...A: 暗電流の性質

- 放射誘起暗電流 \propto フォトダイオードの周長[文献8]
- 生成電流は周囲の空乏STI界面に由来する

SRH生成電流:

$$I_{\text{dark}}(V_R) = qW_{\text{STI}}(V_R)P_j\sigma_{\text{eff}}v_{\text{th}}k\pi TD_{\text{it}}n_i \quad (2)$$

(V_R : 逆方向電圧、 W_{STI} : 空乏領域の厚さ、 P_j : 接合周長、 σ_{eff} : STI界面中心の有効捕獲断面積)

n_i と v_{th} の温度依存性を無視すると、

$$I_{\text{dark}}(T) \propto \exp\left\{-\frac{E_g}{2kT}\right\}. \quad (3)$$

2011年12月16日(金)

MIZUHO

最新デバイスの耐放射線性
強化技術に関する検討委員会

12

III 放射誘起暗電流の解析

...A: 暗電流の性質 (図8): 温度依存性

[Vd=3.3V]

- ① 通常のフォトダイオード
- ② RFDフォトダイオード

- 活性化エネルギーは、TIDによらず $E_{gap}/2$ によく一致する (1Mradでも)。

⇒ TID誘起暗電流へは、主に界面状態SRH生成電流が寄与する。

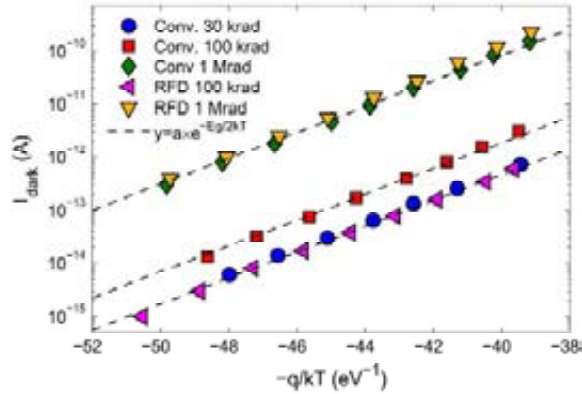


Fig. 8. Photodiode dark current Arrhenius plots for several TID (300 photodiodes in parallel). The data are compared to exponential functions proportional to $\exp -E_g/2kT$. During measurement, the photodiodes were reverse biased to 3.3 V.

2011年12月16日(金)

最新デバイスの耐放射線性強化技術に関する検討委員会



III 放射誘起暗電流の解析

...A: 暗電流の性質 (図9、図10)

図6、図7と同様になる。

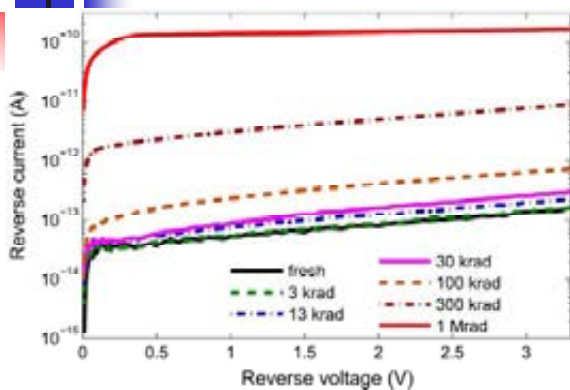


Fig. 9. Recessed STI photodiode reverse current-voltage characteristics evolution with irradiation (300 photodiodes in parallel).

↑ 図9: RFDフォトダイオード

図6: 通常のフォトダイオード →

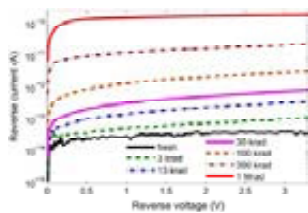


Fig. 9. RFD recessed STI photodiode reverse current-voltage characteristics evolution with irradiation (300 photodiodes in parallel).

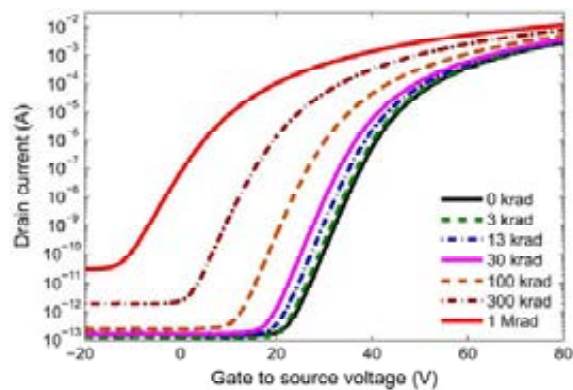


Fig. 10. PMDFET subthreshold characteristics evolution with irradiation. The transistor aspect ratio is $W/L = 300 \mu\text{m}$ and $L = 2 \mu\text{m}$ and the applied drain to source voltage was 3.3 V.

↑ 図10: PMDFET

図7: FOXFET →

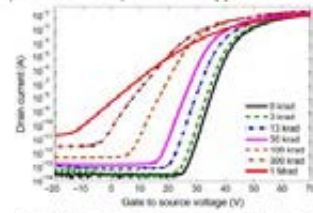


Fig. 10. FOXFET subthreshold characteristics evolution with irradiation. The transistor aspect ratio is $W/L = 300 \mu\text{m}$ and $L = 0.2 \mu\text{m}$. The applied drain to source voltage was 3.3 V.

2011年12月16日(金)

最新デバイスの耐放射線性強化技術に関する検討委員会



III 放射誘起暗電流の解析...B: 界面状態とトラップ電荷の役割 (図11): FOXFETの等時アニーリング

I_{dark} : 暗電流、 N_{ot} : トラップ電荷密度、 D_{it} : 界面状態密度

[300krad、アニール時間: 30分]

- アニーリング温度が高くなると、放射誘起暗電流が連続的に減少する。
- 放射誘起界面状態
 - 75°Cで速やかにアニールアウト
 - 300°Cで完全に消失
- トラップ電荷
 - 300°Cで30%残る
- 劣化における①トラップ電荷と②界面状態の役割を区別するためには、欠陥密度を評価しなければならない

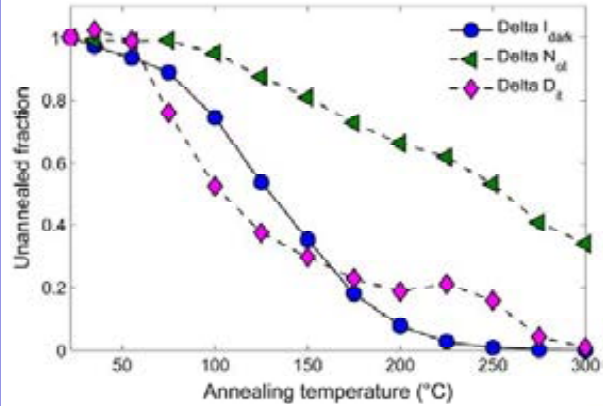


Fig. 11. Radiation induced photodiode dark current, trapped charge density and interface state density evolution during the isochronal annealing experiment (30 min isochronal annealing step duration).

2011年12月16日(金)

最新デバイスの耐放射線強化技術に関する検討委員会

MIZUHO

15

III 放射誘起暗電流の解析...B: 界面状態とトラップ電荷の役割 (図12、図13): 暗電流と欠陥密度の関係

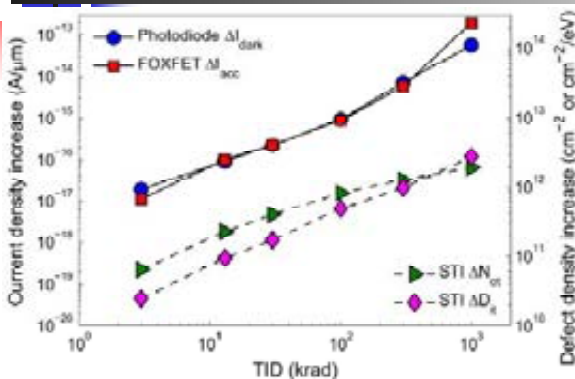


Fig. 12. Conventional photodiode dark current ($V_R = 3.3$ V) and FOXFET accumulation mode current (with $V_{DS} = 3.3$ V) increases compared to trapped charge and interface state density increases with total dose.

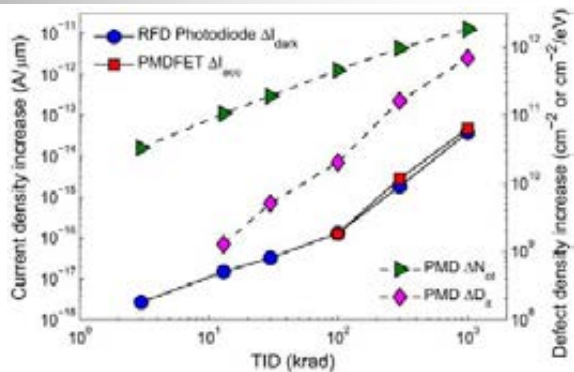


Fig. 13. Recessed STI photodiode dark current ($V_R = 3.3$ V) and PMDFET accumulation mode current (with $V_{DS} = 3.3$ V) increases compared to trapped charge and interface state density increases with total dose. For ΔD_{it} values below 10^{10} $\text{cm}^{-2} \cdot \text{eV}^{-1}$, the differences in subthreshold slope was below the measurement uncertainty, therefore these ΔD_{it} values are not reliable.

FOXFETの ΔI_{acc} ≒ 通常フォトダイオードの ΔI_{dark}

⇒空乏層がSTIまで達している場合、放射誘起暗電流は主に接合境界に起因する

2011年12月16日(金)

最新デバイスの耐放射線強化技術に関する検討委員会

MIZUHO

16

III 放射誘起暗電流の解析...B: 界面状態とトラップ電荷の役割 (図14): トラップ電荷の効果

放射誘起暗電流において、トラップ電荷の効果を無視すると、

$\Delta I_{\text{dark}} \propto \Delta D_{\text{it}}$ となる:

$$\Delta I_{\text{dark}}(\text{TID}) = qW_{\text{STI}}P_j\sigma_{\text{eff}}v_{\text{th}}n_i k\pi T \Delta D_{\text{it}}(\text{TID}). \quad (4)$$

[図14] ΔI_{dark} と ΔD_{it} は線形でない \Rightarrow トラップ電荷が暗電流に寄与している

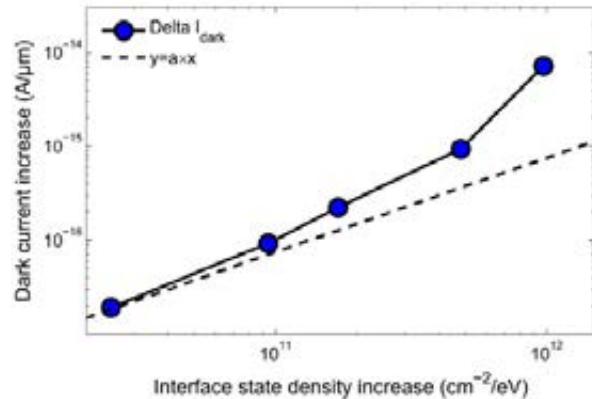


Fig. 14. Conventional photodiode dark current density increase compared to interface state density increase with TID.

2011年12月16日(金)

MIZUHO

最新デバイスの耐放射線性
強化技術に関する検討委員会

17

III 放射誘起暗電流の解析 ...B: 界面状態とトラップ電荷の役割 (式5、6)

ΔN_{ot} (放射誘起トラップ電荷)... 表面での静電平衡状態を変える
 \Rightarrow 表面の空乏層が拡張:

$$I_{\text{dark}}(\text{TID}) = qW_{\text{STI}}(\Delta N_{\text{ot}})P_j\sigma_{\text{eff}}v_{\text{th}}n_i \times k\pi T [D_{\text{it}0} + \Delta D_{\text{it}}(\text{TID})]. \quad (5)$$

3個の未知量: ① $W_{\text{STI}}(\Delta N_{\text{ot}})$ 、② $D_{\text{it}0}$ 、③ σ_{eff}

TIDによる① $W_{\text{STI}}(\Delta N_{\text{ot}})$ の変動を評価し、その他の② $D_{\text{it}0}$ 、③ σ_{eff} をラフに見積もるために (6式) を図15にプロットした。

$$W_{\text{STI}}(\Delta N_{\text{ot}}) = \frac{I_{\text{dark}}}{qP_j\sigma_{\text{eff}}v_{\text{th}}n_i k\pi T [D_{\text{it}0} + \Delta D_{\text{it}}]}. \quad (6)$$

- 低TIDにおいて、誘起トラップ電荷の効果は小さい
- 高TIDにおいて、 $D_{\text{it}0}$ の不確かさは影響しない
- σ_{eff} は、曲線形状を変えない、絶対値は変わる

2011年12月16日(金)

MIZUHO

最新デバイスの耐放射線性
強化技術に関する検討委員会

18

III 放射誘起暗電流の解析...B: 界面状態とトラップ電荷の役割 (図15、図16): 空乏域拡張とトラップ電荷密度

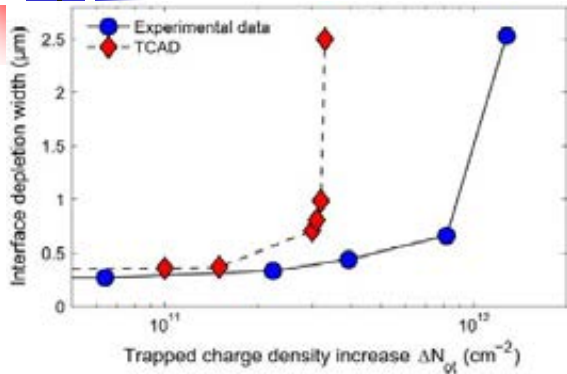


Fig. 15. Evolution of W_{dep} with trapped charge density in the conventional CIS photodiode. The experimental data are plotted by using (6) and taking $D_{H0} = 1.4 \times 10^{10} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ and $\sigma_{st} = 2 \times 10^{-16} \text{ cm}^2$.

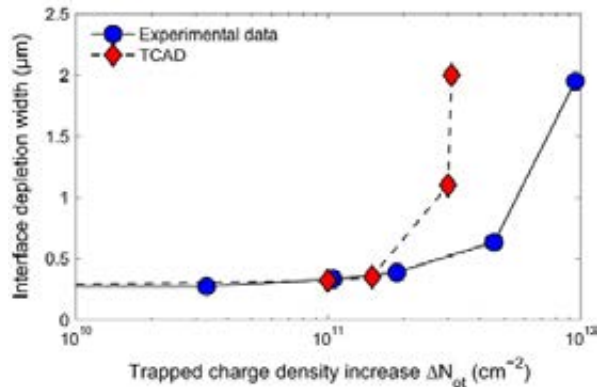


Fig. 16. Evolution of W_{dep} with trapped charge density in the recessed STI photodiode. The experimental data are plotted by using (6) and taking $D_{H0} = 2.3 \times 10^{10} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ and $\sigma_{st} = 1.26 \times 10^{-16} \text{ cm}^2$.

通常のフォトダイオード

RFDフォトダイオード

TID: 6~300krad ($\Delta N_{ot}: 10^{11} \sim 10^{12}$) で空乏域が大幅に拡張する (⇒暗電流が急激に増加する)

2011年12月16日(金)

最新デバイスの耐放射線強化技術に関する検討委員会



19

III 放射誘起暗電流の解析...B: 界面状態とトラップ電荷の役割 (図17): TCAD構造 (ポテンシャル分布)

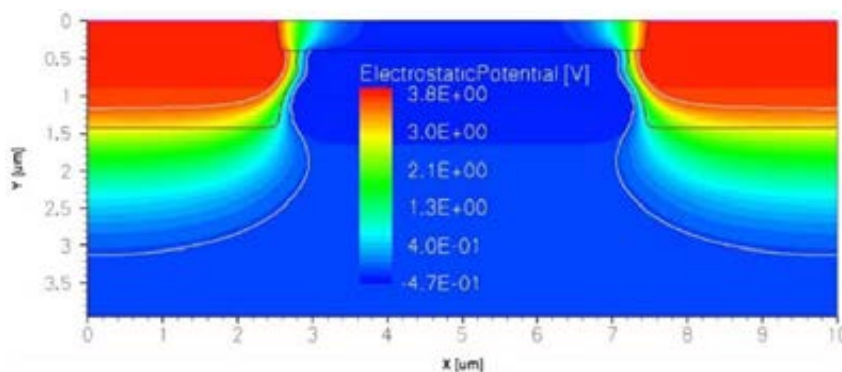


Fig. 17. Overview of the TCAD simulation (with no trapped charge). The simulation of two half-conventional photodiodes with $5 \mu\text{m}$ of STI between them is presented.

- STI界面での空乏領域の拡張
- 厚い酸化膜中のトラップ電荷の効果

2011年12月16日(金)

最新デバイスの耐放射線強化技術に関する検討委員会



20

III 放射誘起暗電流の解析

...B: 界面状態とトラップ電荷の役割 (図18~図21)

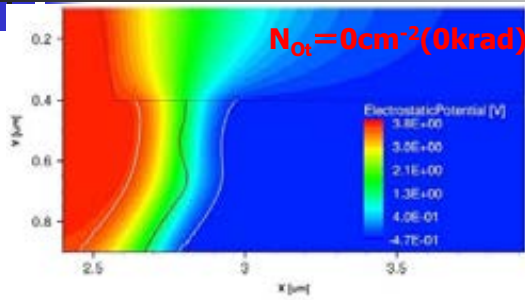


Fig. 18. Conventional photodiode TCAD simulation with no trapped charge. The area of interest has been magnified to clearly show the space charge region extension along the STI/Si interface.

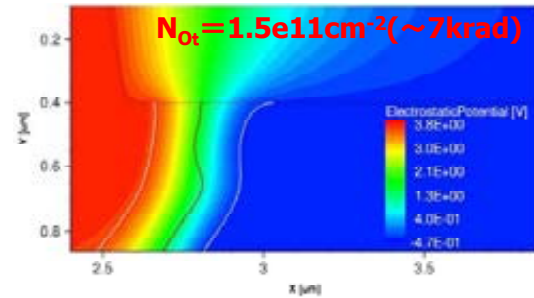


Fig. 19. Conventional photodiode TCAD simulation with a trapped charge density of $1.5 \times 10^{11} \text{ cm}^{-2}$ ($\approx 7 \text{ krad}$).

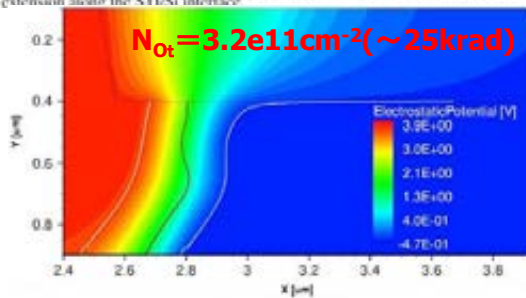


Fig. 20. Conventional photodiode TCAD simulation with a trapped charge density of $3.2 \times 10^{11} \text{ cm}^{-2}$ ($\approx 25 \text{ krad}$).

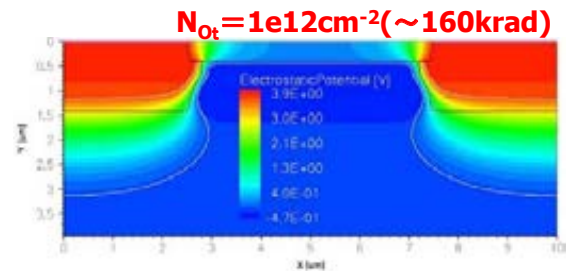


Fig. 21. Conventional photodiode TCAD simulation with a trapped charge density of $1 \times 10^{12} \text{ cm}^{-2}$ ($\approx 160 \text{ krad}$).

2011年12月16日(金)

最新デバイスの耐放射線性
強化技術に関する検討委員会

MIZUHO

21

III 放射誘起暗電流の解析

...B: 界面状態とトラップ電荷の役割 (図18~図21)

- [図19]トラップ電荷が $1e11\text{cm}^{-2}$ までは、界面での空乏層の拡張はわずかである、Nドーピング領域では空乏層がわずかに減少している。
- [図20、図21]トラップ電荷が $3.2e11\text{cm}^{-2}$ (25krad)以上になると、P領域で空乏域が拡張し、2つの空乏層がマージする。
- STI界面での有効P濃度の減少(有効N濃度の増加)で説明できる。有効濃度はトラップ電荷による電界と直接関係している。
- シミュレーション結果は実験結果と定性的に一致し、トラップ電荷による暗電流の増加を確認できる。
- 空乏層がマージする位置でのトラップ電荷は、シミュレーション結果は実験結果の1/3である←単純化した仮説、欠陥密度の不確かさ、SIMS測定によるドーピングプロファイル評価のラフさ

2011年12月16日(金)

最新デバイスの耐放射線性
強化技術に関する検討委員会

MIZUHO

22



IV. まとめ(1)

- 2種類のCISフォトダイオードのTID誘起暗電流の増加について、3krad～1Mradの範囲で、界面状態密度とトラップ電荷密度の増加を分析・比較した。
- 電界が無くても、放射誘起暗電流は、SRH生成プロセスで生じる。
- 界面状態密度の増加だけでは劣化を説明できない。
- TCADによって、6～300kradにおいては、放射誘起トラップ電荷が酸化膜界面での空乏層領域を広げ、生成電流を増加することを確認した。
- 300krad以上では、ドレイン電圧が正の場合、近接するフォトダイオードの空乏領域がマージし、FOXFETではデバイス間リーク電流が生じる。

2011年12月16日(金)

最新デバイスの耐放射線性
強化技術に関する検討委員会

23



IV. まとめ(2)

- 等時アニーリングにおいて、100°C以下では界面状態がアニーラウトする。
- 300°C30分アニーリングでは、トラップ電荷の1/3が残る。
- 放射耐性向上のためには、①生成中心密度の増加、②TIDによる空乏領域の拡大、が緩和される必要がある。
- 放射誘起暗電流を減少させる最も直接的な方法は、接合部境界線を減らすことである(量子効果、電荷-電圧変換ファクター)。
- 先端CISの劣化の主要な原因は、STI界面状態の増強と電荷トラップである。
- CIS挙動の完全な理解の前に、照射とアニーリング後のSTI挙動を理解すべきである。

2011年12月16日(金)

最新デバイスの耐放射線性
強化技術に関する検討委員会

24

Process Dependence of Proton-Induced Degradation in GaN HEMTs プロトンにより誘発された製造工程に依存したGaN HEMTの劣化

出典	IEEE TRANSACTION ON NUCLEAR SCIENCE, VOL.57, NO.6, DECEMBER2010 pp.3060-3065
著者名	Tania Roy, En Xia Zhang, Yevgeniy S. Puzyrev, Daniel M. Fleetwood, Ronald D. Schimpf, Bo K. Choi, Anthony B. Hmelo, and Sokrates T. Pantelides
対象デバイス	AlGaIn/GaN HEMTs
実験設備	HVE AN-2000 Van de Graff
照射線種及びエネルギーの区分	Proton 1.8MeV
単発現象又は積算線量効果の区分	積算線量効果
実験又は理論の区分	実験

報告者： 三菱電機株式会社 高周波光デバイス製作所
 品質保証部 品質保証課 蓮池 篤

COPYRIGHT © 2011 MITSUBISHI ELECTRIC CORPORATION. ALL RIGHTS RESERVED.

1

論文構成

- **Abstract**
- I. Introduction**
- II. Experiments**
- III. Results and Discussion**
 - A. Electrical-Stress-Induced Degradation**
 - B. DC Characteristics**
 - C. Gate Voltage Dependence of 1/f Noise**
 - D. S_{vd} vs Frequency**
- IV. Summary and Conclusions**

COPYRIGHT © 2011 MITSUBISHI ELECTRIC CORPORATION. ALL RIGHTS RESERVED.

2

ABSTRACT

- 1.8MeVのプロトン照射の応答をGaリッチ, Nリッチ, NH₃リッチで成長したAlGa_xN/GaN HEMTで比較.
- NH₃リッチで成長した素子はGaリッチ, Nリッチで成長した素子よりもプロトンの影響を受けやすい.
- 素子の1/f雑音はフルエンスの増加に伴い増える. N空孔とGaN2重空孔が素子内で雑音を増やす.

I. INTRODUCTION

- AlGa_xN/GaN HEMTは高い破壊耐圧, キャリア移動度の速さ, 広バンドギャップ
→高電力, 高周波製品に実用化
- GaN HEMTのプロトン照射の研究は放射線耐性に問題あることを示している.
例えば, DC電流と相互コンダクタンスが1.8MeVのプロトン10¹⁴ p+/cm²のフルエンスに対して各々60%, 70%まで劣化した.
- 3つの異なる条件下で成長したGaN HEMTに1.8MeVのプロトンを照射
【3条件】
Gaリッチ : (特徴)成長は表面粗さを低減.
Nリッチ : (特徴)結晶欠陥密度を下げる.
NH₃リッチ : (特徴)高温で成長レートを引き上げる, 結晶欠陥を減らす窒素源.
(ホットエレクトロン)
Gaリッチ, Nリッチの素子 → V_{pinch-off} がプラス側にシフトする.
NH₃リッチの素子 → V_{pinch-off} がマイナス側にシフトする.
(1.8MeVのプロトン照射)
■ GaリッチとNリッチ素子はNH₃リッチ素子よりも放射線耐性がある.
■ 1.8MeVのプロトンを10¹⁴cm⁻²のフルエンスまで照射すると素子が故障する.
■ 低周波雑音はプロトンのフルエンスに伴い増加し, プロトンが変位損傷を誘発する.
→欠陥はN空孔とGaN2重空孔の生成と一致する結果となった.

II. EXPERIMENT

試験サンプル

エピはSiC基板の上にMBEを使ってAlGaIn/GaNのヘテロ構造層を成長 (@カリフォルニア大学サンタバーバラ校).
 【MBE成長環境】 (i)GaNリッチ, (ii)Nリッチ, (iii)NH₃リッチ
 【素子】 ゲート長=0.7μm, Lgd=1.2μm, Lgs=0.7μm, Wgt=150μm
 【サンプル数】各条件6 pcs.

試験条件

【加速器】HVE AN-2000 Van de Graff加速器
 【照射線種】プロトン 1.8MeV 10¹⁴cm⁻²のフルエンス
 【試験条件】全端子をGNDに接地(ノンバイアス)
 【測定項目】DC測定、低周波1/f雑音の測定

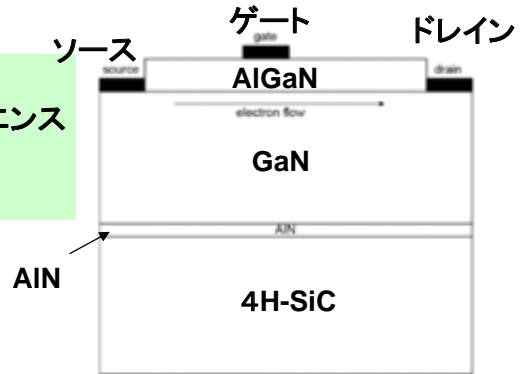


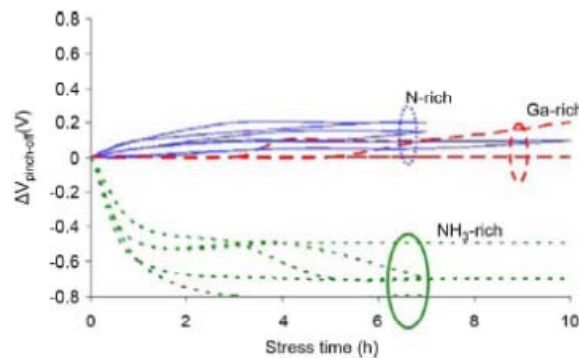
Fig. 1. Cross-section of a GaN/AlGaIn HEMT. The aluminum nitride (AlN) nucleation layer is shown on the 4H-SiC (SiC polytype with hexagonal unit cell) substrate.

COPYRIGHT © 2011 MITSUBISHI ELECTRIC CORPORATION. ALL RIGHTS RESERVED.

III. RESULTS AND DISCUSSION

A. 電氣的ストレスが誘発した劣化

電気ストレス



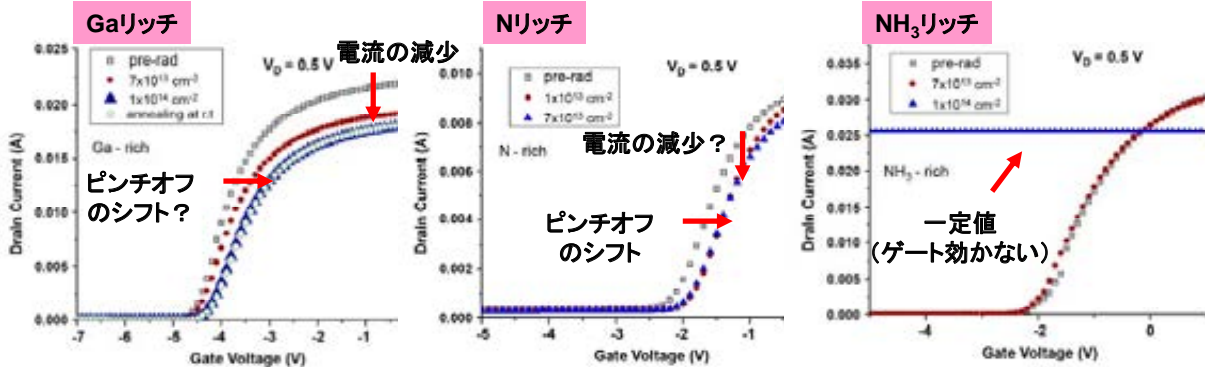
- Vds=20V, ゲート電圧>ピンチオフで電気ストレスを印加
- 熱効果を無視できるように3品種すべて3.3W/mmに設定

エピ成長条件	ピンチオフ電圧
Gaリッチ	正にシフト
Nリッチ	正にシフト
NH3リッチ	負にシフト

COPYRIGHT © 2011 MITSUBISHI ELECTRIC CORPORATION. ALL RIGHTS RESERVED.

B.DC特性

プロトン照射後のHEMTの特性変化 (I_D-V_G)



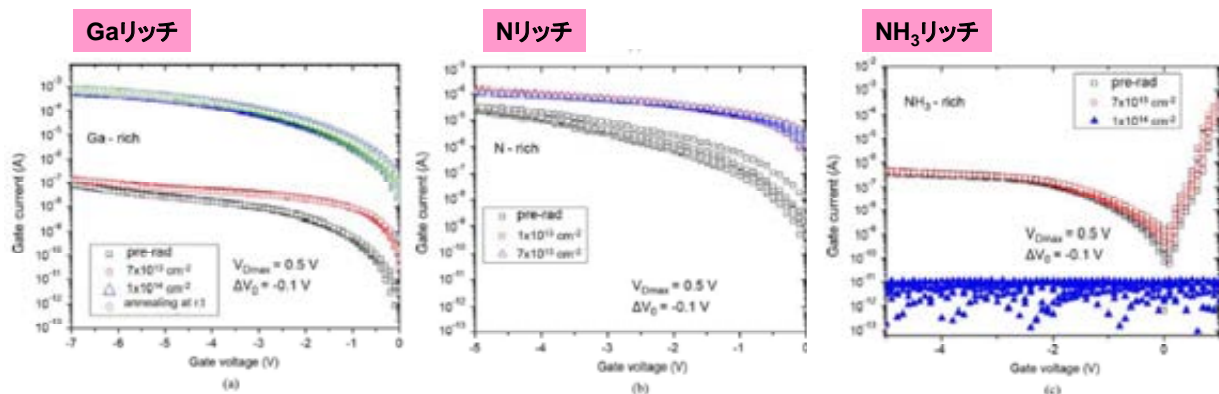
エピ成長条件	フルエンス[cm ⁻²]	ピンチオフ電圧	I_{ds}
Gaリッチ	$<1 \times 10^{14}$	正にシフト	減少
Nリッチ	$<7 \times 10^{13}$	正にシフト	減少
NH3リッチ	$<7 \times 10^{13}$ $<1 \times 10^{14}$	変化無し ピンチオフしない	ほぼ変化無し 一定(ゲート効かない)

(ピンチオフのシフト) AlGaIn層に生成された結晶欠陥がアクセプタライクトラップになる (I_{ds} 減少) 電子移動度の低下? (2DEGの減少?)

COPYRIGHT © 2011 MITSUBISHI ELECTRIC CORPORATION. ALL RIGHTS RESERVED.

7

プロトン照射後のHEMTの特性変化 (I_G-V_G)



エピ成長条件	フルエンス[cm ⁻²]	ゲートリーク
Gaリッチ	$<1 \times 10^{14}$	増加
Nリッチ	$<7 \times 10^{13}$	増加
NH3リッチ	$<7 \times 10^{13}$ $<1 \times 10^{14}$	変化無し ノイズレベルに低下.ドレイン電流を制御不能

(ゲートリークの増加) ショットキ障壁の低下

COPYRIGHT © 2011 MITSUBISHI ELECTRIC CORPORATION. ALL RIGHTS RESERVED.

8

B. まとめ

- プロトンの衝突によって生成された欠陥が GaN HEMTの恒久的な劣化の原因となる。
- プロトンを 10^{14}cm^{-2} フルエンスで照射した後、室温アニーリングを数週間実施してもGaリッチ素子ではドレイン電流もしくはゲート電流の変化は見られない。
- 室温アニーリングの傾向はNリッチ, NH_3 リッチ素子でも同様であった。

COPYRIGHT © 2011 MITSUBISHI ELECTRIC CORPORATION. ALL RIGHTS RESERVED. 9

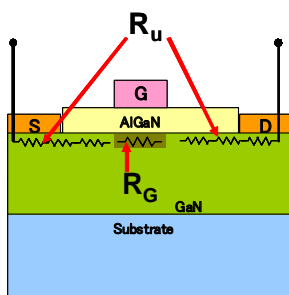
C.1/f雑音のゲート電圧依存性

1/f雑音のゲート電圧依存性

HEMTの低周波雑音はチャンネル層のゲートとゲート外の一部で生じ、素子内部の結晶欠陥に敏感

→チャンネル抵抗の変化に現れる。

$$R_{total} = R_G + R_U = \frac{L_{gate} V_{off}}{Wq\mu n_{ch} (V_{GS} - V_{off})} + R_U$$



μ : チャンネル移動度
 n_{ch} : 2次元電子ガス(2DEG)内の局所キャリア濃度
 W : ゲート幅
 L_{gate} : ゲート長
 q : 電荷
 V_{off} : ピンチオフ電圧
 R_G : チャンネルのゲート部の抵抗
 R_U : ゲート外のチャンネルの抵抗

COPYRIGHT © 2011 MITSUBISHI ELECTRIC CORPORATION. ALL RIGHTS RESERVED. 10

雑音のパワースペクトル

経験的な関係式 (Hooge's law)

$$\frac{S_V}{V^2} = \frac{S_I}{I^2} = \frac{S_R}{R^2} = \frac{\alpha}{fN}$$

S_V : 電圧の雑音パワースペクトル強度
 S_I : 電流の雑音パワースペクトル強度
 S_R : 抵抗の雑音パワースペクトル強度
 N : チャンネル内の総キャリア数
 α : 経験的な係数 (Hooge's パラメータ)
 (異なった種類のマイクロ電子素子の雑音を比較するためによく使われる。
 α の値は欠陥密度が高くなると大きい値になる。)
 f : 雑音の周波数

チャンネルで生じる雑音の関係式

$$\rightarrow S_{R_{total}} = S_{R_G} + S_{R_U} = \frac{\alpha_{ch} R_{ch}^2}{N_{ch} f} + S_{R_U}$$

COPYRIGHT © 2011 MITSUBISHI ELECTRIC CORPORATION. ALL RIGHTS RESERVED. 11

V_{gs}がピンチオフ電圧に近接している場合

$$\frac{S_v}{V^2} = \frac{\alpha}{fN_{ch}}; \quad \text{具体的は}$$

$$S_{vd} = \frac{\alpha}{fN_{ch}} V_d^2 \propto (V_G - V_{off})^{-1}$$

**ゲート領域の抵抗はゲートのない領域の抵抗よりも高い。
 AlGaN/GaN HEMTの雑音は経験的に $(V_G - V_{off})^{-1}$ に比例**

V_gがピンチオフ電圧に近接していない場合

$$\frac{S_v}{V^2} = \frac{S_{R_{total}}}{R_{total}^2} = \frac{S_{R_G}}{R_U^2} = \frac{\alpha}{R_U^2} \frac{R_G^2}{N_{ch} f} \propto (V_G - V_{off})^{-3}$$

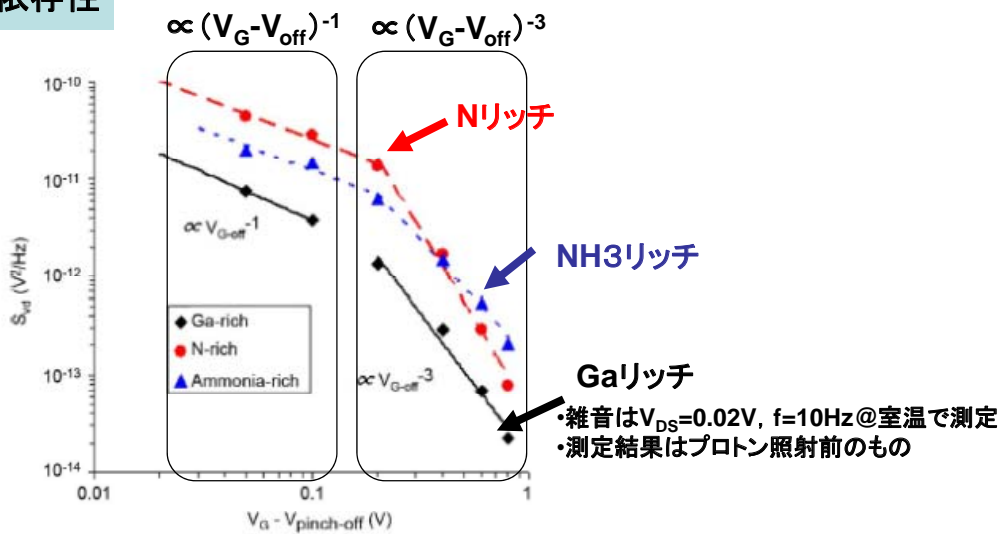
チャンネル内の電子密度は十分高くなる

→

- ・ゲート領域の抵抗はアクセス領域の抵抗値より十分小さい($R_U \gg R_G$)
- ・雑音は主にゲート領域で発生する($S_{R_{total}} = S_{R_G} + S_{R_U} \doteq S_{R_G}$)

AlGa_N/Ga_N HEMTの雑音は $(V_G - V_{off})^{-3}$ に比例

雑音の電圧依存性



GaN/AlGa_N HEMT 雑音の電圧依存性
 [3条件(Gaリッチ,Nリッチ,NH₃リッチ)]
 $S_{VD} \propto (V_G - V_{off})^{-1} (V_G - V_{off} < 0.1V)$
 $S_{VD} \propto (V_G - V_{off})^{-3} (0.1V < V_G - V_{off} < 1V)$

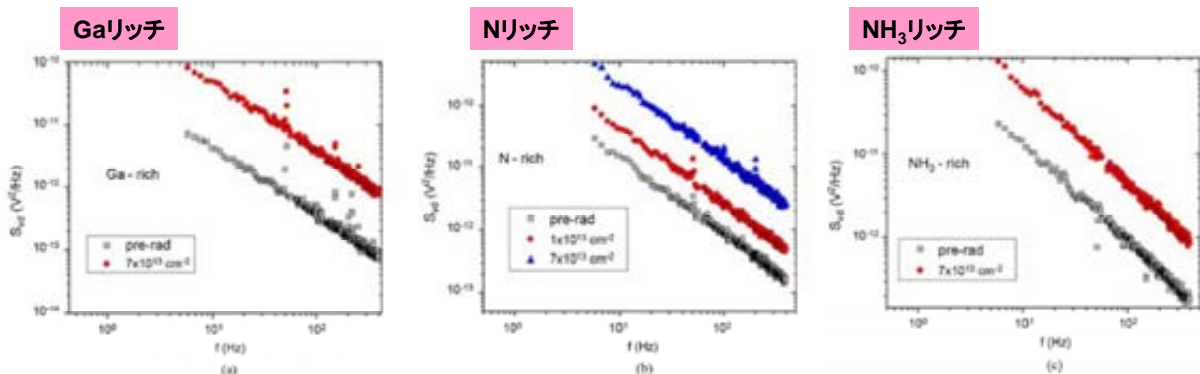
C.まとめ

- 雑音のパワースペクトルは $(V_G - V_{off})^{-1}$ もしくは $(V_G - V_{off})^{-3}$ に比例.
- 雑音のパワースペクトルから、チャンネルがプロトンの衝突で生成した過度の欠陥の影響を最も受けていることがわかる.

COPYRIGHT © 2011 MITSUBISHI ELECTRIC CORPORATION. ALL RIGHTS RESERVED. 15

D. Svd 対 周波数

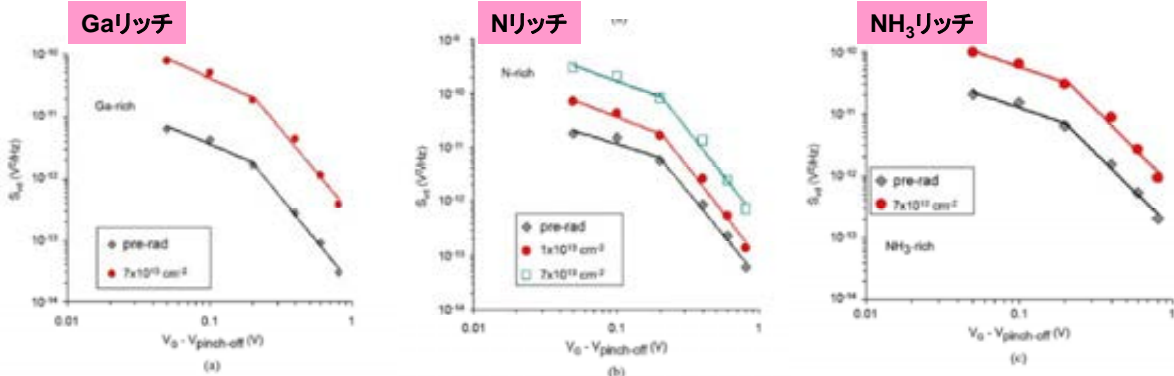
プロトン照射前後の $1/f$ 雑音 ($V_G = V_{off} + 0.1V$, $V_D = 20mV$, $f = 10Hz$ の周波数関数)



- Gaリッチ, Nリッチ, NH₃リッチの素子すべてで $7 \times 10^{13} \text{ cm}^{-2}$ フルエンスまでプロトンを照射すると雑音が増加
- プロトンの衝突はGaN層とAlGaN層で変位損傷を誘発→GaN, AlGaN層の各々に欠陥を生成.
- 雑音はAlGaN層の欠陥に最も敏感. プロトン照射で欠陥準位がフェルミ準位近傍で生成されている.

COPYRIGHT © 2011 MITSUBISHI ELECTRIC CORPORATION. ALL RIGHTS RESERVED. 16

パワースペクトル密度Svdのゲート電圧依存性

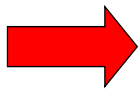


- 雑音は3種類すべての素子でプロトンのフルエンスに伴い増える。
- 放射線の照射前後でSvd
 - ピンチオフ付近の電圧: $(V_G - V_{off})^{-1}$ に比例
 - ピンチオフから離れた電圧: $(V_G - V_{off})^{-3}$ に比例
- 3種類とも雑音はチャンネル領域から発生

Hoogeのパラメータα

$$\alpha_{gate} = f \frac{Svd}{V_d^2} \frac{L_{gate}^2}{q\mu R_{gate}}$$

ゲート抵抗: 約250Ω ($V_G = V_{pinch-off} + 0.1V$)
 LG: 0.7μm
 VD: 0.02V



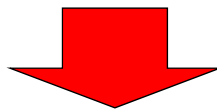
$V_G = V_{pinch-off} + 0.1V$ のとき, $R_{gate} \gg R_{ungate}$
 Gaリッチ, Nリッチ, NH3リッチの素子について計算
 累計平均Hoogeパラメータ (Svd@f=10Hz)

約0.01 (照射前)
 約0.08 ($7 \times 10^{13} \text{cm}^{-2}$ のプロトン照射後)

- Hoogeのパラメータは欠陥生成のストレスを受けやすい化合物半導体では他に経験した事象と変わらない(例えば, ホットキャリアなど. →通電結果, 雑音のパワースペクトルがない. 信憑性は?)
- 素子特性の変化と低周波雑音はホットキャリアストレスによって生成する場合よりも放射線照射によって生成する方が大きい, また, 規則的.
- 電気ストレスで雑音が増減することから, 欠陥の変化はホットキャリアでも説明できるが, エネルギー準位と電荷状態がプロトン照射で観察される雑音増加に合致しない.

雑音に影響する欠陥

- プロトン照射でN空孔と2重空孔はGaN層,AlGaN層の原子の変位を生成する。(欠陥が生成される.)
- 欠陥は動作バイアス条件で負に帯電するアクセプタライクトラップ. ピンチオフ電圧を正にシフトする原因.

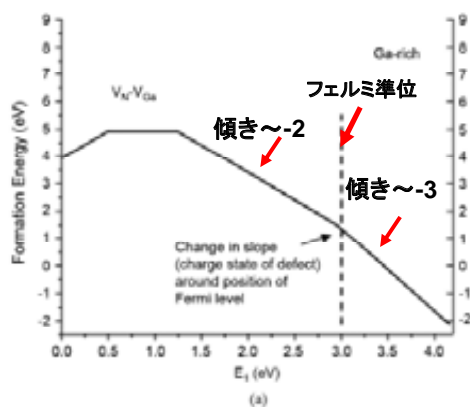


どの欠陥がプロトン照射で雑音の増加をもたらすかを考察

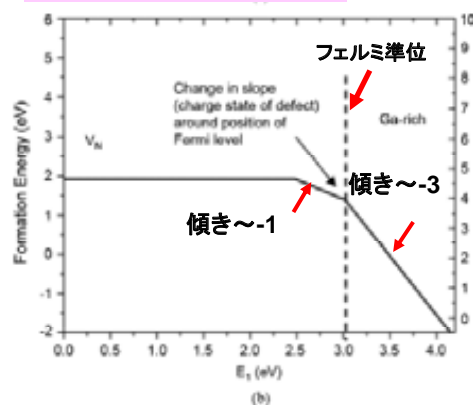
COPYRIGHT © 2011 MITSUBISHI ELECTRIC CORPORATION. ALL RIGHTS RESERVED. 19

素子のAlGaN障壁のピンチオフでのフェルミ準位: $\sim E_c - 1.2\text{eV}$
 $[V_G = V_{\text{pinch-off}} + 0.05\text{V} \sim V_{\text{pinch-off}} + 1\text{V}]$
 →フェルミ準位付近では, N空孔とGa-N2重空孔が変化

GaN2重空孔の生成エネルギー



N空孔の生成エネルギー



傾き: 欠陥の帯電状態
 傾きの変化: 欠陥の荷電状態の変化.
 → 特定エネルギーの潜在的なトラップ準位を同定

COPYRIGHT © 2011 MITSUBISHI ELECTRIC CORPORATION. ALL RIGHTS RESERVED. 20

Ga空孔:フェルミ準位近傍に遷移準位なし→素子の雑音に影響しない。
 Ga-N2重空孔:フェルミ準位近傍に遷移準位(帯電状態:-2→-3)。
 N空孔より生成が困難。
 N空孔:フェルミ準位近傍に遷移準位(帯電状態:-1→-3)。
 →欠陥は電子の捕獲と放出に影響し, 雑音が放射線照射後に増加する。
 (N空孔が放射線照射による雑音増加の要因。)

IV. SUMMARY AND CONCLUSION

- 1.8MeVのプロトンを 10^{14}cm^{-2} のフルエンスまでAlGaIn/GaN HEMTに照射し, 反応を調査した. NH_3 リッチのMBE下で成長した素子はGaリッチ, NリッチのMBEで成長した素子に比べてプロトンにより誘発された劣化に敏感であることがわかった.
- プロトン照射による素子劣化の特徴はホットエレクトロンストレスが起因の劣化と異なる. ホットエレクトロンのストレスではGaリッチ, Nリッチの素子はピンチオフ電圧が正にシフトし, アンモニアリッチの素子はピンチオフ電圧が負にシフトするが, プロトン照射ではすべての素子でピンチオフ電圧が正にシフトしている.
- $1/f$ 雑音は $7 \times 10^{13}\text{cm}^{-2}$ までプロトン照射すると増加する. アクセプタライク性質をもつN空孔がプロトンの照射で生成され, 放射線を照射した素子に雑音の増加をもたらしている.



Organized by



Supported by



●平成23年度 最新デバイスの耐放射線性強化技術に関する検討委員会 第4回委員会 2011.12.16 ●

RADECS2011 参加報告

THE CONFERENCE on RADIATION EFFECTS
on COMPONENTS and SYSTEMS

SEVILLA, SPAIN / SEPTEMBER 19-23 2011

2011.12.16

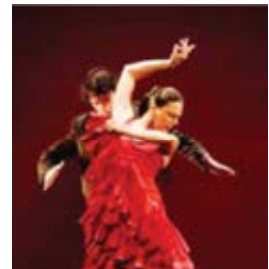
HIREC株式会社
技術部 浅井弘彰



はじめに

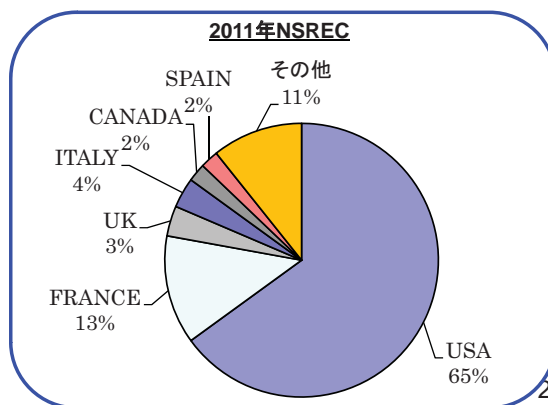
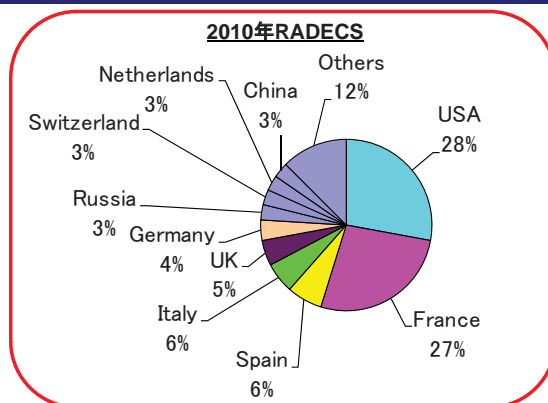
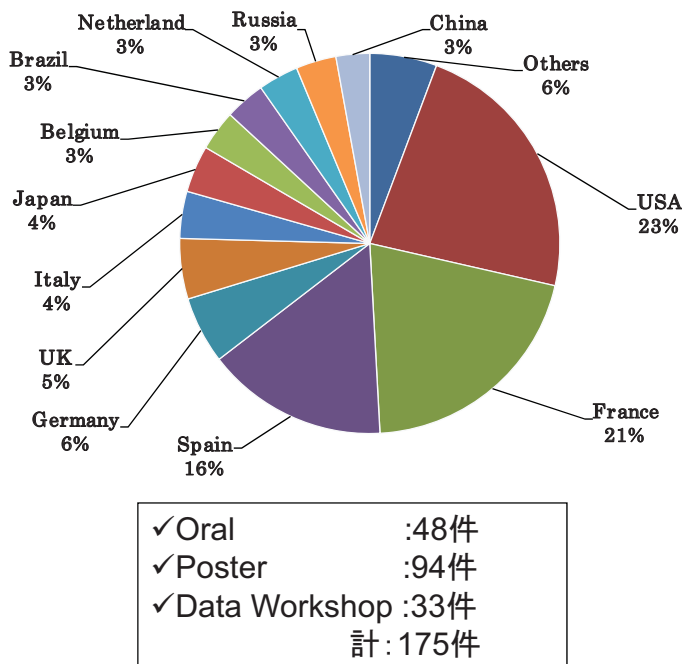


- 開催日: September 19 – 23 , 2011
- 開催場所: Escuela Superior de Ingenieros /
Universidad de Sevilla, Spain
- 発表件数: **175**件【昨年は102件】 (2011年NSREC: 140件)
- 参加者数: **547**名【昨年は約270名】 (2011年NSREC: 580名)





発表論文 地域別内訳



日本からの発表論文



発表件数:7件【昨年は2件】

- JAXA殿 (久保山様、池田様、水田様)
 - S. Kuboyama et al “Rediscovery of Single-Event Gate Rupture Mechanism in Power MOSFETs” (PA-4)
- JAEA殿 (小野田様)
 - S. Onoda et al “Spatial, LET and Range Dependence of Enhanced Charge Collection by Single Ion Strike in 4H-SiC MESFETs” (PA-3)
- 三菱重工業株式会社 (松浦様、草野様)
 - D. Matsuura et al “Radiation-Hardened Phase-Locked Loop Fabricated in 200 nm SOI-CMOS” (PB-1)
- 九州大学 (阿部様)
 - S. Abe et al “Multi-Scale Monte Carlo Simulation of Soft Errors using PHITS-HyENEXSS code system” (PE-2)



日本からの発表論文



・静岡理科大学（波多野先生）

- H. Hatano et al “Novel Test Circuit Structures Using Selectively Metal-Covered Transistor for a Laser Irradiation Upset Analysis” (PF-3)

・HIREC（槇原、浅井）

- A. Makihara et al “Radiation Hardness-By-Design SRAM Design for 0.15 μ m Fully Depleted SOI-ASIC” (PB-4)
- H. Asai et al “Terrestrial Neutron-Induced Single-Event Burnout in SiC Power Diodes” (PC-3)

4



Schedule



Monday Sep. 19	Tuesday Sep. 20	Wednesday Sep. 21	Thursday Sep. 22	Friday Sep. 23
Short Course #1	SessionA	SessionC	SessionE	SessionH
Short Course #2	SessionB	SessionD	SessionF	SessionI
Short Course #3			SessionG	SessionJ
Short Course #4				
Short Course #5				
Short Course #6				
Short Course #7	Invited Talk #1	Invited Talk #2	Invited Talk #3	
Short Course #8	Data Workshop	Poster Session		
Short Course #9				

Invited Talk #1:SEVILLA: Gateway to the New World

Victoria Stapells with Archivo General de Indias

Invited Talk #2:The History of European Space Exploration as Recorded on Postage Stamps

Reno Harboe-Sorensen with ESA/ESTEC

Invited Talk #3:Mathematical Engineering Applied to Flamenco Music

Jose Miguel Diaz-Banez with University of SEVILLE

5



SHORT COURSE

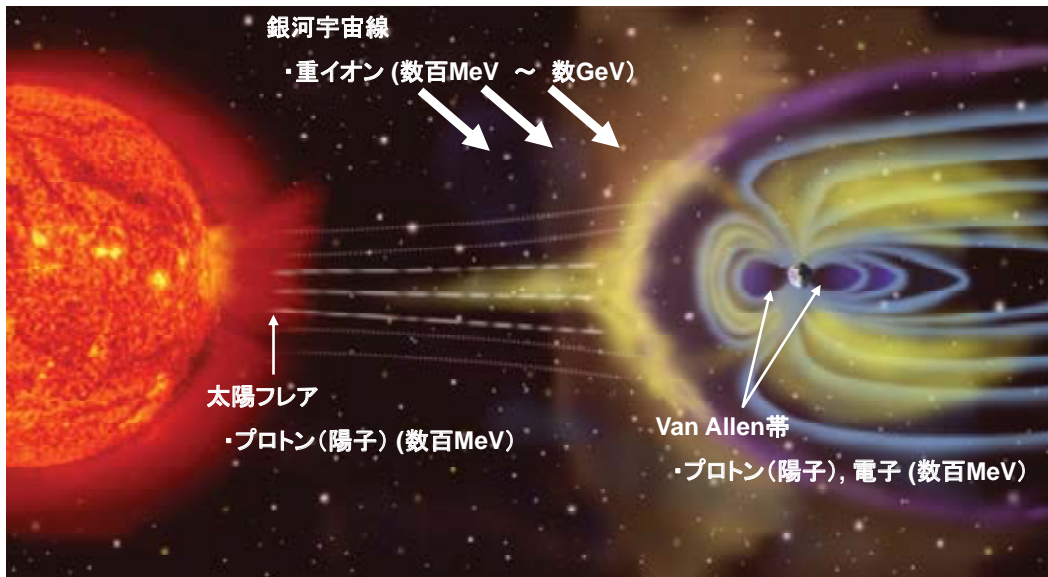
“A travel in radiation activities through a space program”



#1 From Space Environment to Specifications

(ONERA - Sebastien BOURDARIE)

- ・太陽活動を含む宇宙放射線環境の説明
- ・現在、NASAを中心に次世代放射線環境モデル(AP9/AE9)を着手



出典: NASA Image gallery



SHORT COURSE

“A travel in radiation activities through a space program”



#2 ECSS Radiation Hardness Assurance

(ESA – Christian POIVEY)

- ・ESCC (European Cooperation for Space Standardization) の概要説明
- ・ESCCの1つ”Radiation Hardness Assurance (RHA) Standard (ESCC-Q-St-60-15C) draft版”の紹介
- ・様々な種類の半導体部品のTID耐性, TNID耐性及びSEE耐性に関する試験要求とRDM (Radiation Design Margin) の定義
- ・SEE analysis requirements

SEE LET Threshold	Analysis Requirement
$> 60 \text{ MeVcm}^2/\text{mg}$	SEE risk negligible, no further analysis needed
$15 \text{ MeVcm}^2/\text{mg} < \text{LET}_{\text{threshold}} < 60 \text{ MeVcm}^2/\text{mg}$	SEE risk, heavy ion induced SEE rates to be analyzed
$\text{LET}_{\text{threshold}} < 15 \text{ MeVcm}^2/\text{mg}$	SEE risk high, heavy ion and proton induced SEE rates to be analyzed



SHORT COURSE

“A travel in radiation activities through a space program”



#3 The Rule of Total Ionizing Dose Evaluations – Qualifying Electronics for a Space Mission

(JPL – Philippe ADELL)

- ・(ELDRSを含む)TIDに関する基礎説明。
- ・ELDRS評価に係る照射時間を短縮する手法として、照射中デバイスを水素に晒すことによりドーズレートを上げて同等の評価ができるという研究の紹介。

#4 Single Event Effect (SEE) Test planning 101

(NASA/GSFC – Kenneth LABEL, Jonathan A. PELLISH)

(MEI Technologies, NASA/GSFC – Melanie D. BERG)

- ・SEE試験を行う上で、試験プランを立てることが重要である。
- ・”試験目的”, ”デバイス情報”, ”試験で使う装置類のリスト情報”, ”試験方法(施設にマッチした試験コンフィグレーション含む)”, ”データ取得”, ”データ解析”, ”不慮の事故への対応”などをプランニングする。

#5 Rules to Initiate a Total Non-Ionizing Dose Evaluation Plan

(JPL – Allan H. JOHNSTON)

- ・Displacement Damageに関する基礎的な説明。
- ・DD評価試験を実施する上でのポイント(特にイオン種、エネルギー)を個別に説明。

8



SHORT COURSE

“A travel in radiation activities through a space program”



#6 Space Qualification of Radiation Hardened/Tolerant Parts: A view from a manufacturer

(ST Microelectronics - Geraldine CHAUMONT)

- ・ESA及びDSCCの宇宙用部品の認定システムに関する説明。
- ・さらに、TID, SEE, DD各試験要求についてのまとめ。

#7 Procurement of Radiation Tolerant Parts

(ALTER Technology Group – David NUNEZ)

- ・Rad Hard部品の調達に関する説明。
- ・使用する機器の放射線耐性レベルを考慮して部品選定するのはもちろん、納期や価格も考慮する必要がある。
- ・ALTERのRadiation Test Reportを基に、Reportの具体的な内容説明。

9



SHORT COURSE

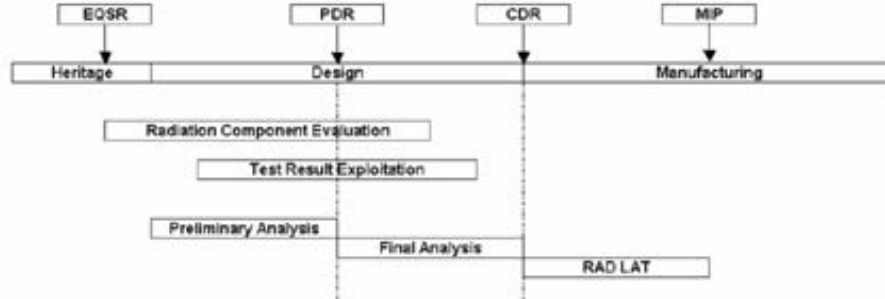
“A travel in radiation activities through a space program”



#8 Radiation analysis to be performed at Equipment level

(THALES Alenia Space ETCA – Michel MELOTTE)

・システム開発サイクルの流れについて説明



EQSR: Equipment Qualification Status Review - MIP: Mandatory Inspection Point
PDR: Preliminary Design Review - CDR: Critical Design Review

#9 Radiation Hardening of a Space System

(EADS ASTRIUM – Renaud MANGERET)

- ・システムレベルでの放射線耐性評価に関する内容。
- ・システムレベルでの放射線耐性は、サブシステムやunit毎で耐性をチェックし、評価しなければならない。
- ・フライトデータの提供、世界中のradiation network(ガイドライン、論文、国際会議)は非常に役に立つ。



Category



Session	Oral	Poster	Data Workshop	Note
A Basic Mechanisms of Radiation Effects	5	19		ポスター: JAXA殿, JAEA殿
B Radiation Hardness by Design	6	7		ポスター: MHI殿, HIREC
C Radiation Effects on Electronic Devices	7	13		ポスター: HIREC
D Radiation Effects on Photonic Devices	5	4		
E Simulation, Prediction and Modeling of SEE in Electronic Devices	5	8		ポスター: 九州大学殿
F Laser Induced Single-Event Effects	3	3		ポスター: 静岡理科大学殿
G Radiation Effects on Systems	5	5		
H Radiation Environments: Space, Atmospheric and Terrestrial	4	15		
I Radiation Hardness Assurance	4	5		
J Testing, Facilities and Dosimetry	4	15		
Data Workshop			33	
合計	48	94	33	175

初めて、Laser照射に特化したセッションが確立



SESSION A

< Basic Mechanisms of Radiation Effects >

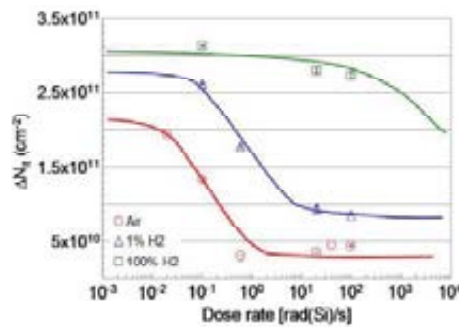


	Title	First Author	Affiliation	Country
A-1	Modeling the Effects of Hydrogen on the Mechanisms of Dose Rate Sensitivity	I. S. Esqueda	Arizona State University	USA
A-2	Impact of Proton Irradiation on Strained triple gate SOI p- and n-MOSFETs	P. G. D. Agopian ^{1,2}	¹ University of Sao Paulo (LSI/PSI/USP); ² Centro Universitário da FEI	Brazil
A-3	GEANT4 Analysis of n-Si Nuclear Reactions from Different Sources of Neutrons and Its Implication on Soft	S. Sarr ^{1,2}	¹ Aix-Marseille University; ² CNRS, Institute of Materials, Microelectronics and Nanosciences of	France
A-4	Modeling the Non-Uniform Distribution of Interface Traps	I. S. Esqueda	Arizona State University	USA
A-5	Effect of Carrier Transport in Oxides Surrounding Active Devices on SEE in 45nm SOI SRAM	M. Turowski	CFD Research Corporation (CFDRC)	USA

【#A-1】

JAXA/ISAS 小林先生が発表

MOS構造のドーズレート依存性(ELDRS含む)評価について、ドーズレートとNitの関係に対してシミュレーションモデルを考案。ある実験データとこのモデルによる計算値はよく一致した。理論的にELDRSを解明し、試験手法にもフィードバックしていく予定。



SESSION A

< Basic Mechanisms of Radiation Effects >



PA-1	Comparison of Charge Pumping and 1/f Noise in Irradiated Ge pMOSFETs	S. A. Francis	Vanderbilt University	USA
PA-2	Analyzing the distinction of total ionizing dose response for wide and narrow channel transistors	Z. Liu	Chinese Academy of Sciences	China
PA-3	Spatial, LET and Range Dependence of Enhanced Charge Collection by Single Ion Strike in 4H-SiC MESFETs	S. Onoda	JAEA	Japan
PA-4	Rediscovery of Single-Event Gate Rupture Mechanism in power MOSFETs	S. Kuboyama	JAXA	Japan
PA-5	High ionizing dose effects on ultra thin SiO2/Si structures revealed by Conductive Atomic Force Microscopy	R. Arinero	Université Montpellier 2	France
PA-6	Radiation-Induced Oxide Charge in Low- and High-H2 Environments	N. L. Rowsey	University of Florida	USA
PA-7	Influence of the manufacturing process on the radiation sensitivity of fluorine-doped silicabased optical fibers	A. Alessi	Université Jean Monnet	France
PA-8	Calibration of Weighed Sensitive Volume Model to Heavy Ion Experimental Data	R. Garcia	ESA	Netherland
PA-9	Comparative analysis of MIS capacitive structures with high-K dielectrics under gamma, ¹⁶ O and p radiation	C. Quinteros	CONICET and with CNEA	Argentina
PA-10	3-D Numerical Simulation of Bipolar Amplification in Junctionless Double-Gate MOSFETs under Heavy-Ion Irradiation	D. Munteanu	IM2NP-CNRS, UMR CNRS 6242	France
PA-11	Accelerated oxidation of silicon due to x-ray irradiation	S. Bhandaru	Vanderbilt University	USA
PA-12	Synergy of non-ionizing and ionizing processes in the reliability degradation of Power MOSFETs oxide	M. Naceur ^{1,2}	¹ Université Montpellier 2 ² CNES	France
PA-13	Room Temperature Annealing Effect on Biased Bipolar Devices during Switched Dose-Rate Experiments	Y. Gonzalez-Velo	Université Montpellier 2 - IES - UMR 5214 CNRS/UM2	France
PA-14	X-ray Radiation Effects in Overlapping Circular-Gate MOSFETs	J. A. De Lima	NPCI/COPPE, Universidade Federal do Rio de Janeiro	Brazil
PA-15	LN Defining a Strategy to Perform Life-Tests with Analog Devices	F.J. Franco	Universidad Complutense de Madrid (UCM)	Spain
PA-16	LN gamma Radiation Effects in Vertically Aligned Carbon Nanotubes	G. Lubkowski	Fraunhofer INT	Germany
PA-17	Contribution to SER Prediction: A New Metric Based on RC Transient Simulations	G. Micolau	IM2NP-UMR CNRS 6242 / Université Aix-Marseille	France
PA-18	Temperature effects on power MOS and IGBT sensitivities toward radiations	S. Morand	EADS	Germany
PA-19	New Geant4 Model and Interface Developments for Improved Space Electron Transport Simulations: First results	J. Allison	Geant4 Associate International	UK



SESSION B

< Radiation Hardness by Design >



	Title	First Author	Affiliation	Country
B-1	QFDR-an integration of Quadded Logic for modern FPGAs to tolerate highradiation effect rates	M. Niknahad	Karlsruhe Institute of Technology (KIT),(ITIV)	Germany
B-2	A Single-Event-Hardened CMOS Operational Amplifier Design	R. Blaine ^{1,2}	Vanderbilt University; ² United States Army, Student Detachment	USA
B-3	A recovery mechanism for SET protection using standard cells	J.M. Arévalo Garbayo	University Carlos III of Madrid	Spain
B-4	Placement Constraining Methodology for Reducing SER under Single-Event-Induced Charge Sharing Effects	L. Entrena	University Carlos III of Madrid	Spain
B-5	Improving SEU fault tolerance capabilities of a self-converging algorithm	R. Velazco	TIMA	France
B-6	Temporal Sequential Logic Hardening by Design with a Low Power Delay Element	S. Shambhulingaiah	Arizona State University	USA
PB-1	Radiation-Hardened Phase-Locked Loop Fabricated in 200 nm SOI-CMOS	D. Matsuura	Mitsubishi Heavy Industries, Ltd	Japan
PB-2	Design of a MGy tolerant instrumentation amplifier using a correlated double sampling technique in 130 nm CMOS	J. Verbeeck ^{1,2}	¹ Katholieke Universiteit Leuven, ² ICT-RELIC group of the KHKempen	Belgium
PB-3	Efficient Multibit Error Correction for Memory Applications Using Euclidean Geometry Codes	P. Reviriego	Universidad Antonio de Nebrija	Spain
PB-4	Radiation Hardness-By-Design SRAM Design for 0.15µm Fully Depleted SOI-ASIC	A. Makihara	HIREC	Japan
PB-5	FTUNSHADES2: A novel Platform for Early evaluation of Robustness against SEE	J.M. Mogollon	University of Seville	Spain
PB-6	Worst-Case Test Vectors of Sequential ASICs Exposed to Total Dose	A. A. Abou-Auf	American University in Cairo	Egypt
PB-7	Cycle-Accurate Configuration Layer Model for Xilinx Virtex FPGAs	Ignacio Herrera-Alzu	Universidad Politecnica de Madrid	Spain



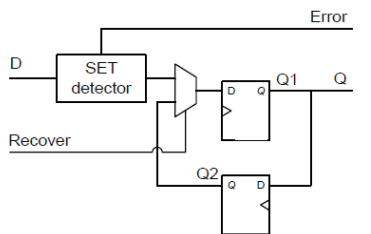
SESSION B

< Radiation Hardness by Design >



【#B-3】

新しいSET対策手法についての発表。組み合わせ回路を使ったSET detectorを全F/Fに接続し、エラーフラグ、エラー訂正を行う。エラー検出するタイミング(Delay timing)を調整することにより、最適なSET耐性を得ることができ、TMRと比較して面積オーバーヘッドのペナルティを劇的に改善できる。



Block diagram of the recovery System



SESSION C

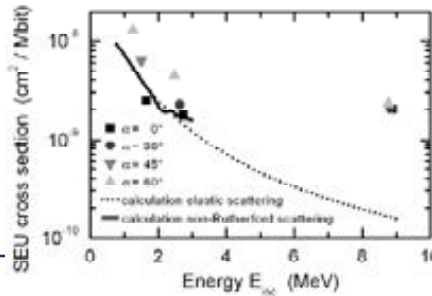
< Radiation Effects on Electronic Devices >



	Title	First Author	Affiliation	Country
C-1	Influence of Proton Elastic Scattering on Soft Error Generation of SRAMs	M. Kosmata	Helmholtz-Zentrum Dresden-Rossendorf	Germany
C-2	Proton-induced Upsets in 41-nm NAND Floating Gate Cells	S. Gerardin	Università di Padova	Italy
C-3	Impact of Process Variability on the Radiation-Induced Soft Error Rate of Decanometer SRAMs in Hold and Read Conditions	A. Griffoni	IMEC	Belgium
C-4	Impact of Strained-Si PMOS Transistors on SRAM Soft Error Rates	N. N. Mahatme	Vanderbilt University	USA
C-5	MBU characterization of NAND-Flash Memories under Heavy-Ion Irradiation	K. Gruermann	Technical University of Braunschweig, IDA	Germany
C-6	SET Characterization & Mitigation in 65-nm Test Structures	S. Rezgui	Microsemi Corporation	USA
C-7	Impact of Total Ionizing Dose on the Electromagnetic Susceptibility of a single bipolar transistor	A. Doridant ^{1,2}	¹ Institut d'Electronique du Sud (IES), UM2, ² TRAD	France

【#C-1】

32nm SOI SRAMの低エネルギープロトン照射によるSEU評価について、新しいモデルを提案し、実験値と比較した論文。解析の結果、プロトンエネルギー3MeV以下におけるSEUの主な原因は、プロトンが半導体に入射することにより発生する弾性散乱したプロトンであることがわかった。



SESSION C

< Radiation Effects on Electronic Devices >



PC-1	Neutron-Induced Failure in Super-Junction, IGBT, and SiC Power Devices	A. Griffoni	IMEC	Belgium
PC-2	Alpha Particle induced Single-Event Error Rates and Scaling Trends in SRAM	I. Chatterjee	Vanderbilt University	USA
PC-3	Terrestrial Neutron-Induced Single-Event Burnout in SiC Power Diodes	H. Asai	HIREC	JAPAN
PC-4	Combined use of Heavy Ion and Proton test data in the determination of a GaAs Power MESFET Critical Charge and Sensitive Depth	R. Garcia	ESA	Netherland
PC-5	Characterization of Single-Event Transients of Body-Tied vs. Floating-Body Circuits in 150 nm 3D SOI	N. Gaspard	Vanderbilt University	USA
PC-6	SET Susceptibility Analysis in Buffered Tree Clock Distribution Networks	R. Chipana	Instituto de Informática, PPGC, PGMICRO, UFRGS	Brazil
PC-7	Impact of Process Variations on Pulse Quenching in Flip Flops	A. V. Kauppila	Vanderbilt University	USA
PC-8	Single Event Effects in the High-Input Voltage DC/DC Converter for Aerospace Applications	W. Wang	China Academy of Space Technology	China
PC-9	Erratic Degradation and Circuit Effects Induced by TID in a Typical Current Feedback Amplifier	S. Perez	Université Montpellier II, IES-UMR CNRS 5214	France
PC-10	Neutron-Induced Multiple Bit Upsets on Dynamically-Stressed Commercial SRAM Arrays	P. Rech	(LIRMM) Université de Montpellier II / CNRS	France
PC-11	Alpha-Soft Error Rate due to new generations of high-k gate oxides and metal gate electrodes in a 32 nm node	M. Gedion	Université Montpellier 2, UMR-CNRS 5214	France
PC-12	Electrical Performances and Radiation Qualification Tests Results of a Highly Integrated and Space Qualified Point of Load Converter	M.-C. Vassal	3D Plus	France
PC-13	Assessment and comparison of the low energy proton sensitivity in 65 nm to 28nm SRAM devices	C. Weulersse	EADS France	France



SESSION C

< Radiation Effects on Electronic Devices >



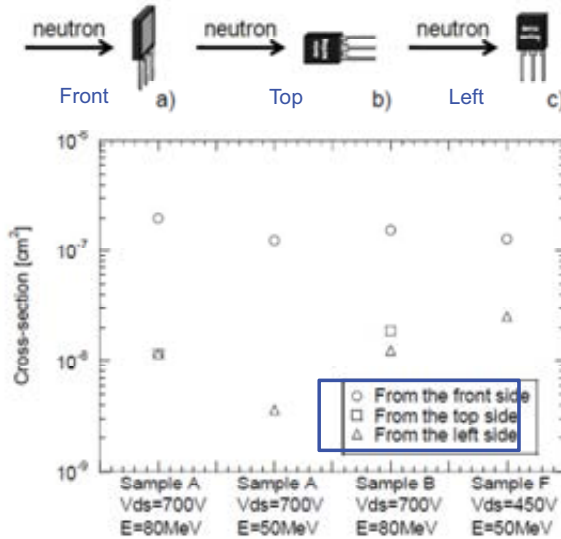
Neutron-Induced Failure in Super-Junction, IGBT, and SiC Power Devices [#PC-1]

HAMLETTプロジェクト(国家プロジェクト)の一部で評価試験を行っている。

by E Siemon (IMEC)

50MeV, 80MeVの準単色中性子をパワーデバイスに照射し、エラー頻度を評価。また、サンプルの設置角度(照射角度)変えて試験を行ったところ、角度依存性があることを確認した。

Sample	Type	V _{rated} [V]	R _{onson} [mΩ]	DC I _F [A]	Q _{off} /Q _{on} [nC]	Package
A	SJ MOSFET	1100	260	40	142	PLUS264
B	SJ MOSFET	1000	220	44	126	PLUS264
C	SJ MOSFET	900	120	36	115	TO-247
D	IGBT	1200	80*	64	130	TO-264
E	SiC MOSFET	1200	80	33	43	TO-247-3
F	SJ MOSFET	600	270	26	24	TO-247



18



SESSION D

< Radiation Effects on Photonic Devices >



	Title	First Author	Affiliation	Country
D-1	Characterization of bulk damage in CMOS MAPS with deep N-well collecting electrode	S. Zucca ^{1,3}	¹ Università degli Studi di Pavia; ³ Istituto Nazionale di Fisica Nucleare	Italy
D-2	Coupled Experiment/Simulation Approach for the Design of Radiation-Hardened Rare-Earth Doped Optical Fibers and Amplifiers	S. Girard	CEA, DAM, DIF	France
D-3	Radiation Effects on CMOS Image Sensors With Sub-2µm Pinned Photodiodes	S. Place ^{1,2}	¹ ST Microelectronics; ² Université de Toulouse, ISAE	France
D-4	Identification of Radiation Induced Dark Current Sources in Pinned Photodiode CMOS Image Sensors	V. Goiffon	Université de Toulouse	France
D-5	Influence of Displacement Damage Dose on Dark Current Distribution of Irradiated CMOS Image Sensors	C. Virmondois	Université de Toulouse, ISAE	France
PD-1	Radiation hardness of two-dimensional focal plane detector arrays for LWIR/VLWIR space sounding missions	A. Weber	AIM Infrarot-Module GmbH	Germany
PD-2	Enhancement of the Total Dose Tolerance of a Commercial CMOS Active Pixel Sensor by Use of Thermal Annealing	J.M. Armani	CEA, LIST	France
PD-3	Influence of the Fiber Coating on the Proton Radiation Sensitivity of Fiber Bragg Gratings	E. Currás	Instituto de Fisica de Cantabria (CSIC-UC)	Spain
PD-4	Evaluation of the Radiation Hardness of GaSb-based Laser Diodes for Space Applications	I. Esquivias	Universidad Politécnica de Madrid	Spain

【#D-5】

CMOS IMAGE SENSORに中性子及びプロトン照射し、DDD (Displacement Damage Dose) に対するDark Currentを評価した。実験の結果、DDDによるリーク電流は指数関数に基づくことがわかり、新しい予測モデルを考案した。

19



SESSION E

< Simulation, Prediction and Modeling of SEE in Electronic Devices >



	Title	First Author	Affiliation	Country
E-1	Characterizing, Modeling, and Simulating Soft Error Susceptibility in Cell-Based Designs in Highly Scaled Technologies	Y. F. Li	Accelicon Technologies	USA
E-2	A Compact Model for Single Event Effects in PD SOI sub-micron MOSFETs	J. Alvarado ^{1,2}	¹ Microelectronics Laboratory (ICTEAM), Université catholique de Louvain; ² Universidad Nacional Autónoma de México.	Belgium
E-3	Implementing Realistic Heavy Ion Tracks in a SEE Prediction Tool: Comparison Between Different Approaches	M. Raine	CEA, DAM, DIF	France
E-4	Establishing Best-Practice Modeling Approaches for Understanding Single-Event Transients in Gb/sec SiGe Digital Logic	K. A. Moen	School of Electrical and Computer Engineering, Georgia Institute of Technology	USA
E-5	A Monte-Carlo Engineer Tool for the Prediction of SEU Proton Cross Section from Heavy Ion Data	C. Weulersse	EADS IW; IES	France
PE-1	Simulation of Total Ionising Dose on LDMOS Devices for High Energy Physics Applications	P. Fernández-Martínez	Instituto de Microelectrónica de Barcelona (IMB-CNM-CSIC)	Spain
PE-2	Multi-Scale Monte Carlo Simulation of Soft Errors using PHITS-HvENEXSS code system	S. Abe	Department of Advanced Energy Engineering, Kyushu University	Japan
PE-3	Validation of the component degradation simulation tool (CODES)	A. Keating	Laboratório de Instrumentação e Física Experimental de Partículas	Spain
PE-4	Statistical Estimation of Uncertainty for Single Event Effect Rate in OMERE	N. Sukhaseum	TRAD Tests & Radiation	France
PE-5	Analytical Modeling of Single Event Transients Propagation in Combinational Logic Gates	X. Gili	Grup de Sistemes Electrònics of Universitat de les Illes Balears	Spain
PE-6	Microprocessor Soft Error Rate Prediction based on Cache Memory Analysis	S. Houssany	EADS France the European Aeronautic Defense and Space Company, Innovation Works	France
PE-7	SEU Threshold model and its experimental verification	F. R. Palomo	School of Engineering, Sevilla University	Spain
PE-8	Characterization of SEFI events on the EDODRAM used in large space solid state memory	M. Mazurek	Hirex Engineering	France

【#E-5】重イオンデータを使ったプロトンSEU断面積の予測モデル(モンテカルロ核反応データを使用)を提案。実験値と比較して良い一致を示すことを確認した。(ただし、このモデルはSOIでは不適。)

$$\sigma_p(E_p) = \int \sigma_{HI}(E_d) * P_{Ep}(E_d) dE_d$$

$P_{Ep}(E_d)$: 二次粒子の予測Deposit Energy

20



SESSION F

< Laser Induced Single-Event Effects >



	Title	First Author	Affiliation	Country
F-1	Comparison of Single Event Transients Generated at Four Pulsed-Laser Test Facilities - NRL, IMS, EADS, JPL	S. Buchner	Naval Research Laboratory	USA
F-2	Imaging the Single Event Burnout sensitive volume of vertical power MOSFETs using the laser Two-Photon absorption technique	F. Darracq	IMS laboratory (CNRS UMR5218)	USA
F-3	Improved Fine-Scale Laser Mapping of Component SEE Sensitivity	A. M. Chugg	Radiation Effects Group, MBDA UK Ltd	UK
PF-1	Local Laser Irradiation Technique for Testing IC SEE Sensitivity	A. I. Chumakov	Specialized Electronic Systems	Russia
PF-2	TPA Laser Source For SEE Test at UCM	I. Lopez-Calle	Departamento de Física Aplicada III, Facultad de Fisicas, Universidad Complutense de Madrid (UCM)	Spain
PF-3	Novel Test Circuit Structures Using Selectively Metal-Covered Transistors for a Laser Irradiation Upset Analysis	H. Hatano	Shizuoka Institute of Science and Technology	Japan

【#F-1】

PhotoDiodeを使って、4つのLaser test facility (EADS, IMS, JPL, NRL)ラウンドロビン試験を実施。同じレーザーエネルギーに設定した条件で比較した結果、過渡的なレーザ振幅・収集電荷量に違いがあることがわかった。これは、①レーザの貫通する深さ、②e/h pairを注入するためのエネルギーの違いが原因と考えられる。



SESSION G

< Radiation Effects on Systems >



	Title	First Author	Affiliation	Country
G-1	Study on the Effect of Multiple Errors in Robust Systems based on Critical Task Distribution	A. Vaskova	Carlos III University of Madrid	Spain
G-2	A software based approach to eliminate all SEU effects from mission critical programs	L. Lesage	ICTEAM institute, Université catholique de Louvain	Belgium
G-3	Evaluating the Use of a Platform for Combined Tests of Total Ionizing Dose Radiation and Electromagnetic Immunity	J. Benfica	Catholic University of Rio Grande do Sul (PUCRS)	Brazil
G-4	A 90-nm Radiation Hardened Clock Spine	S. Chellappa	Arizona State University	USA
G-5	Single-Event Vulnerability of Mixed-Signal Circuit Interfaces	S. E. Armstrong ^{1,2}	¹ NAVSEA Crane; ² Vanderbilt University	USA
PG-1	A Co-Design Approach for SET Mitigation in Embedded Systems	A. Lindoso	University Carlos III of Madrid	Spain
PG-2	Soft Error Tolerant Infinite Impulse Response Filters using Reduced Precision Replicas	P. Reviriego	Universidad Antonio de Nebrija	Spain
PG-3	On the definition of real conditions for a fault injection experiment on embedded systems	F. Restrepo-Calle	University of Alicante	Spain
PG-4	Improving Error Detection Capability of a SpaceWire Router IP	J. Tarrillo	Instituto de Informática, PPGC, UFRGS	Mexico
PG-5	An Efficient AVF Estimation Technique Using Circuit Partitioning	J. Chetia	Vanderbilt University	USA

22



SESSION H

< Radiation Environments: Space, Atmospheric and Terrestrial >



	Title	First Author	Affiliation	Country
H-1	Assessment of Jovian Radiation Belt Electron-Induced Internal Dielectric Charging	D. J. Rodgers	European Space Agency, ESTEC	Netherlands
H-2	Method for measuring mixed field radiation levels relevant for SEEs at the LHC	K. Røed	CERN	Switzerland
H-3	Underground Characterization and Modeling of Alpha-Particle induced Soft-Error Rate in CMOS 65 nm SRAM	S. Martinie ^{1,2}	¹ Aix-Marseille University; ² CNRS, Institute of Materials, Microelectronics and Nanosciences of Provence (IM2NP, UMR CNRS 6242)	France
H-4	Time Exceedances for High Intensity Solar Proton Fluxes	M. A. Xapsos	NASA Goddard Space Flight Center	USA

【#H-3】

65nm CMOS Bulk SRAMに対する α 起因のSERを評価するため、Underground Real-Time experimentを約3年間実施した。場所は、Frejus Mountain (France)の頂上から1700m下のラボ (LSM)。実験の結果、SBUは47回、MCUは16回発生した。これは、1153FIT/Mbitに相当する。実験結果を基に新しいSER予測シミュレーションモデルを提案。

23



SESSION H

< Radiation Environments: Space, Atmospheric and Terrestrial >



PH-1	The Micro Radiation Environment Monitor (MuREM) and SSTL Radiation Monitor (SSTL RM) On TechDemoSat-1	C. Underwood	Surrey Space Centre, University of Surrey	UK
PH-2	Probing The Radiation Environment At L2 With Bolometers Onboard The Herschel Space Observatory	B. Horeau	Service d'Astrophysique, IRFU, CEA Saclay	France
PH-3	ESA SEPEM Project: Peak Flux and Fluence Model	P. T. A. Jiggins	ESA/ESTEC	Netherland
PH-4	MATSIM: A Voxel Model for the Astronaut Dosimetric Phantom MATROSHKA	P. Beck	AIT Austrian Institute of Technology	Austria
PH-5	Perspectives for improved space radiation modeling using the Energetic Particle Telescope (EPT)	M. Cyamukungu	UCL-Center for Space Radiations (CSR)	Belgium
PH-6	Influence of Spacecraft Shielding Structures on Galactic Cosmic Ray-Induced Soft Error Rate	M. Silvestri	Altran Italia Spa	Italy
PH-7	PROBA-II Technology Demonstration Module In-Flight Data Analysis.	R. Harboe-Sørensen ^{1,2}	¹ ESA; ² RHS Consultant	Netherlands
PH-8	Las Dos Torres: first intercomparison of ground and in-orbit results	J. J. Jiménez	Departamento de Programas Espaciales y Ciencias del Espacio, Instituto Nacional de Técnica Aeroespacial (INTA)	Spain
PH-9	Radiation Environment in the ITER Neutral Beam Injector Prototype	M. Bagatin ^{1,2}	¹ Università di Padova; ² Istituto Nazionale di Fisica Nucleare (INFN)	Italy
PH-10	Unfolding and validation of SREM fluxes	I. Sandberg	Institute for Space Applications and Remote Sensing, National Observatory of Athens	Greece
PH-11	CARMEN2/MEX: an In-Flight Laboratory for the Observation of Radiation Effects on Electronic Devices	F. Bezerra	Centre National d'Etudes Spatiales	France
PH-12	Extending the Dynamic Range of FGMOS Dosimeters by Increasing Reading Temperature	P. J. McNulty	Clemson University	USA
PH-13	Monitoring of Space Radiation in Russian Federal Space Agency	V. S. Anashin	Institute of Space Device Engineering (ISDE)	Russia
PH-14	SEISOP-G4MRES: A real-time tool to estimate space radiation effects and support S/C operations	A. Rivera	Ingeniería y Servicios Aeroespaciales, S.A. for the National Institute for Aerospace Technology	Spain
PH-15	An improved version of the OSL sensor based on lessons learnt onboard JASON-2	C. Deneau	Université Montpellier II - IES	France



SESSION I

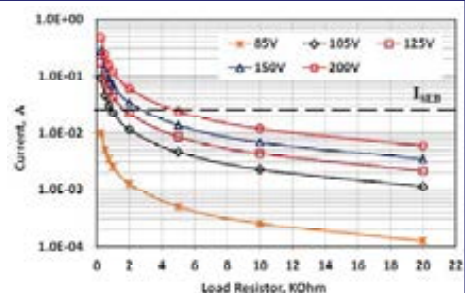
< Radiation Hardness Assurance >



	Title	First Author	Affiliation	Country
I-1	How to Deal with Transient Error Signals of Concurrent Error Detection Schemes?	R. P. Bastos	LIRMM (Université Montpellier II - CNRS - UMR 5506 - CC477)	France
I-2	Non-Intrusive Reconfigurable HW/SW Fault Tolerance Approach to Detect Transient Faults in Microprocessor Systems	J. R. Azambuja	Instituto de Informática, PPGC and PGMICRO at Universidade Federal do Rio Grande do Sul (UFRGS)	Brazil
I-3	SEGR Characterization of Power MOSFETs: A New Insight on PIGST associated to a Non-destructive Charge Collection Measurement Tool	A. M. J. F. Carvalho	EADS ASTRIUM SAS	France
I-4	Evaluation on Protective Single Event Burnout Test Method for Power DMOSFETs	S. Liu	International Rectifier Corp	USA
PI-1	Statistical Variations of Integrated Circuits Radiation Hardness	O. Kalashnikov	Specialized Electronic Systems	Russia
PI-2	Analysis of SOI CMOS Microprocessor's SEE Sensitivity: Correlation of the Results Obtained by Different Test Methods	M. S. Gorbunov	Computation Engineering Department (ORVT) of Scientific Research Institute of System Analysis, Russian Academy of Sciences	Russia
PI-3	Hardening Techniques for Spintronics-Based Non-Volatile Storage Cells and Logic Circuits	Y. Lakys ^{1,2}	¹ IEF, Univ Paris-Sud; ² UMR 8622, CNRS	France
PI-4	A Radiation-Hardened Delay-Locked Loop Design (DLL) Utilizing Differential Delay Lines Topology	P. Maillard	Vanderbilt University	USA
PI-5	SOI Substrate Removal for SEE Characterization: Techniques and Applications	M. R. Shaneyfelt	Sandia National Laboratories	USA

【#I-4】

Power MOSFETのSEB試験において、非破壊試験で使用する電流制限抵抗の最適な値を調査するため、重イオン照射試験を実施した。実験の結果、(供試したデバイスでは)10kΩが最適であった。





SESSION J

< Testing, Facilities and Dosimetry >



	Title	First Author	Affiliation	Country
J-1	Influence of beam conditions and energy for SEE testing	V. Ferlet-Cavrois	ESA/ESTEC	Netherland
J-2	Full Geant4 and FLUKA Simulations of an e-LINAC for its Use in Particle Detectors Performance Tests	E. Pilicer	INFN Sezione di Perugia, Azienda Ospedaliera di Terni, MAPRAD S.r.l.	Italy
J-3	Real Time Error Detection and Diagnosis for Safety or Mission-critical Systems using Hash Library-based Fault Dictionaries	J. M. Mogollón	University of Sevilla	Spain
J-4	Investigations of Single Event Effects With Heavy Ions of Energies up to 1.5 GeV/n	S. K. Hoeffgen	Fraunhofer INT	Germany

Determining the impact of alpha-particle-emitting contamination from the Fukuoka Daiichi disaster on Japanese manufacturing 【#PJ-14】

by Robert C. Baumann (Texas Instruments)

茨城県美浦村、福島県会津にある半導体メーカーの協力の下、シリコンウェハを使って、福島原発から放射されたα線やコンタミの量を評価した。シリコンウェハを数週間放置し、測定した結果、インパクトを与える放射線は検出されず、問題なかった。



26



SESSION J

< Testing, Facilities and Dosimetry >

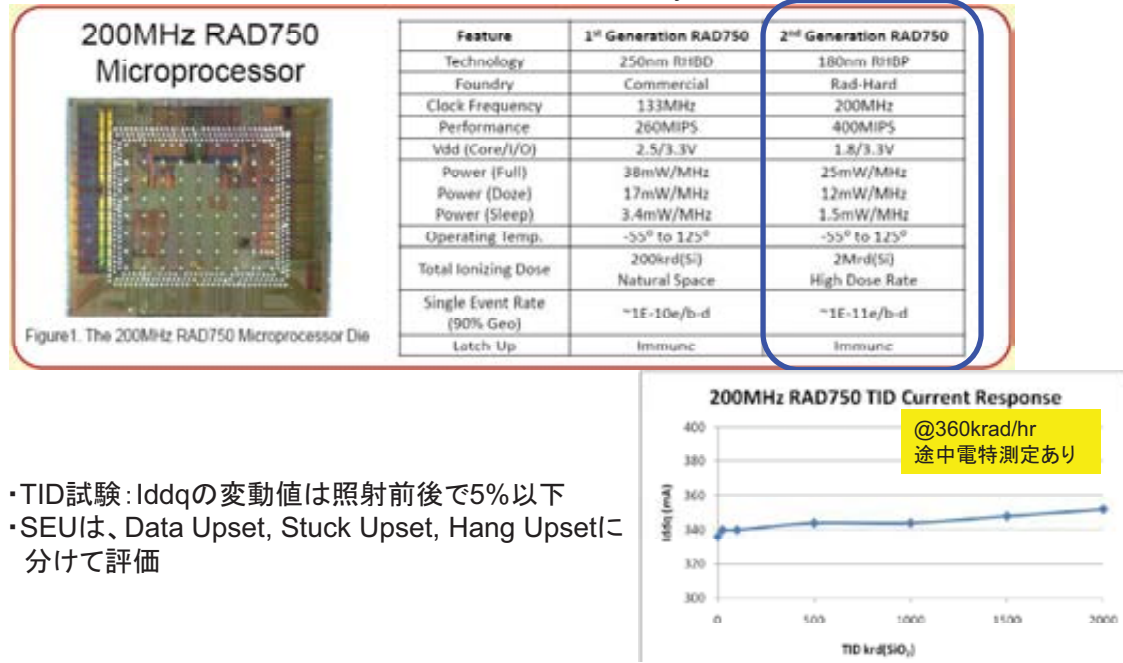


PJ-1	Recommended Neutron Dosimetry Cross Sections for the Characterization of Neutron Fields	P. J. Griffin	Sandia National Laboratories	USA
PJ-2	Irradiation Facility and Technique to Increase LET for SEE testing on Tandem Accelerator	G. Guo	Department of Nuclear Physics, China Institute of Atomic Energy	China
PJ-3	Protection of alpha spectrometry detectors using thin formvar films and influence on detection characteristics	C. Cosma	Babeş-Bolyai University	Romania
PJ-4	The Use of High-Energy Ion Synchrotron at the ITEP for SEE Testing of Modern Electronic Components	V.F. Zinchenko	Research Institute of Scientific Instruments	Czech Republic
PJ-5	Laboratory measurement results for the qualification of pixel detector modules for the ATLAS Upgrade	Christian Gallrapp	ATLAS IBL, PPS and 3D pixel Collaboration	Switzerland
PJ-6	Using RADFETs for alpha radiation dosimetry	R. E. Sharp	Isotron Ltd	UK
PJ-7	Highly radiation sensitive Type IA FBGs for dosimetry applications	A. Faustov	SCK·CEN Belgian Nuclear Research Center	UK
PJ-8	Roscosmos Facilities for SEE Testing at U400M FLNR JINR Cyclotron	V. A. Skuratov	Flerov Laboratory of Nuclear Reactions Joint Institute for Nuclear Research	Russia
PJ-9	A new irradiation facility for neutron-induced Single Event Effect studies at LNL	D. Bisello	University of Padova	Italy
PJ-10	An Internal Electrostatic Charging Test of Circuit Boards under Electron Beam	W. Kim	Jet Propulsion Laboratory, California Institute of Technology	USA
PJ-11	A three-dimensional FPGA array beam detector for ionizing radiation experiments	J. Gebelein	Frankfurt University	Germany
PJ-12	Conceptual design of the Proton Irradiation Facility for Space Radiation Testing at ESS/Bilbao	E. Abad	H Beam Applications Group of ESS Bilbao	Spain
PJ-13	The Neutrons Applications Laboratory for ESS-BILBAO	S. Terrón ^{1,2}	¹ Consorcio ESS-BILBAO ² Instituto de Fusión Nuclear- UPM	Spain
PJ-14	Determining the impact of alpha-particle-emitting contamination from the Fukushima Daiichi disaster on Japanese manufacturing sites	R.C. Baumann	Texas Instruments	USA
PJ-15	Hardness Assurance Testing for Proton Direct Ionization Effects	J.R. Schwank	Sandia National Laboratories	USA

27

Second Generation (200MHz) RAD750 Microprocessor Radiation Evaluation

by Nadim F. Haddad (BAE SYSTEMS)



28

所感

- ✓投稿論文の地域傾向について、NSRECのようにアメリカからの論文ばかりではなく、比較的バランスが取れていた。
- ✓Laser照射に特化したSessionが立ち上がった。Laser照射は、Broad beamでは不可能な局所的な解析に適している。近年、Laserを使ってデバイスの感応領域をマッピング評価する論文が増えてきており、今後さらに発表件数が増えると予想される。
- ✓福島原発事故について、事故から約半年経過したが、論文発表や様々な外国人から質問があるなど、この放射線漏洩事故に対し、世界中の人々が高い関心を持っていることを再認識した。
- ✓今年のRADECSは、比較的地上中性子に関する論文が多く、宇宙分野、航空、地上分野といったVarietyのある内容であった。
- ✓(半導体の照射試験で利用される)世界中の照射施設に関する冊子を購入した。この冊子は、施設毎のイオン種、エネルギー、コンタクトパーソン等をまとめた貴重な資料。
- ✓2014年にNSRECとRADECS合同の学会が開催されるとのことで、NSRECのみならずRADECSも継続的に調査し、当該分野の世界動向をウォッチしていく必要がある。

29

写真



RADECS 2012の紹介



Preliminary Announcement and Call for Papers

Welcome to RADECS 2012

Printable version (pdf)

The 21st European Conference on RADIATION AND ITS EFFECTS ON COMPONENTS AND SYSTEMS will be held in Biarritz, France, on September 24-28, 2012.

The aim of RADECS conferences is to provide an annual European forum for the presentation and discussion of the latest advances in the field of radiation effects on electronic and photonic materials, devices, circuits, sensors, and systems. The scope of the conference encompasses technological processes and design techniques for producing radiation tolerant systems for space, aeronautical or terrestrial applications, as well as relevant methodologies for their characterization and qualification. The conference features a technical program, an Industrial Exhibit, and one day meeting on ground effects offered on September 24 (RADGROUND). The technical program includes oral and poster sessions.

The areas of interest for contributions to be submitted to RADECS 2012 include, but are not limited to:

- Basic mechanisms of radiation effects in electronic and optical materials
- Space, atmospheric and terrestrial environments
- Radiation effects on electronic and photonic devices, circuits and systems
- Radiation effects on sensors and emerging devices
- Technology and design hardening
- Radiation hardness assurance
- Irradiation facilities and testing

Authors are encouraged to submit their contributions by following the guidelines which will be made available via the conference website : radecs2012.org . The accepted papers will be published in the RADECS proceedings of the conference and they can be submitted by their authors for a publication in a special issue of the IEEE Transactions on Nuclear Science.

Deadline for Paper Submission April 15, 2012

Pascal Fouillat
IMS labs
General Chair

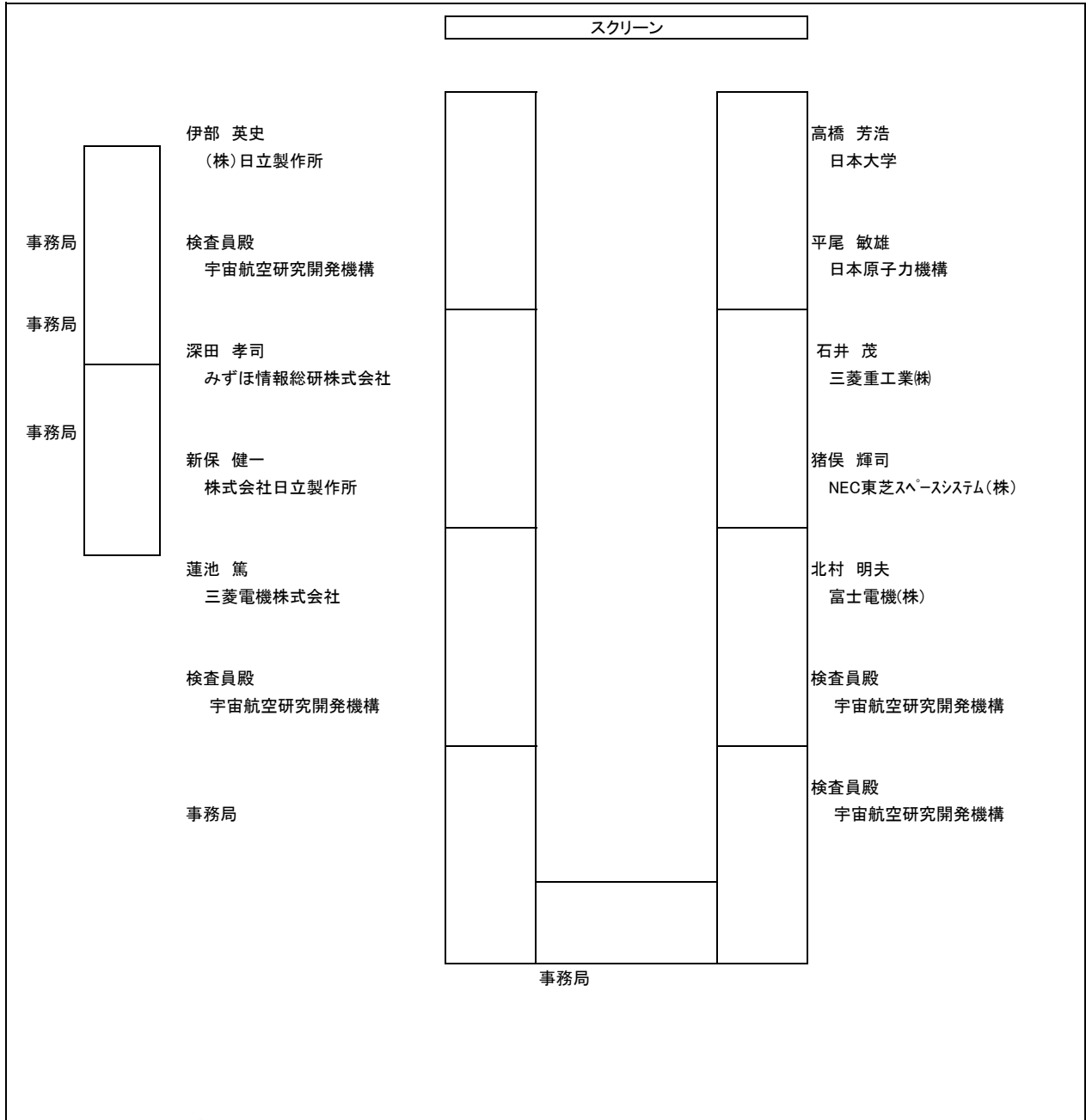
Raoul Velazco
TIMA Labs
Technical chair

Véronique Ferlet-Cavrois
ESA
Poster Chair



第5回委員会配付資料

第 5 回 最新デバイスの耐放射線性強化技術に関する検討委員会 座席表



「平成 23 年度 最新デバイスの耐放射線性強化技術に関する検討委員会」
第 5 回委員会 議事次第

日時：平成 24 年 3 月 2 日(金) 14:00 ～ 16:50

場所：HIREC 株式会社 川崎事業所 会議室

神奈川県川崎市幸区大宮町 1310 ミューザセントラルタワー12 階

(TEL(代表)：044-379-6013)

1. 議事確認 (事務局：5 分)14:00～14:05
2. 各委員の調査結果報告・質疑 (各 20 分・25 分 計 45 分)
 - 2.1 Low Dose Rate Effects in Shallow Trench Isolation Regions
(猪俣委員)14:05～14:50
 - 2.2 Mechanisms and Temperature Dependence of Single Event Latchup Observed in a
CMOS Readout Integrated Circuit From 16–300 K
(平尾委員)14:50～15:35
- 休憩 (10 分)15:35～15:45
3. 成果報告
 - 3.1 委員会運営の報告 (事務局：15 分)15:45～16:00
 - 3.2 本年度の検討論文内容に関して (委員長：40 分)16:00～16:40
4. JAXA 殿 ご講評 (5 分)16:40～16:45
5. 事務局からの連絡 (5 分)16:45～16:50

平成23年度 最新デバイスの耐放射線性強化技術に関する検討委員会

IEEE Transaction on Nuclear Science, Vol. 57, No. 6, pp. 3279-3289, Dec. 2010

Low Dose Rate Effects in Shallow Trench Isolation Regions

A. H. Johnston, Fellow, IEEE, R. T. Swimm, Member, IEEE, and T. F. Miyahira

報告担当

NEC東芝スペースシステム株式会社 猪俣 輝司

NEC/TOSHIBA

要約

- シャロートレンチアイソレーション(STI)に対するTID効果の研究
- 低ドーズレートでダメージが増加することを確認
- 3次元モデルにより、トレンチにて電界を減らすのに十分な電荷が存在する場合、トレンチ領域のより深い部分で電荷補足が発生することを示した。

Index Terms---

CMOS, modeling, radiation effects, shallow trench isolation (STI), total dose.

1. 序論

- CMOSデバイスにおいて、トレンチ酸化膜(Shallow Trench Isolation, STI)における反転は、トレンチアイソレーション領域で発生して、ドレイン-トレンチ境界に運ばれてくる電荷によって引き起こされる
- 電荷が収集される横方向の距離は、桁数にして100nmである
- トレンチに隣接したシリコン領域での反転は捕捉ホールによって引き起こされる(界面トラップではない)
- 本論文では電荷輸送と捕捉の解析にSynopsysプログラムによる3次元モデルを用いている

2. トレンチアイソレーション反転(1/3)

A. 概要

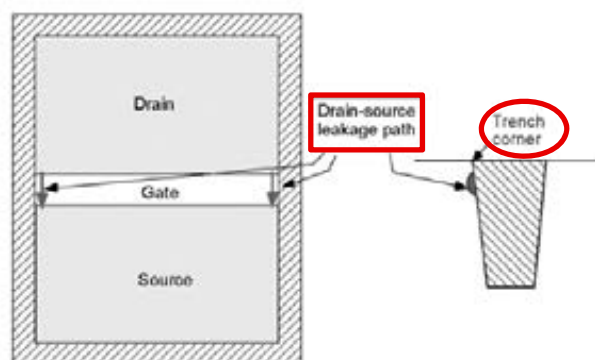


Fig. 1. Top view of an NMOS transistor showing the leakage path produced by radiation from drain to source.

P-wellとNMOS Trを囲むSTI界面におけるドレインからソースへの、捕捉ホールによるリークパスについて検討

2. トレンチアイソレーション反転(2/3)

B. トレンチ形状

- トレンチ領域の幅は一般的に加工寸法とともに縮小し、典型的には、最小チャネル長の2倍である
- 横方向電荷収集はトレンチから酸化側壁にて発生する
- ゲートに覆われた表層からトレンチ側壁に至る電気力線はおよそ1/4円である
- 電荷収集はトレンチ内部の横方向距離にして100nmにおよぶ
- トレンチ内部の電界はSTIコーナーからの距離が増えるに従い変化する(ゲート酸化膜と異なる)
- この電界の変化はSTIにおける電荷の捕捉と収集のモデルにおいて考慮しなければならない

2. トレンチアイソレーション反転(3/3)

C. 電圧依存性

TSMC製, 250nm CMOS, ドレインソース間リーク電流

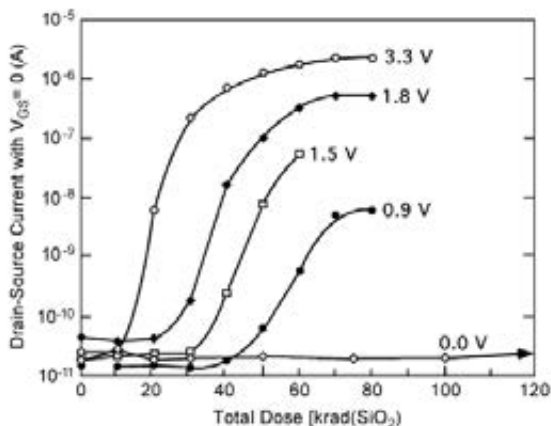


Fig. 2. Dependence of drain-source leakage current on total dose for several different irradiation bias conditions. The test structures were from a CMOS process with 0.25 μ m feature size.

- 反転閾値は印加電圧に反比例 ($V_{GS}=1.5V\sim 3.3V$)
- TID量が反転閾値に到達するとリーク電流は急激に増加するが、その後増加量は小さくなる
- $V_{GS}=0V$ の場合、反転は発生しなかった($\sim 500\text{krad}(\text{SiO}_2)$)

トレンチ反転は照射中の印加電圧に強く依存する

3. 実験結果(1/6)

A. サンプル

デバイス	CMOS
プロセスルール	250nm
ゲート酸化膜厚	4.1nm
チャンネル長	180nm
チャンネル幅	360nm
コア電圧	1.8V
ドレイン電流飽和値	140uA (nom.)
On/Off比率	10 ⁴ (筆者らが設定した判定値)
リーク電流	20nA
製造メーカー	TSMC

3. 実験結果(2/6)

B. 試験条件

照射線種	Co60ガンマ線	10 kV X線
ドーズレート	50-100 rad (SiO ₂) /s	100 rad (SiO ₂) /s
	0.1 rad (SiO ₂) /s	
	0.01 rad (SiO ₂) /s	
測定項目	I-V特性(照射ステップ毎)	←
測定時間	20分/測定	論文中に明記なし
照射時温度	常温(22℃)	論文中に記述なし

3. 実験結果(3/6)

C. 低ドーズレートにおける試験結果

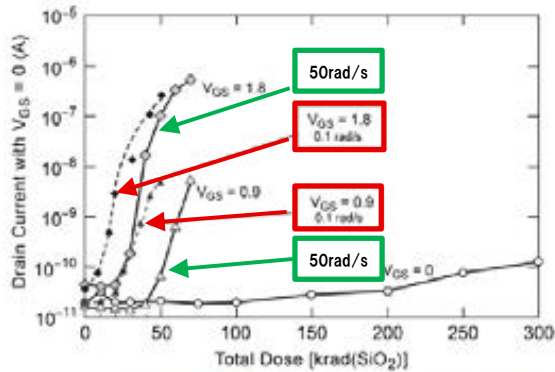


Fig. 3. Comparison of high and low dose rate results for test structures from the 0.25 micron process. The low dose rate was 0.1 rad(SiO₂)/s. The high dose rate was 100 rad(SiO₂)/s. Results are shown for individual devices to distinguish the differences between the various bias conditions. The threshold inversion dose differed by less than 5% for different samples under the same conditions.

- 低ドーズレートの場合、
 - 低いTID量で反転が始まる。
 - 10nA以降電流増加の傾きが減少
- 10⁴:1の比率に一致
- ドーズレート依存性の意義はデバイス性能評価に依存する

0.1rad(SiO₂)/sは50rad(SiO₂)/sの半分のTID量で反転

3. 実験結果(4/6)

C. 低ドーズレートにおける試験結果(ドーズレート依存性の継続性)

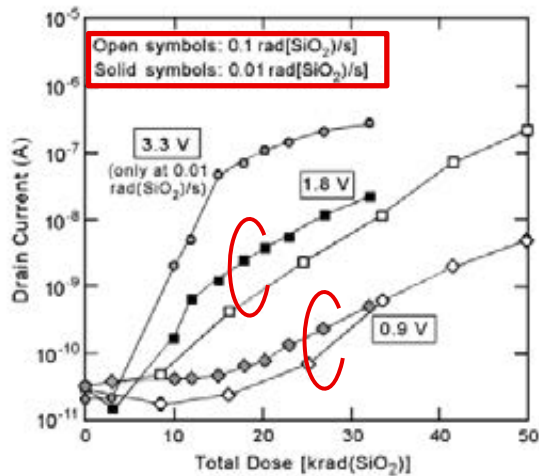


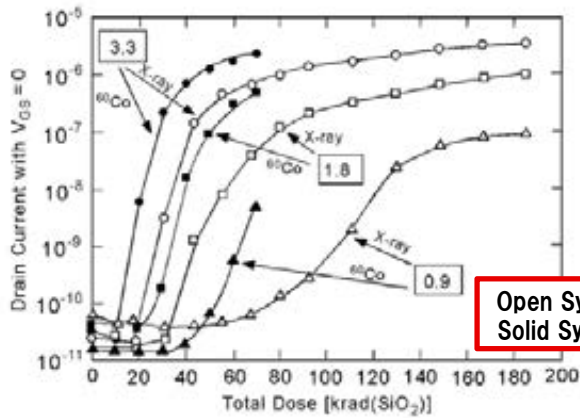
Fig. 4. Comparison of results at 0.1 and 0.01 rad(SiO₂)/s.

- 0.01rad(SiO₂)/sにおける反転にいたるTID量は0.1rad(SiO₂)/sと比較して約20%小さい
- ドーズレート依存性が横ばい傾向にある
- ELDRSセンシティブなデバイスと同じドーズレート依存性を示す

0.01rad(SiO₂)/sまでにドーズレート依存性は横ばい傾向

3. 実験結果(5/6)

D. 10kV X線による試験結果



- X線照射レート: $100 \text{ rad}(\text{SiO}_2) / \text{s}$
- ドレイン電流が小さい領域における同じ電流値に到達するのに必要なドーズ量はX線のほうがCo60より30~40%高い
- これまでの研究はSTI CMOSをX線でのみ評価していたので、TID耐性を過大評価している

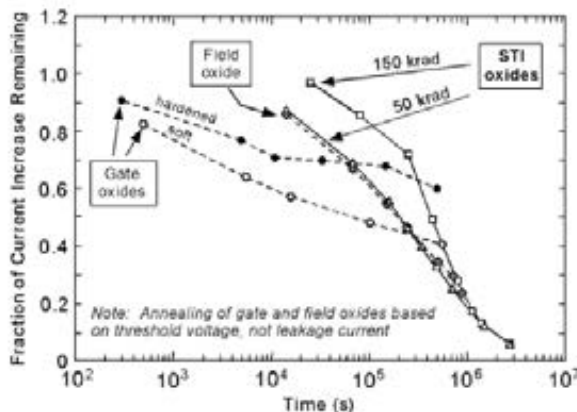
Open Symbols: Co60
Solid Symbols: X-ray

Fig. 5. Comparison of cobalt-60 and 10-kV X-ray results for test structures from the 250 nm CMOS process under different bias conditions. The dose rate for the cobalt-60 tests was $100 \text{ rad}(\text{SiO}_2) / \text{s}$, the same as the dose rate used for X-ray testing.

X線のほうがCo60より約40%高い照射量を必要とする

3. 実験結果(6/6)

E. アニール効果



- 縦軸はSTIの結果にのみ適用
- 他酸化膜のデバイスはゲート閾値電圧あるいはフラットバンド電圧を適用
- ドーズ量50kradの場合、STIとフィールド酸化膜のアニール効果はほぼ重なる。
- 時定数は 10^6 s

Fig. 6. Annealing of leakage current for two irradiated devices from the 0.25 μm process, irradiated to different total dose levels with cobalt-60 gamma rays. The dose rate for the irradiation was $100 \text{ rad}(\text{SiO}_2) / \text{s}$; the gate was biased at 1.8 V during the annealing period. Results for gate oxides and a field oxide from [14] are included for comparison.

CMOSデバイスは比較的短時間でアニールされる

4. コンピュータモデリング(1/5)

A. 基本的考察

ソースドレイン中間点の横断面における等電位線モデル

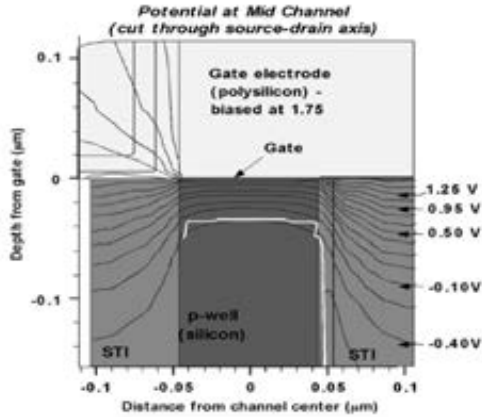


Fig. 7. Equipotential lines for a transistor from the 0.25 μm process, determined from the Synopsys program. The figure represents a lateral cut at the midpoint between the drain and source.

- 3次元モデリングにSynopsisを使用
- 横方向電流の計算を高精度で可能
- STI内の電界の捕捉電荷による影響を評価可能
- 電荷輸送とホール収率はプログラムに組み込まれている
- 電気力線(等電位線に垂直)は1/4円
- 1.75V印加時に表面から10nm下方位置で1.1MV/cm、100nm下方位置で0.11MV/cm

STI内の等電位線がフラットになるには100nm以上必要

4. コンピュータモデリング(2/5)

B. STI内部の電気力線

捕捉電荷の蓄積による影響を考慮しない電界モデル

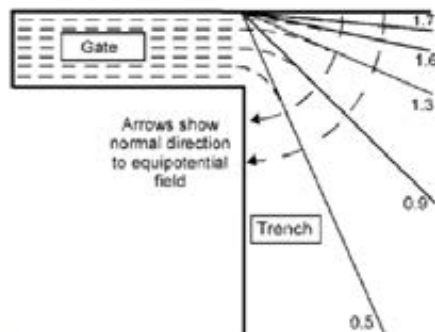


Fig. 9. Simple model of the field lines for the 0.25 μm process with 1.8 V applied to the gate that illustrates the geometry involved in hole transport (previously published in [2]).

- STIウェル間境界にて一定の表面電荷密度を仮定
- 電荷輸送によるSTI内の電気力線への影響を考慮していない
- 1/4円の等電位線がトレンチ境界まで延びる
- STI-ゲートのコーナーから35nm下方に最大電荷密度が位置する

電荷の輸送と収集モデルにおいて、実際の電荷密度は距離とともに変化することを考慮しなければならない

4. コンピュータモデリング(3/5)

B. STI内部の電気力線(プロセスルールの違いによる比較)

捕捉電荷の蓄積による影響を考慮する等電位線モデル

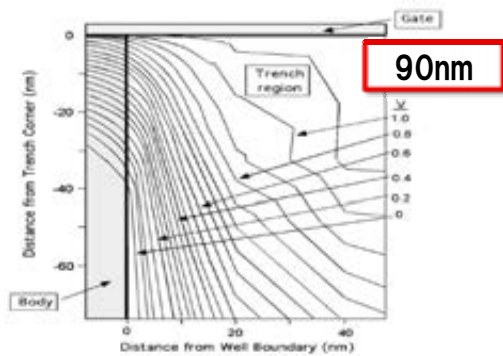


Fig. 10. Equipotential lines at the trench boundary for a 90 nm process after irradiation to $10^5 \text{ rad}(\text{SiO}_2)$.

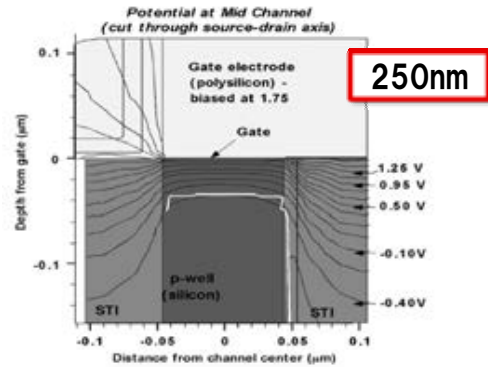


Fig. 7. Equipotential lines for a transistor from the 0.25 μm process, determined from the Synopsys program. The figure represents a lateral cut at the midpoint between the drain and source.

- 90nmプロセス、ゲート電圧1.2Vに検討モデルを適用 Fig 7再掲載
- TID 100krad (SiO_2) 照射後のモデル
- 250umで検討したモデル(図7)で示した1/4円の特徴がみられる(90nm)
- STIコーナーから20nm以上離れた位置の等電位線が異なる(90nmと250nmの比較)

4. コンピュータモデリング(4/5)

B. STI内部の電気力線(電界モデルと等電位線モデル)

捕捉電荷の蓄積による影響を考慮したときの電界モデル

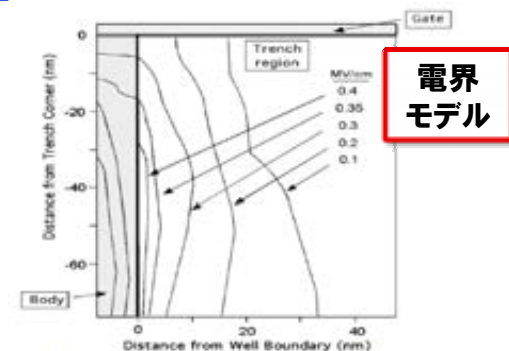


Fig. 11. Electric field lines at the trench boundary for a 90 nm process after irradiation to $10^5 \text{ rad}(\text{SiO}_2)$ with cobalt-60.

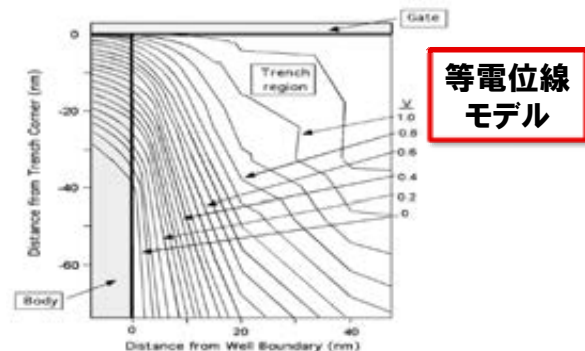


Fig. 10. Equipotential lines at the trench boundary for a 90 nm process after irradiation to $10^5 \text{ rad}(\text{SiO}_2)$.

- 電界ピーク値:0.46MV/cm Fig 10再掲載
- 広範囲に広がる
- 等電位線は1/4円を保つが、界面付近の電界は境界付近の電界を低くするのに十分高い。

界面付近の電界により捕獲電荷はSTI界面の下方まで延びる

4. コンピュータモデリング(5/5)

C. 捕捉ホールの位置

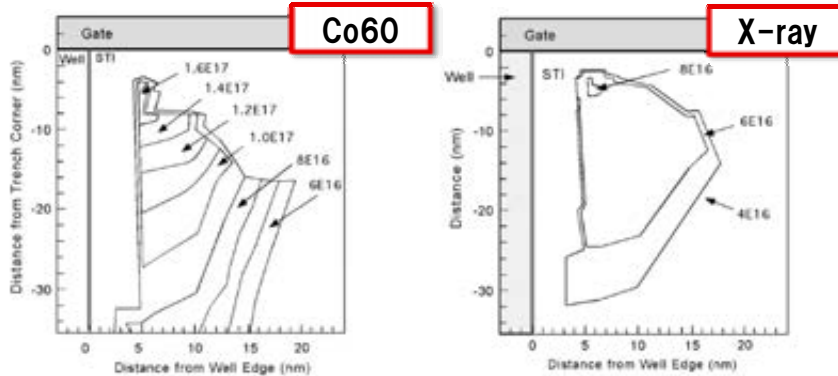


Fig. 12. Hole trap density from 3-D simulations using the hole yield values for cobalt-60 gamma rays. Total dose for this simulation was $3 \times 10^4 \text{ rad}(\text{SiO}_2)$.

Fig. 13. Hole-trap density from 3-D simulations using the hole yield for 10-kV X-rays. Total dose for this simulation was $3 \times 10^4 \text{ rad}(\text{SiO}_2)$.

- ゲートSTI界面はトンネリングにより電荷密度が低下する
- 比較的低いTIDレベルでも電荷はTrの活性領域の下方へ押しやられる
- Co60の再結合モデルでは大部分の捕捉電荷がSTIコーナー付近に位置する

照射線種	Co60ガンマ線	10 kV X線
ドーズ量	$3 \times 10^4 \text{ rad}(\text{SiO}_2)$	←
最大電荷密度	$1.6 \times 10^{17} \text{ cm}^{-3}$	$1.1 \times 10^{17} \text{ cm}^{-3}$
STIコーナー25nm下方位置の電荷密度	$1.2 \times 10^{17} \text{ cm}^{-3}$ (ピーク値の2/3)	$6.6 \times 10^{16} \text{ cm}^{-3}$ (ピーク値の1/2)

5. 考察(1/4)

A. 微細化とSTI反転

トータルドーズ量とノード寸法

ノード寸法が減少すると反転を引き起こすために必要なTID量は増加する

反転特性

① 電荷トラップの分布

捕捉ホールの分布の変化は

- 1) 多くの電荷をSTI構造のより深い位置でトラップする
- 2) リーク電流における影響を減少する
- 3) より高いTIDレベルでSTI反転が起こるノード寸法へドーズ量依存性を拡張する

② 電荷量

微細化に伴いドーブ密度は変化し、フィールド酸化膜の反転に必要な電荷量はドーブ密度の二乗根に比例する

例) プロセスルールと反転に必要なトータルドーズ量
 $2 \times 10^{17} \text{ cm}^{-3}$ @ ゲート長 150nm
 $2 \times 10^{18} \text{ cm}^{-3}$ @ ゲート長 90nm
 → 反転するためには約3倍のトータルドーズ量が必要

5. 考察(2/4)

B. ELDRS効果との比較

	STI反転	ELDRS
メカニズム	捕捉ホールによる（界面捕捉ではない）	捕捉ホールおよび界面捕捉による
バイアス依存性	正バイアス印加時のみ起きる	無バイアス時でも起きる
アニーリング	照射1か月後にダメージは10%しか残っていない（Fig 6参照）	数か月経過しても室温でアニーリングはほとんど起きない
ダメージの大きさ	低ドーズレートで照射した場合、2倍程度のダメージ	低ドーズレートで照射した場合、10倍の以上のダメージ

5. 考察(3/4)

C. 低ドーズレートにおけるダメージ増加のメカニズム

可能性のある3つのメカニズム

- ① 生成されるホールが低密度であるため、弱電界での再結合が減少する(ELDRSメカニズムと類似)
 - 弱電界で減少した再結合は電荷の捕捉量を増加させることをモデリングから示している
- ② 電界線はSTI領域で強く非対称となり、電荷輸送に影響を及ぼす
- ③ ある量の固定された電荷が定常状態の照射中に再結合によって減少する
 - 現在の3次元モデルでは説明されていない

5. 考察(4/4)

D. ダメージ増加の実用への影響

- ① デバイスの放射線許容レベルの低下
- ② 試験標準見直しの必要性の提起
→MIL-STD-883, Method 1019は低ドーズレートの実験に関して界面トラップが支配的なメカニズムが反映され作られている
- ③ X線でのみ評価したデバイスの耐放射線品質保証
→X線のほうが劣化に高い照射量を必要とするため(Fig 5参照)

6. 結論

- STI構造を含むCMOSデバイスにおいて、ドーズレートによって反転するのに必要なTID量が顕著に異なる
- この効果は照射中に電界印加される場合にのみ生じる
- そのメカニズムは、低ドーズレート条件における電荷収率の増加から、説明することができる。
- コンピュータモデリングから
 - 捕捉電荷のピークはゲートの直下にある
 - 捕捉電荷による局所的な電界のため、捕捉電荷の位置は境界の内側深くに形成される

平成23年度 最新デバイスの耐放射線性 強化技術に関する検討委員会

委員会の運営について

2012年 3月 2日

H I R E C 株式会社

1. 目的

本業務は、有識者で構成された検討委員会にて、試験方法を含めた最新デバイスの耐放射線性強化技術動向について調査し、耐放射線試験方法を含めた電子部品に対する強化技術に資することを目的とする。

2. 検討委員会の運用

2.1 委員会の設置

「平成23年度 最新デバイスの耐放射線性強化技術に関する検討委員会（以下“検討委員会”という）」を設置し、大学、公的研究機関、企業等の学識経験者に委員の委嘱を行った。

表1 委員名簿

NO	委員区分	委員名	会社名	所属	役職
1	委員長	伊部 英史	株式会社日立製作所 横浜研究所	生産技術研究センタ 回路システム研究部	研究主幹
2	副委員長	高橋 芳浩	日本大学	理工学部 電子情報工学科	教授
3	外部委員	平尾 敏雄	日本原子力研究開発機構	量子ビーム応用研究部門 半導体耐放射線性研究グループ	研究副主幹
4	外部委員	石井 茂	三菱重工株式会社	航空宇宙事業本部 誘導・エンジン事業部 電子システム技術部 電子機器設計課	主席
5	外部委員	深田 孝司	みずほ情報総研株式会社	サイエンスソリューション部 エレクトロニクスチーム	シニアコンサルタント
6	外部委員	坪山 透	高エネルギー加速器研究機構	素粒子原子核研究所 物理第一研究系	講師
7	外部委員	猪俣 輝司	NEC東芝スペースシステム(株)	技術本部 管理グループ	マネージャー
8	外部委員	加藤 一成	三菱電機株式会社 鎌倉製作所	宇宙システム部 信頼性技術センター 部品グループ	担当
9	外部委員	三浦 規之	ラピスセミコンダクタ宮城株式会社	開発部 新機能プロセス開発グループ	サブグループリーダー
10	外部委員	新保 健一	株式会社日立製作所 横浜研究所	生産技術研究センタ 回路システム研究部	研究員
11	外部委員	北村 明夫	富士電機株式会社	電子デバイス事業本部 松本工場 技術統括部 ディスクリット・IC技術部 ディスクリットデバイスGr.	マネージャー
12	外部委員	蓮池 篤	三菱電機株式会社 高周波光デバイス製作所	品質保証部 品質保証課	

2. 2最新デバイスの耐放射線性強化技術に関する検討について

検討委員会での検討対象として、各国の宇宙機関が主催/共催する学会、シンポジウムにて発表されたものなどから選ぶこととした。

検討の結果、2010年開催のNSRECにて発表された文献を選定した。

選定した文献については、各委員に検討資料として配付した。

*: Nuclear and Space Radiation Effects Conference

表2 検討論文アサイン表(1/3)

発表日	担当者 (敬称略)	分類	タイトル
			著者
第1回 6/24	榎原 (事務局)	SET	Scaling Trends in SET Pulse Widths in Sub-100 nm Bulk CMOS Processes M. J. Gadlage <NSWC>, J. R. Ahlbin, B. Narasimham, B. L. Bhuya, L. W. Massengill, R. A. Reed, R. D. Schrimpf, and G. Vizkelethy
第2回 10/7	高橋 副委員長	SET	Independent Measurement of SET Pulse Widths From N-Hits and P-Hits in 65-nm CMOS S. Jagannathan <Vanderbilt Univ.>, M. J. Gadlage, B. L. Bhuya, R. D. Schrimpf, B. Narasimham, J. Chetia, J. R. Ahlbin, and L. W. Massengill
第2回 10/7	三浦委員	SET	Evaluating the Influence of Various Body-Contacting Schemes on Single Event Transients in 45-nm SOI CMOS K. A. Moen <Georgia Institute of Tech.>, S. D. Phillips, E. P. Wilcox, J. D. Cressler, H. Nayfeh, A. K. Sutton, J. H. Warner, S. P. Buchner, D. McMorrow, G. Vizkelethy, and P. Dodd
第2回 10/7	石井委員	SEU (FPGA)	Combining Results of Accelerated Radiation Tests and Fault Injections to Predict the Error Rate of an Application Implemented in SRAM-Based FPGAs R. Velazco <TIIMA>, G. Foucard, and P. Peronnard

表2 検討論文アサイン表(2/3)

発表日	担当者 (敬称略)	分類	タイトル
			著者
第3回 11/25	坪山委員	SEU	Parametric Variability Affecting 45 nm SOI SRAM Single Event Upset Cross-Sections T. D. Loveless<Vanderbilt Univ.>, M. L. Alles, D. R. Ball, K. M. Warren, and L. W. Massengill
第3回 11/25	新保委員	SEU	Theoretical Correlation of Broad Spectrum Neutron Sources for Accelerated Soft Error Testing C. W. Slayman<Ops A La Carte>
第3回 11/25	北村委員	SEB	Charge Collection in Power MOSFETs for SEB Characterisation—Evidence of Energy Effects V. Ferlet-Cavrois<ESA/ESTEC>, F. Sturesson, A. Zadeh, G. Santin, P. Truscott, C. Poivey, J. R. Schwank, D. Peyre, C. Binois, T. Beutier, A. Luu, M. Poizat, G. Chaumont, R. Harboe-Sørensen, F. Bezerra, and R. Ecoffet
第3回 11/25 & 第5回 3/2	平尾委員	SEL	Mechanisms and Temperature Dependence of Single Event Latchup Observed in a CMOS Readout Integrated Circuit From 16–300 K C. J. Marshall<NASA/GSFC>, P. W. Marshall, R. L. Ladbury, A. Waczynski, R. Arora, R. D. Foltz, J. D. Cressler, D. M. Kahle, D. Chen, G. S. Delo, N. A. Dodds, J. A. Pellig, E. Kan, N. Boehm, R. A. Reed, and K. A. LaBel

表2 検討論文アサイン表(3/3)

発表日	担当者 (敬称略)	分類	タイトル
			著者
第4回 12/16	加藤委員	TID (Flash)	Increase in the Heavy-Ion Upset Cross Section of Floating Gate Cells Previously Exposed to TID M. Bagatin<Padova Univ.>, S. Gerardin, A. Paccagnella, G. Cellere, A. Visconti, and M. Bonanomi
第4回 12/16	蓮池委員	TID	Process Dependence of Proton-Induced Degradation in GaN HEMTs T. Roy<Vanderbilt Univ.>, E. X. Zhang, Y. S. Puzyrev, D. M. Fleetwood, R. D. Schrimpf, B. K. Choi, A. B. Hmelo, and S. T. Pantelides
第4回 12/16	深田委員	TID	Analysis of Total Dose-Induced Dark Current in CMOS Image Sensors From Interface State and Trapped Charge Density Measurements V. Goiffon<Université de Toulouse>, C. Virmondois, P. Magnan, S. Girard, and P. Paillet
第5回 3/2	猪俣委員	TID	Low Dose Rate Effects in Shallow Trench Isolation Regions A. H. Johnston<JPL>, R. T. Swimm, and T. F. Miyahira

2. 3委員会の運営

第1回	第2回	第3回	第4回	第5回
2011/6/24	2011/10/7	2011/11/25	2011/12/16	2012/3/2
<ul style="list-style-type: none"> ・委員長/副委員長の決定 ・本年度の進め方説明 ・検討論文の報告 (1件) ・2011年 SELSE/IRPS 参加報告 (委員長) 	<ul style="list-style-type: none"> ・検討論文の報告 (3件) ・2011年 NSREC参加報告 (HIREC) 	<ul style="list-style-type: none"> ・検討論文の報告 (4件) ・国際学会参加報告 (委員長) 	<ul style="list-style-type: none"> ・検討論文の報告 (3件) ・2011年 RADECS参加報告 (HIREC) 	<ul style="list-style-type: none"> ・検討論文の報告 (2件) ・2011年度検討論文のまとめ (委員長)
開催場所：HIREC(株)川崎事業所 会議室				

2. 4その他の報告

【第1回委員会】

- ・『SELSE*1 2011』 (委員長)
- ・『IRPS*2 2011』 (委員長)

【第2回委員会】

- ・『NSREC*3 2011』 (HIREC)

【第3回委員会】

- ・『ソフトエラー研究に関する最新動向 (-2011年の国際学会動向)』 (委員長)

【第4回委員会】

- ・『RADECS*4 2011』 (HIREC)

*1 Workshop on Silicon Errors in Logic-System Effects (SELSE)

*2 International Reliability Physics Symposium (IRPS)

*3 Nuclear and Space Radiation Effects Conference (NSREC)

*4 European Conference on Radiation Effects on Components and Systems (RADECS)

3. まとめ

- JAXA殿調達仕様書に基づき、以下の作業を行った。
 - ・ 外部委員の委嘱
 - ・ 委員会の設置及び運営（5回）
 - ・ 最新デバイスの耐放射線性強化技術に関して、本委員会にて報告及び討議
 - ・ 議事録のまとめ

- その他の報告として、国際学会・シンポジウムの参加報告も行った。

ご協力 誠にありがとうございました。

今後ともよろしくお願いいたします。

平成23年度最新デバイスの耐放射線性強化技術に関する検討委員会 最終報告

日立製作所横浜研究所

伊部 英史

第5回新デバ委員会 3/2/2012@HIREC

目次

- 概要
- 調査文献
- SET
- SEU
- SEB/SEL
- TID
- まとめ
- 2012年度国際学会紹介

第5回新デバ委員会 3/4/2011@HIREC

概要

■ *IEEE Trans. Nuc. Sci.*, Vol. 57, No.6 (2010 IEEE Nuclear and Space Radiation Effect Conference (NSREC)), Las Vegas, NV, USA, July 25-29, 2010での発表論文の中の選抜版)中、12編を選出、内容議論の上、概要紹介、抄訳を作成した。

■ SET関係3編、SEU関係3編、SEB1件、SEL1件、TID関係4編

第5回新テハ委員会 3/2/2012@HIREC

調査文献

分類	Chapter	担当者 (敬称略)	ページ	タイトル	著者
SET	3.2.1	横原	3336-3341	Scaling Trends in SET Pulse Widths in Sub-100 nm Bulk CMOS Processes	M. J. Gadlage<NSWC>, J. R. Ahlbin, B. Narasimham, B. L. Bhuvu, L. W. Massengill, R. A. Reed, R. D. Schrimpf, and G. Vizekelethy
	3.2.2	高橋	3386-3391	Independent Measurement of SET Pulse Widths From N-Hits and P-Hits in 65-nm CMOS	S. Jagannathan<Vanderbilt Univ.>, M. J. Gadlage, B. L. Bhuvu, R. D. Schrimpf, B. Narasimham, J. Chetia, J. R. Ahlbin, and L. W. Massengill
	3.2.3	三浦	3366-3372	Evaluating the Influence of Various Body-Contacting Schemes on Single Event Transients in 45-nm SOI CMOS	K. A. Moen<Georgia Institute of Tech.>, S. D. Phillips, E. P. Wilcox, J. D. Cressler, H. Nayfeh, A. K. Sutton, J. H. Warner, S. P. Buchner, D. McMorrow, G. Vizekelethy, and P. Dodd
SEU	3.2.4	坪山	3228-3233	Parametric Variability Affecting 45 nm SOI SRAM Single Event Upset Cross-Sections	T. D. Loveless<Vanderbilt Univ.>, M. L. Alles, D. R. Ball, K. M. Warren, and L. W. Massengill
	3.2.5	石井	3500-3505	Combining Results of Accelerated Radiation Tests and Fault Injections to Predict the Error Rate of an Application Implemented in SRAM-Based FPGAs	R. Velazco<TIMA>, G. Foucard, and P. Peronnard
	3.2.6	新保	3163-3168	Theoretical Correlation of Broad Spectrum Neutron Sources for Accelerated Soft Error Testing	C. W. Slayman<Ops A La Carte>
SEB	3.2.7	北村	3515-3527	Charge Collection in Power MOSFETs for SEB Characterisation—Evidence of Energy Effects	V. Ferlet-Cavrois<ESA/ESTEC>, F. Sturesson, A. Zadeh, G. Santin, P. Truscott, C. Poivey, J. R. Schwank, D. Peyre, C. Binois, T. Beutier, A. Luu, M. Poizat, G. Chaumont, R. Harboe-Sørensen, F. Bezerra, and R. Ecoffet
SEL	3.2.8	平尾	3078-3086	Mechanisms and Temperature Dependence of Single Event Latchup Observed in a CMOS Readout Integrated Circuit From 16–300 K	C. J. Marshall<NASA/GSFC>, P. W. Marshall, R. L. Ladbury, A. Waczynski, R. Arora, R. D. Foltz, J. D. Cressler, D. M. Kahle, D. Chen, G. S. Delo, N. A. Dodds, J. A. Pellish, E. Kan, N. Boehm, R. A. Reed, and K. A. LaBel
TID	3.2.9	猪俣	3279-3287	Low Dose Rate Effects in Shallow Trench Isolation Regions	A. H. Johnston<JPL>, R. T. Swimm, and T. F. Miyahira
	3.2.10	蓮池	3060-3065	Process Dependence of Proton-Induced Degradation in GaN HEMTs	T. Roy<Vanderbilt Univ.>, E. X. Zhang, Y. S. Puzyrev, D. M. Fleetwood, R. D. Schrimpf, B. K. Choi, A. B. Hmelo, and S. T. Pantelides
	3.2.11	深田	3087-3094	Analysis of Total Dose-Induced Dark Current in CMOS Image Sensors From Interface State and Trapped Charge Density Measurements	V. Goiffon<Université de Toulouse>, C. Virmondois, P. Magnan, S. Girard, and P. Paillet
	3.2.12	加藤	3407-3413	Increase in the Heavy-Ion Upset Cross Section of Floating Gate Cells Previously Exposed to TID	M. Bagatin<Padova Univ.>, S. Gerardin, A. Paccagnella, G. Cellere, A. Visconti, and M. Bonanomi

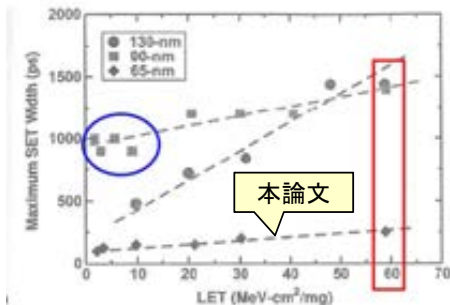
SET関係概況

項番	概要
3. 2. 1 Sub-100nm Bulk CMOSプロセスにおけるSET電圧パルス幅のスケールトレンド	<ul style="list-style-type: none"> ■ Bulkテクノロジーにおける、SETパルス幅のトレンドは、複数の要素の組み合わせの結果であるため、確定することが難しい。 ■ 要素の一つが、Pulse broadeningであり、broadeningレートに着目すると、テクノロジースケールが小さくなるほどに、短くなっていく傾向が見える。 ■ もうひとつの要素が、Parasitic bipolar amplificationであり、これはテクノロジースケールよりも、PMOSの周りにいかにN-Wellコンタクトを付けるか、テスト回路のレイアウトによる傾向が見える。 ■ 結論として、SETパルス幅のテクノロジースケールに対するトレンドを論じる場合は、テスト回路のN-Wellコンタクトのレイアウトを、横並びに一定にした上で、そのようなテスト回路を使ってSETパルス幅の実測の試験を行い、その結果を持って論じる必要がある。
3. 2. 2 65nm CMOSにおけるnMOS, pMOS照射時のSETパルス幅の独立測定	<ul style="list-style-type: none"> ■ 65 nm Bulk CMOSの重イオン照射誘起SETパルス幅を、N-hitsとP-hitsで分離して評価(異なる回路の使用による) 結果: <ul style="list-style-type: none"> ・低LET:N-hitsのパルス幅は、P-hitsよりも10%程度長い(収集長:nMOS > pMOSのため) ・高LET:P-hitsのパルス幅が増大(寄生バイポーラ効果) (斜入射で、nMOSよりも60%程度増大) ・SETイベント数:各Trの感応領域に比例→ 先端デバイスの耐放射線向上において有益なデータ
3. 2. 3 45nm SOI CMOSにおけるシングルイベント過渡応答に関するボディコンタクト設計の影響評価	<ul style="list-style-type: none"> ■ 45nm SOI CMOSにおいて、T型及びノッチ型ボディコンタクトMOSFETのSET反応を調査する。 ■ これらの結果は、nmスケールMOSFET ボディコンタクト手法に関して、RF特性 vs TID vs SEEトレードオフの新しい知見を与えるものである。 ■ T型ボディに比べて、ノッチ型ボディはSEE感度が低減できる。それは、レーザ光入射及びマイクロビーム重イオン入射での過渡応答から示される。

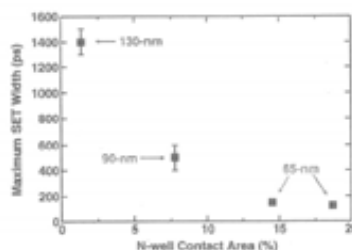
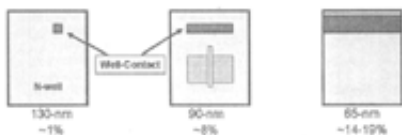
Sub-100nm Bulk CMOSプロセスにおけるSET電圧パルス幅のスケールトレンド

SETパルス幅実測値には、一貫性がない

- 130-nm Bulk : <500ps [Baze, 2006]
- 130-nm Bulk : <2ns [Benedetto, 2006]
- 90-nm Bulk : >1ns [Narasimham, 2007]
- 90-nm Bulk : <400ps [Cannon, 2009]



90nmで低LETでパルス幅1ns程度と長い100段直列インバータを使っているのでPB (Pulse Broadening)が起きている。130nmは100段なのでPBの程度は小さい。



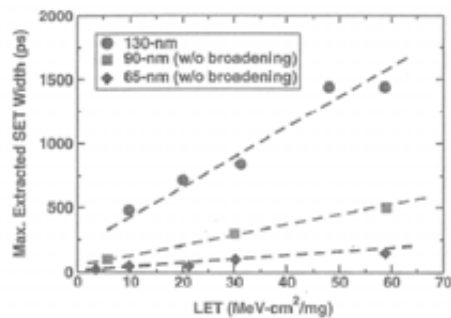
n-ウェルコンタクト面積?の相対的大きさがバイポーラ効果の大きさを決めるので、SET幅のスケール効果は一概に確定できない。

?トリプルウェルではp-ウェルコンタクト面積

SETはバイポーラ増幅で発生し、n-ウェルコンタクト面積が相対的に大きいほど起きにくい

第5回新テパ委員会 3/2/2012@HIREC

SET(3. 2. 1)

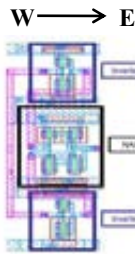
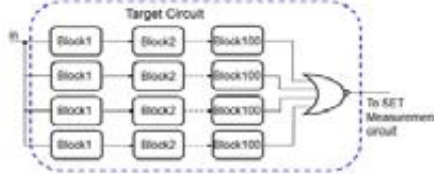


SETパルス幅はスケールで小さくなっていくように見える。

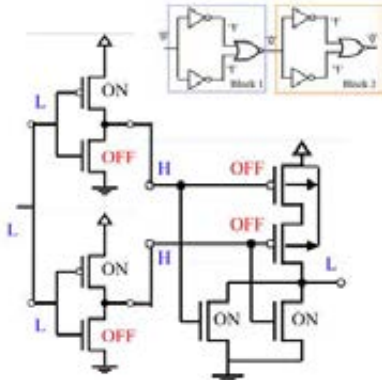
65nm CMOSにおけるnMOS, pMOS 照射時のSETパルス幅の独立測定

SET(3.2.2)

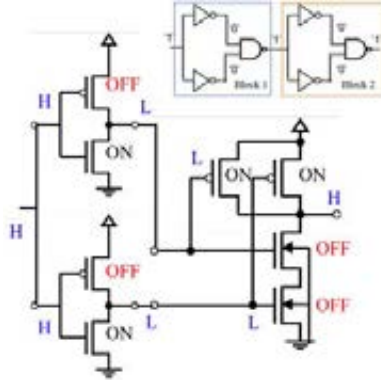
目的: CMOSFETのpMOSとnMOSに重イオンが当たった場合のSETパルス幅の相違をNAND+Inv、NOR+Invの100段チェーン(PB抑制)で計測



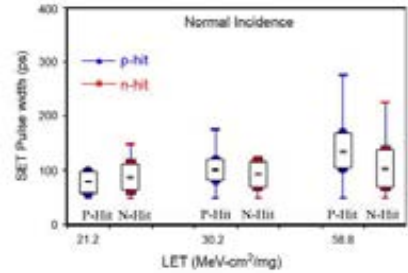
pHit回路、nHit回路いずれもインバータのoff状態のMOS2個に同時にフォールトが入るとSETになる。これを防ぐためインバータを離して(>3.5um)配置



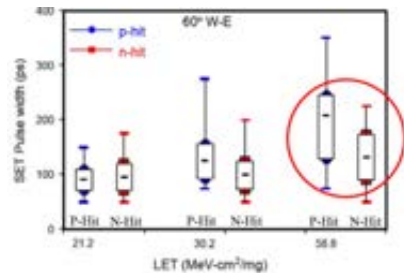
pHit回路: インバータの一方のnMOSにイオンが当たっても出力変化しない。NORのpMOSに当たるとSET発生。



nHit回路: インバータの一方のpMOSにイオンが当たっても出力変化しない。NANDのnMOSに当たるとSET発生。



低LET: PHit < Nhit, 高LET: pHit > nHit
・高LETでは寄生バイポーラ効果大 (ツインウェル)

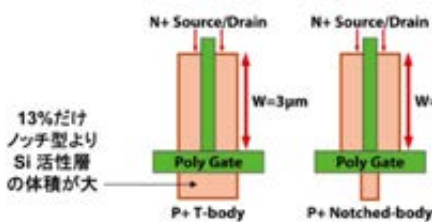


60度斜め入射: 高LETでのpHitのパルス幅がより増大

第5回新テハ委員会 3/2/2012@HIREC

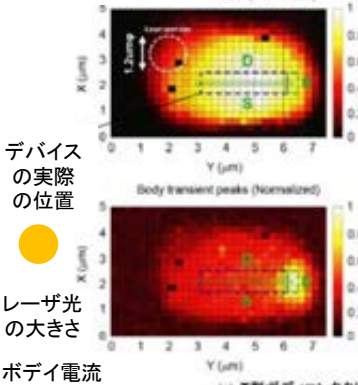
45nm SOI CMOS におけるシングルイベント過渡応答 に関するボディコンタクト設計の影響評価

SET(3.2.3)



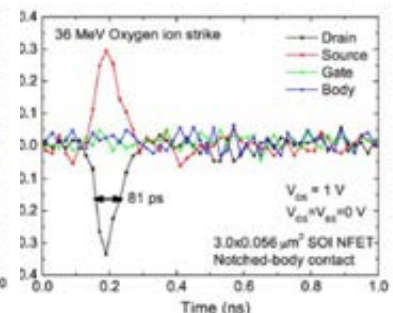
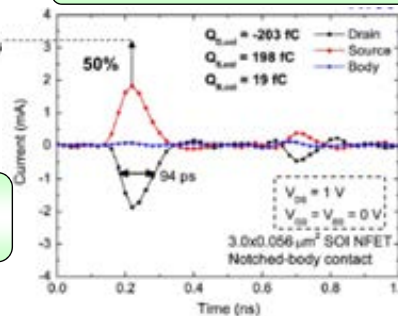
目的: T型およびノッチ型p+ボディコンタクト(バイポーラ効果抑制)を持つ45nm PD SOI CMOSのSET特性を把握(L=56nm, Tox=1.16nm)

ドレイン電流(相対値)

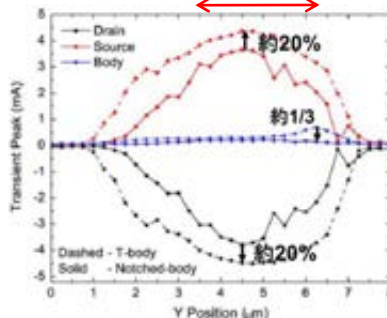


ボディ電流

ボディ部近傍にレーザーを入射した時のSET電流時間応答



デバイスの実際の位置



36MeV酸素イオン(LET 5.4 MeV-cm²/mg)入射時のSETパルス応答: 電流値はLETが小さいので低いが、レーザーはパルス幅をよく模擬できている (94ps vs. 81ps)

ノッチ型の方がSET、TID特性双方で良くなる。RF特性は良くないが、最善の選択。

10.7nJ(波長800nm、1.2umφ、1kHz、パルス幅120fs)のレーザー光によるprobing結果: T-bodyの方がノッチ型より発生ドレイン電流大(バイポーラゲイン大)

第5回新テハ委員会 3/2/2012@HIREC

SEU関係概況

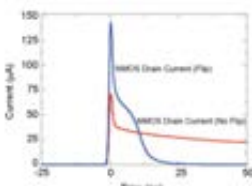
項番	概要
3. 2. 4 45 nm SOI SRAM の SEU 断面積に影響するパラメータのばらつき	<ul style="list-style-type: none"> ■ 45 nm SOI など先進プロセスのトランジスタパラメータの変動(ばらつき)が 45 nm SOISRAM の、陽子を含む10 MeVcm²/mg 以下の LET領域に於けるSEU応答の推定に重要な影響を与えている。 ■ 低LETでのSEU断面積はセルのSEU感度から推定できる。LETは定義上「平均値」を示しているが、SOIなどの微少領域では、エネルギー損失の部位やセルの特性によるばらつきが SEU 閾値に影響を与える。 ■ SEUの測定データからエラー頻度を計算する場合は、閾値電荷にセルの温度やスピードによってばらつきがあることを考慮するべきである。
3. 2. 5 放射線試験と故障注入試験の組合せによるSRAMベースFPGAのアプリケーションレベルのエラー率予測	<ul style="list-style-type: none"> ■ SRAMベースのFPGA Virtex II に実装された暗号化コアのTMRバージョンへのフォールトインJECTIONと重イオン照射で得られたSEU断面積により、アプリケーション実行中のソフトエラー率推定法の有効性を確認。 ■ このアプローチは、重要なアプリケーションの放射線効果に対する最終的な認定に代替することは目的ではない。 ■ このアプローチの長所は、シミュレーション・レベルで適用される最新技術のアプローチと比較し、ほとんど時間的オーバーヘッドがなく、ハードウェア/ソフトウェアへの擬似的なSEU故障注入を、ほぼリアルタイムで実施できることである。
3. 2. 6 ソフトエラー加速試験に使用される広域エネルギー中性子源の理論的相関性	<ul style="list-style-type: none"> ■ NYC海面および航空機高度の標準中性子スペクトルと広域エネルギー中性子源スペクトルを用いて各中性子源施設の妥当性を検証する。 ■ マスキング効果等の複雑さを考えると現存施設の精度は満足すべき。(ISISはかなり妥当性に問題あるが。) ■ スケーリングが進むと現存5施設の妥当性は検討が必要。

第5回新デバ委員会 3/2/2012@HIREC

45 nm SOI SRAM の SEU 断面積に影響するパラメータのばらつき

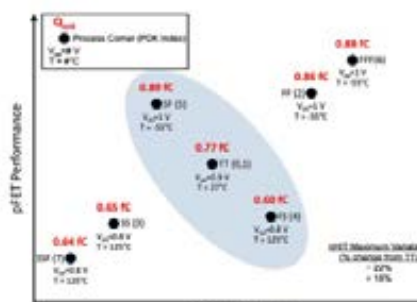
SEU(3. 2. 4)

目的:45nm SOI SRAMのSEU断面積に及ぼすパラメータをTCADとSPICEシミュレーションによって明らかにする。



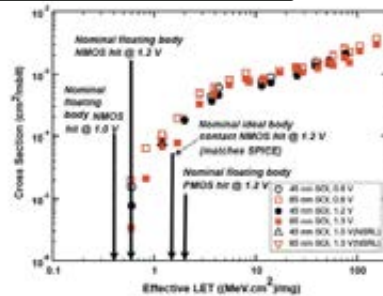
Cell Device	Body	Operating Voltage (V)	Q _{crit} (nC)	Deposited Charge (nC)	LET Threshold (MeV·cm ² /mg)
NMOS	Floating	1.0	0.28	0.4	0.4
NMOS	Floating	1.2	0.42	0.6	0.6
NMOS	Metal	1.2	0.77	1.1	1.1
PMOS	Floating	1.2	0.84	1.2	1.2
PMOS	Metal	1.2	1.4	>2	>2

pMOSよりnMOSが弱い

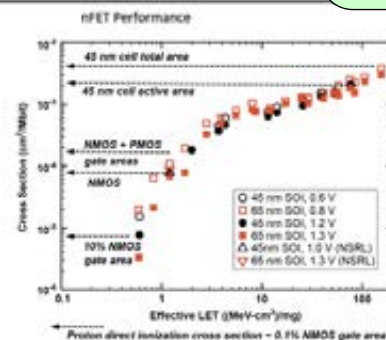


SPICEシミュレーションによってpMOS,nMOSのperformance(スピード)と動作電圧、温度への臨界電荷量の依存性を解析。スピードが速い方が臨界電荷量は高い。

IBM SOI12S0のプロセスデザインキットを用いてオフ状態のnMOSのゲートにLETを変えてイオンを注入した場合のTCADシミュレーション実施。アップセットが起きる場合(青)は電荷の90%は2ps以内に収集される。アップセットしない場合(赤)は電流が流れ続け収集電荷の4, 5倍の電荷が流れる。フローティングボディ状態になっていることを示唆。



測定値は「平均」であって、当たった部位によって異なった特性が総合されている。しきい値は最も弱いnMOSのTCAD計算値と一致。



測定された断面積と種々の物理的な面積を比較。LETが高いほどCellのactive areaの面積に近づく。100MeVcm²/mgではセル面積に近づくがMCUや、基板に発生する電位の影響か？

第5回新デバ委員会 3/2/2012@HIREC

放射線試験と故障注入試験の組合せによるSRAMベースFPGAのアプリケーションレベルのエラー率予測

SEU(3. 2. 5)

目的: 静的なSEU断面積で求めるエラー率はアプリケーションを実行している実際のエラー率に対して過大評価になる。使用するリソースが限定的である、等のため。FPGAで組んだシステムでフォールトインジェクションを行いアプリケーションレベルでのSEU断面積を求める。

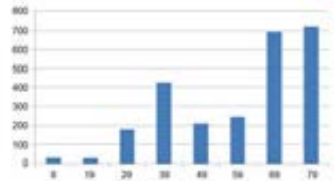
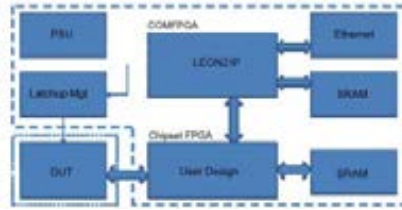


図1 FPGAで組んだ回路構成。DUTはXilinx Virtex-II XC2V1000

図3 1回目エラーで2回目エラーが消えた一回目のエラー数(動的ビットに注入)

- DUTにTMRを組み、
- 1回目: ビットストリームにフォールトを注入し、アプリケーション(データ暗号化機能(DES3アルゴリズム))を実行。
 - a) エラー検出有り → 3ビットレジスタが1ノードエラーを検知したが、データ出力は正しい。(TMRの多数決効果)
 - b) エラー検出誤り → 3ビットレジスタがN.A(2出力以上誤り)だが、データ出力は正しい。(3ビットレジスタ自身の異常)
 - c) エラー未検出 → 3ビットレジスタがエラー無したが、データ出力が異常。(TMRの出力異常)
 - 2回目: フォールトはそのまま残り、同じアプリを実行



図2 エラーのタイミング分布(クロック数)

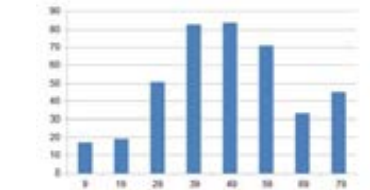


図4 1回目エラー無しで2回目エラーになった2回目のエラー数(静的ビットに注入)

1回目に注入したフォールトが静的ビットに入れば2回目も残るが、動的ビット(レジスタなど)に入るとクリアされて、残らない。

表1 照射試験(measured)との比較

Error rate	Particles	Detected errors	Falsely detected errors	Undetected errors
Measured	Carbon	1.04x10 ⁴	N/A	N/A
	Argon	2.84x10 ³	6.67x10 ²	7.78x10 ²
Predicted*	Carbon	9.53x10 ²	1.55x10 ²	2.09x10 ²
	Argon	1.94x10 ²	3.16x10 ²	4.25x10 ²

Ar結果: a)ほぼ等しい b)ファクタ5 c)ほぼ等しい

*Predictedは静的SEU断面積
Carbon : 2.79x10⁻³
Argon : 5.68x10⁻³に単位フォールト当たりのエラー数を掛けたもの。

ソフトエラー加速試験に使用される広域エネルギー中性子源の理論的相関性

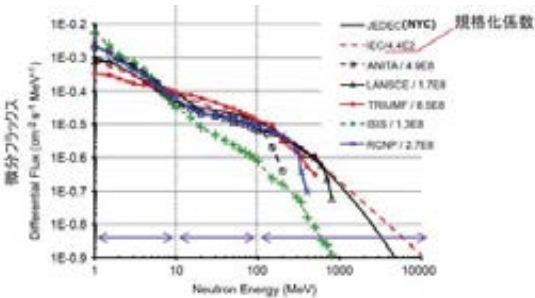
SEU(3. 2. 6)

目的: NYC海面および航空機高度の標準中性子スペクトルと広域エネルギー中性子源スペクトルを用いて各中性子源施設の妥当性を検証する。

地上の標準中性子スペクトル(JESD89A)

$$\phi_{NYC} = 1.006 \cdot 10^{-6} e^{-0.35(\ln(E))^2 + 2.14 \ln(E)} + 1.011 \cdot 10^{-3} e^{-0.4106(\ln(E))^2 - 0.667 \ln(E)} \quad (1)$$

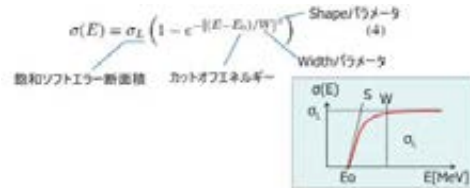
中性子スペクトルの比較



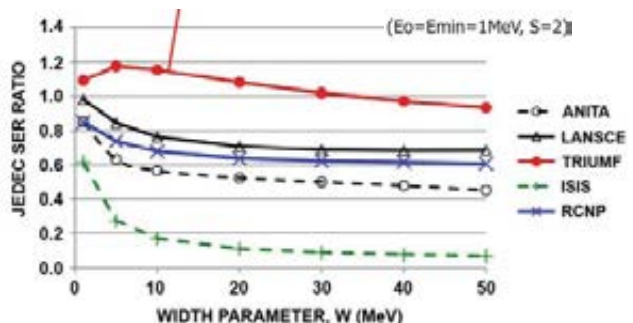
5施設のエネルギー帯による特徴付け

SOURCE	NEUTRON FLUX			
	1-10MeV	10-100MeV	>100MeV	Total >1MeV
	%	%	%	N cm ⁻² hr ⁻¹
JEDEC(NYC)	35%	35%	30%	2.0 10 ⁷
IEC(40k ft)	35%	35%	29%	8.76 10 ⁷
ANITA	65%	28%	7%	9.87 10 ⁸
LANSCE	52%	26%	22%	3.40 10 ⁸
TRIUMF	24%	54%	21%	1.29 10 ¹⁰
ISIS	92%	7%	1%	2.5 10 ⁷
RCNP	57%	25%	18%	5.37 10 ⁷

SEU断面積のワイブル近似



加速施設でのスペクトルとワイブル近似から求めたエラー率のNYC海面のスペクトルを用いて計算したエラー率に対する比(JEDEC SER RATIO)



- ・マスキング効果等の複雑さを考えると現存施設の精度は満足すべき。(ISISはかなり妥当性に問題あるが。)
- ・スケールリングが進むと現存5施設の妥当性は検討が必要。

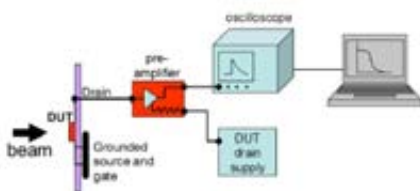
SEB/SEL関係概況

項番	概要
3. 2. 7 パワーMOSFETのSEB特性を決める電荷収集—エネルギー依存性	<ul style="list-style-type: none"> ■ Charge Collectionは縦型パワーMOSの照射イオンエネルギーに対するSEB率の統計的応答を分析する非破壊手法である。 ■ パワーMOSのドレイン層を形成するエピタキシャル層は厚いため、低エネルギーでは、エピタキシャル層中で減衰し、Charge Collection量が減少、SEB率を過小評価してしまう。(SEB耐量が高く出してしまう) ■ 高エネルギーでは、ソースワイヤが大きなシャドウ効果を示す。この効果によりCharge Collection量は増加する。 ■ パワーMOSでは上記双方を考慮する必要がある。
3. 2. 8 16-300KにおけるCMOS集積回路中で観察されたシングルイベントラッチアップのメカニズムと温度依存性	<ul style="list-style-type: none"> ■ 読み出し回路(ROIC)は粒子線、光、電磁波をアレイ状の検出器で捉え、電流に変換して画像化する。長波長の光を高感度で捉えるために30-40Kまで冷却する。 ■ ROIC(読み出し集積回路)のSELはアレイ部やアナログ回路部では発生せず、最も微細化が進んだデジタル回路部(V_{PD}:どこか明記なし)で発生する。Shallow Level Impact Ionizationが基本メカニズム。 ■ 32-135KにSELを起さない遷移領域がある。22Kでは室温と変わらないSEL断面積になる。 ■ LETが大きいだけではSELにならない。飛程が40μm程度必要。

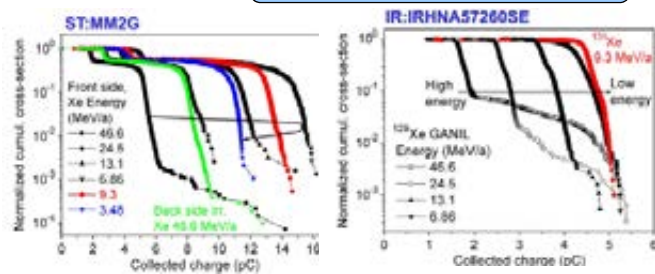
第5回新デバ委員会 3/2/2012@HIREC

パワーMOSFETのSEB特性を決める電荷収集—エネルギー依存性

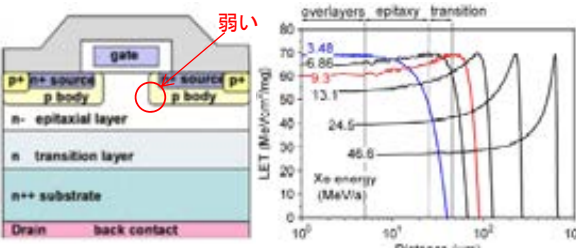
SEB(3. 2. 7)



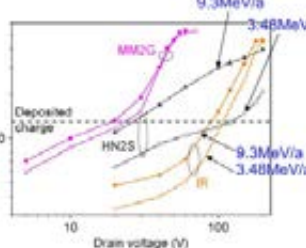
目的:パワーデバイスのSEB耐性を電荷収集量測定により評価する。



Drain電圧20V時のMM2GとIRHNAの電荷収集量の累積断面積
IRHNAはMM2Gのようにゲート反応部分とソース反応部分の2段階にならない



結論:SEB試験の推奨条件。(根拠が良くわからない)



Max rated Vds (V)	Minimum ion range (μm)	Maximum ion range (μm)
Up to 100	60	120
101 to 200	90	180
201 to 400	150	300
401 to 1000	200	400

Device	シリーズ	定格	n-epi厚	n trans厚	Si上層膜厚
IRHNA57260SE	R5 (Gen.5) Rad-hard	200V	20μm	20μm	6μm/ゲート上 4μm/ソース上
HN2S	*** Rad-hard	200V	20μm	20μm	6μm/ゲート上 4μm/ソース上
MM2G	COTS Not hard	200V	20μm	20μm	6μm/ゲート上 4μm/ソース上

注入イオンのエネルギーはepi層とtransition層の反応領域に届く(2倍)飛程をもち、LETも十分高い必要がある。通常Xeが用いられるが、3.48~9.3MeV/核子程度が良い。

Drain電圧が高くなると急激に電荷収集量が増える。注入電荷量より増えるのでバイポーラ効果。

第5回新デバ委員会 3/2/2012@HIREC

16-300KにおけるCMOS読出し集積回路中で観察されたシングルイベントラッチアップのメカニズムと温度依存性

SEL (3. 2. 8)

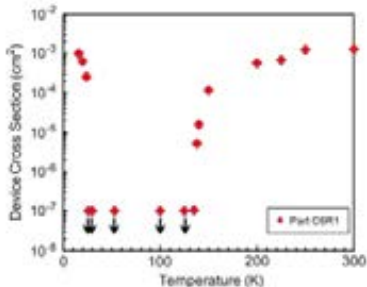
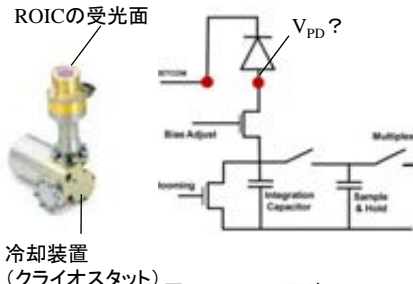
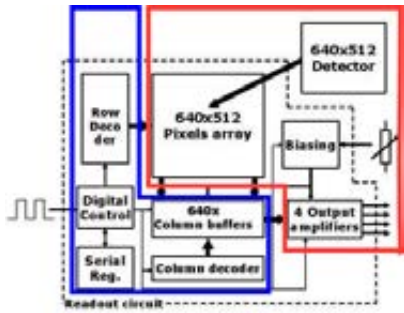


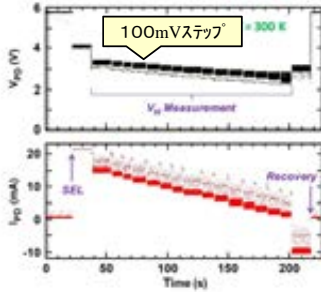
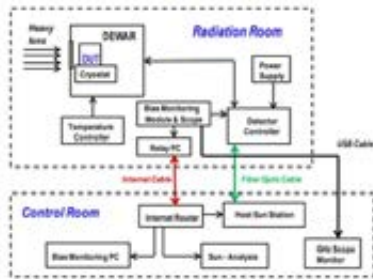
図1 ROICの構成例(参考)

図2 ROICの回路

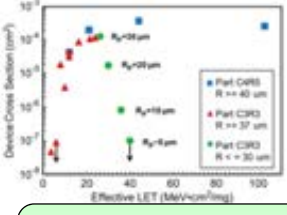
図5 ROICのSEL断面積データ(Kr)

読出し回路(ROIC)は粒子線、光、電磁波をアレイ状の検出器で捉え、電流に変換して画像化する。長波長の光を高感度で捉えるために30-40Kまで冷却する。

32-135KにSELを起さない遷移領域がある。22Kでは室温と変わらないレベルになる。Krの飛程は43μm、LETeff=64.4、斜め60度



SELはアレイ部やアナログ回路部では発生せず、最も微細化が進んだデジタル回路部(VPD:どこか明記なし)で発生する。Shallow Level Impact Ionizationが基本メカニズム。



LETが大きいたけではSELにならない。飛程が40μm程度必要。

図3 重イオン照射実験セットアップ

図4 重イオン照射実験セットアップ

第5回新デハ委員会 3/2/2012@HIREC

TID関係概況(1)

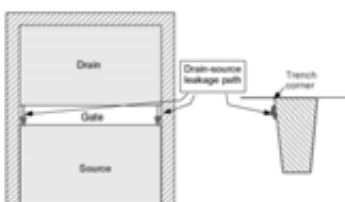
項番	概要
3. 2. 9 STI領域における 低線量率効果	<ul style="list-style-type: none"> STI構造を含むCMOSデバイスにおいて、ドーズレートによって反転するのに必要なTID量が顕著に異なる この効果は照射中に電界印加される場合にのみ生じる そのメカニズムは、低ドーズレート条件における電荷収率の増加から、説明することができる。 コンピュータモデリングから <ul style="list-style-type: none"> 捕捉電荷のピークはゲートの直下にある 捕捉電荷による局所的な電界のため、捕捉電荷の位置は境界の内側深くに形成される
3. 2. 10 陽子により誘発された製造工程に依存したGaN HEMTの劣化	<ul style="list-style-type: none"> 1.8MeVの陽子を10^{14} cm^{-2}のフルエンスまでAlGaN/GaN HEMTに照射し、反応を調査した。NH₃リッチのMBE下で成長した素子はGaリッチ、NリッチのMBEで成長した素子に比べて陽子により誘発された劣化に敏感であることがわかった。 陽子照射による素子劣化の特徴はホットエレクトロンストレスが起因の劣化と異なる。ホットエレクトロンのストレスではGaリッチ、Nリッチの素子はピンチオフ電圧が正にシフトし、アンモニアリッチの素子はピンチオフ電圧が負にシフトするが、陽子照射ではすべての素子でピンチオフ電圧が正にシフトしている。 1/f雑音は$7 \times 10^{13} \text{ cm}^{-2}$まで陽子照射すると増加する。アクセプタライク性質をもつN空孔が陽子の照射で生成され、放射線を照射した素子に雑音の増加をもたらしている。

TID関係概況(2)

項番	概要
3. 2. 11 CMOSイメージセンサーの界面状態とトラップ電荷密度測定によるトータルドーズ誘起の暗電流の解析	<ul style="list-style-type: none"> ■ 等時アニーリングにおいて、100°C以下では界面状態がアニールアウトする。300°C30分アニーリングでは、トラップ電荷の1/3が残る。 ■ 放射耐性向上のためには、①生成中心密度の増加、②TIDによる空乏領域の拡大、が緩和される必要がある。 ■ 放射誘起暗電流を減少させる最も直接的な方法は、接合部境界線を減らすことである(量子効果、電荷-電圧変換ファクター)。 ■ 先端CISの劣化の主要な原因は、STI界面状態の増強と電荷トラップである。CIS挙動の完全な理解の前に、照射とアニール後のSTI挙動を理解すべきである。
3. 2. 12 事前にTID照射されたフローティングゲートセルにおける重イオン照射によるアップセット発生断面積の増加	<ul style="list-style-type: none"> ■ この論文では、事前にTID照射(< 50 krad)を受けたフローティングゲートセルについて、重イオン照射によるSEU発生断面積を示した - 低LET領域において、TIDによるSEU発生断面積の増加への寄与は大きい - 重イオンによるビットエラー数は、TID照射量に比例して大きくなる - これは、TIDと重イオン照射によるV_{th}分布のシフトの組み合わせに起因する ■ TID照射に続いて照射された重イオンによるSEU発生断面積の増加は、宇宙でのエラーレート予測について重要な帰結をもたらす - TIDと重イオンを組み合わせた効果は、別々に考えたとき(つまり単純に足し合わせた効果)に比べ、V_{th}のシフト量としては小さくなる - これは、TIDによるフローティングゲートからの電荷損失によって酸化膜内の電場が小さくなり、引き続いて照射された重イオンによるV_{th}のシフト量は、TIDを受けていない場合と比べ、小さくなるためである

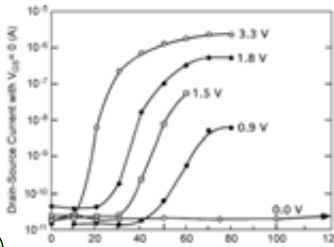
第5回新デバ委員会 3/2/2012@HIREC

STI領域における低線量率効果

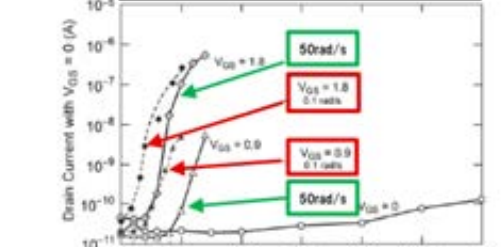


目的: TID効果でGate端のSTIの中にホールが蓄積、電界が形成されるために界面近くに反転層が形成、ソースドレイン間に電流が流れる。線量率の影響を評価する。

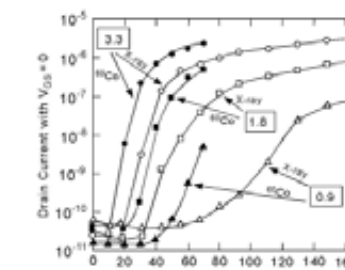
TID (3. 2. 9)



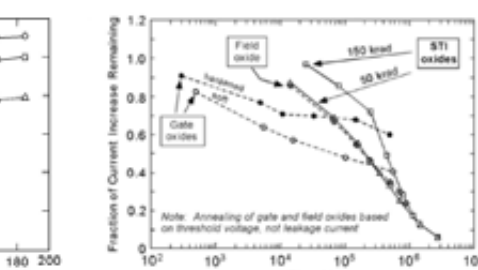
250nm MOSFETのTID効果。照射中のゲート電圧が高いほどリーク電流は大きくなる。反転しきい値は電圧に反比例



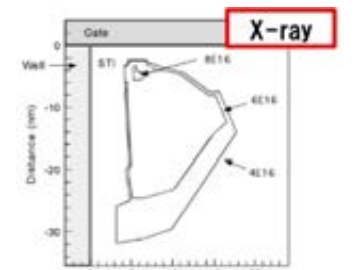
250nm MOSFETのTIDのドーズレート効果。低いドーズレートの方がしきい値が低い。0.01rad/sでは飽和傾向(0.1rad/sと大きくは変わらない)。



250nm MOSFETのTID効果は、X線より、Co-60の方が顕著。これまでの評価(X線)は耐性を過大評価。



250nm MOSFETのドレイン電流 (Co-60、100rad/s)のアニーリングによる減少。ELDRSと異なりアニーリング効果大。



90nm MOSFETのSTI内ホールの蓄積シミュレーション結果

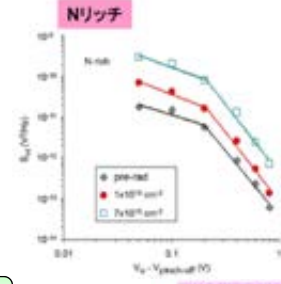
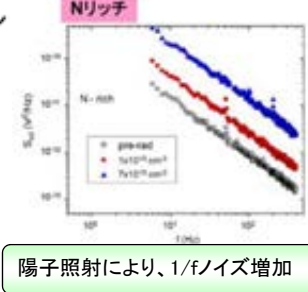
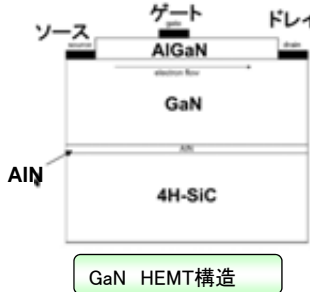
第5回新デバ委員会 3/2/2012@HIREC

陽子により誘発された製造工程に依存した GaN HEMTの劣化

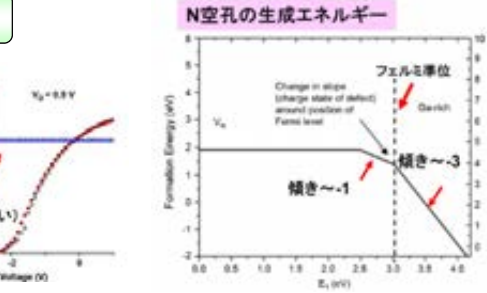
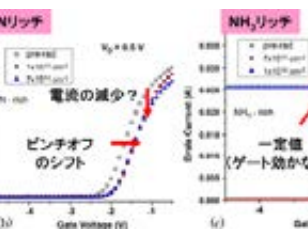
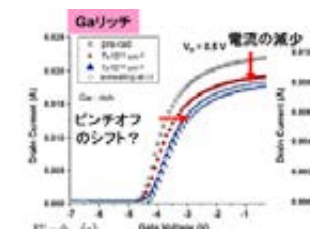
TID (3. 2. 10)

目的: GaN HEMTの陽子(1.8MeV, 10^{14}cm^{-2})照射によるDC特性、1/fノイズ特性の変化を測定、AlGaIn/GaNのヘテロ構造層の製造工程(MBE: (i) GaNリッチ(ii) Nリッチ (iii) NH_3 リッチ)による相違を抽出する。

結論: N空孔が陽子照射による1/f雑音増加の原因。



パワースペクトル密度S_vの陽子照射による変化。



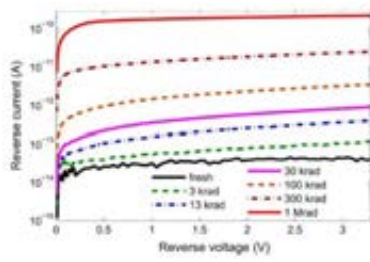
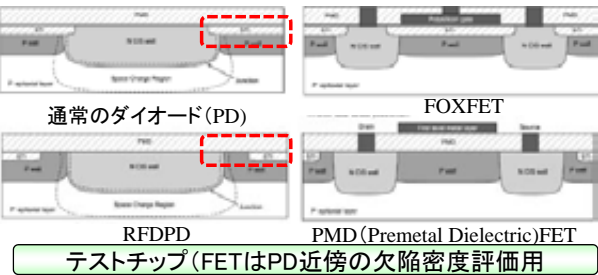
GaN双空孔とN空孔はどちらもフェルミ準位近傍で傾き(欠陥の荷電状態に対応)が変化するが、生成エネルギーはN空孔が小さい。

CMOSイメージセンサーの界面状態とトラップ電荷密度

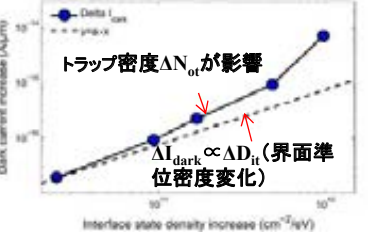
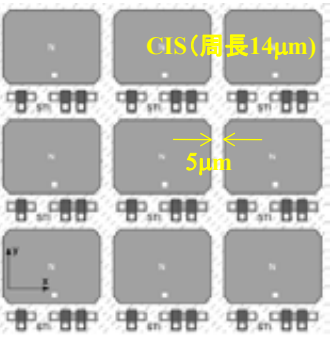
測定によるトータルドーズ誘起の暗電流の解析

TID (3. 2. 11)

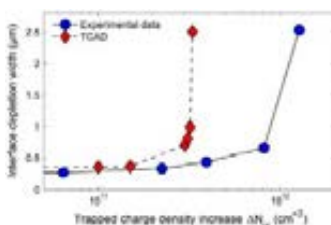
目的: CMOSイメージセンサ(CIS)の照射による暗電流増加のメカニズム解明。欠陥(トラップと界面準位)の役割



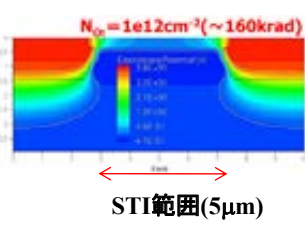
通常のPDのTIDによる暗電流の増加



暗電流増加に ΔD_{it} と ΔN_{ot} が寄与



ΔN_{ot} が増加すると空乏層幅が大幅に拡張する(TCADの結果も定性的に一致)



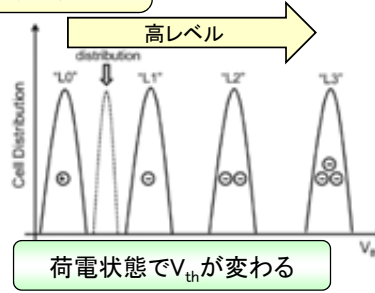
TCADの結果: STI部にTIDで空乏層が広がり、チャネルが形成される。

事前にTID照射されたフローティングゲートセルにおける 重イオン照射によるアップセット発生断面積の増加

目的: 4値フローティングゲートセルについて、TIDと重イオンSEUの重畳効果を定量化する。

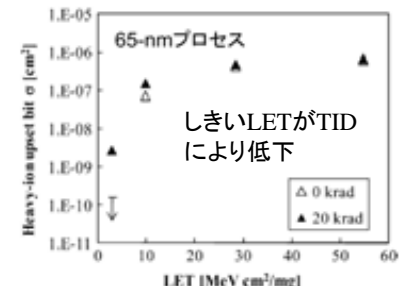
フローティングゲートセルの構造

(出典論文に掲載されていないが、説明のために掲載した)



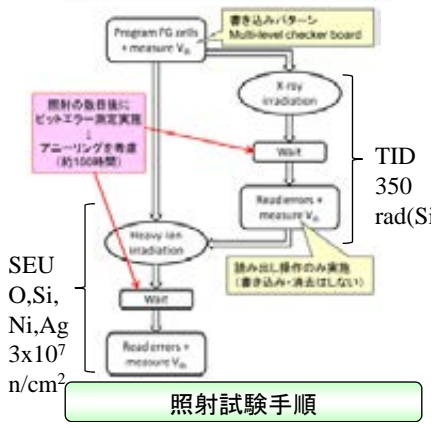
荷電状態で V_{th} が変わる

TID (3. 2. 12)

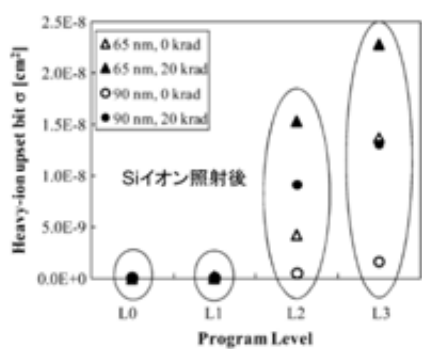


しきいLETがTIDにより低下

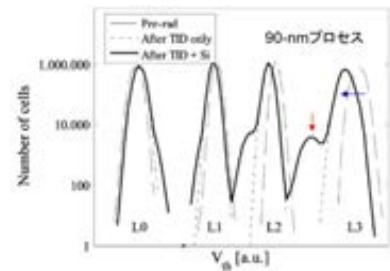
低LETほど事前TIDの影響顕著。



照射試験手順



トンネル酸化膜内電位の高い高プログラムレベルほどTID(20krad)の影響顕著。



V_{th} シフトはTID(←)とSEU(↓)の効果が重畳。但し単なる足し算では無い

回新デハ委員会 3/2/2012@HIREC

まとめ(2007, 2008年度)

2007

- 宇宙・航空機・地上の夫々で微細化に伴う半導体デバイスのエラーがモードと共に拡大、深刻化
- 地上を含めロジックデバイスのSET問題が一層顕在化。SETパルス幅の評価問題が焦点。
- 宇宙ではSEB, TIDが中心。
- 中性子エラーに関しては施設・手法間のベンチマーキング、標準化が進行
- 新しいデバイスに対応して新しいエラーモードの発生。

2008

- 宇宙・航空機・地上の夫々で微細化に伴う半導体デバイスのエラーがモードと共に拡大、深刻化
- 地上を含めロジックデバイスのSET問題が一層顕在化。SETパルス幅の評価問題が焦点だが、SETパルス幅の微細化による増加、波形変化の議論や、マッピング技術が進展。
- SEU断面積がメカニズムに依存してばらつく議論あり。
- 新しいデバイス(PLL, NAND/NOR フラッシュ)に対応して新しいエラーモードの発生。
- RPPモデルには限界も。

まとめ(2009, 2010年度)

2009

■新しい傾向

①電荷シェア(bipolar効果含む)によるMNU(Multi-Node Upset)に着目 ②SETの長いゲートチェーンによるSET幅の増大 ③陽子による核破砕反応効果(NSREC2009でさらに拡大)

■継続的に関心増大傾向

①PLL,クロック系のSET,SEU ②フラッシュメモリのVthシフト

■地上のSEEに関しては発表の場がNSRECから、専門学会(IRPS, ICICDT, SELSE, DNS, IOLTS)にほぼ完全移行

■論文の選択に課題(質のばらつき大。悪いものは選択しない)

2010

■新しい傾向

①SETへのTID効果 ②低エネルギー陽子による直接イオン化効果

■継続的に関心増大傾向

①電荷シェア(bipolar効果含む)によるMNT(Multi-Node Transient)(民生デバイスでは今最大の関心事) ②フラッシュメモリのVthシフト ③SETの長いゲートチェーンによるSET幅の増大

■地上のSEEに関しては発表の場がNSRECから、専門学会(IRPS, ICICDT, SELSE, DNS, IOLTS)にほぼ完全移行

第5回新デハ委員会 3/2/2012@HIREC

まとめ(2011年度)

■新しい傾向

①TID効果について酸化膜中のトラップと界面準位による解析が定着。STIIに着目する発表増加。

②SEE、TID評価対象デバイスの拡大(ROIC, CSIなど)

③計測系に工夫を凝らして、細かいデータを抽出する試み。

アプリケーションレベルのSER測定

■継続的に関心増大傾向

①SETパルス幅測定

②フラッシュメモリのVthシフト

③SETの長いゲートチェーンによるSET幅の増大

■地上のSEEに関しては発表の場がNSRECから、専門学会(IRPS, ICICDT, SELSE, DNS, IOLTS)にほぼ完全移行

第5回新デハ委員会 3/2/2012@HIREC

2012年国際学会紹介

■ SELSE8 3/27,28@イリノイ大学

■ IRPS2011 4月15-19日@Anaheim、CA

■ WDSN2012 6月25-28日、Boston、MA(?)

■ NSREC2012 7月16-20日、
Miami、FL



■ RADECS2012 9月24
-28日、Biarritz、France



■ IOLTS2012 6月27-29日、
Sitges、Spain



新国際標準試験法策定の動向

■ JEDEC JESD89A改訂→JESD89B(2010年10月～)

- ・低エネルギー中性子の影響
- ・ロジックデバイス計測法
- ・チップ、ボードレベル試験など
- ・ α 、ミュー中間子も動きあり。

■ IEC62396-1～5(2010年～)

- ・航空機高度のデバイス試験法、設計ガイドライン
- ・TC107委員会
- ・日本航空宇宙工業会で国内委員会構築
(2012年度から本格活動開始。伊部が当面主査
(国外本委員兼任)、小林大輔氏(JAXA)副主査

第1回 半導体デバイスの放射線照射効果研究会

開催報告

【開催日】 2012年2月14日 13:00～18:00
【開催場所】 日本大学理工学部 駿河台キャンパス 1号館 131教室
【参加費】 無料
【主催／共催】 HIREC株式会社 / 宇宙航空研究開発機構, 日本大学

2012年3月2日
HIREC株式会社
技術部

1. 研究会の趣旨

- 宇宙機に使用する半導体デバイスは、宇宙放射線による誤動作や劣化が避けて通れない問題です。
- 本研究会は、半導体デバイスの宇宙放射線照射効果について、初心者からベテラン技術者のBTB(Back To Basic)のために、本分野の第一人者の方々に、わかりやすく基礎的な内容を重点に解説していただく勉強会です。
- 第2回以降、基礎的な内容に加えて先端の内容も含め、参加者のレベルアップを図ります。
- 更に将来的には放射線照射効果のチュートリアルを目指します。
 - 例えば、衛星搭載部品の評価内容案 等々
- 研究会の内容はアンケート結果を基に見直していきます。ご意見、ご要望の記入をよろしくお願いいたします。

2. プログラム（敬称略）



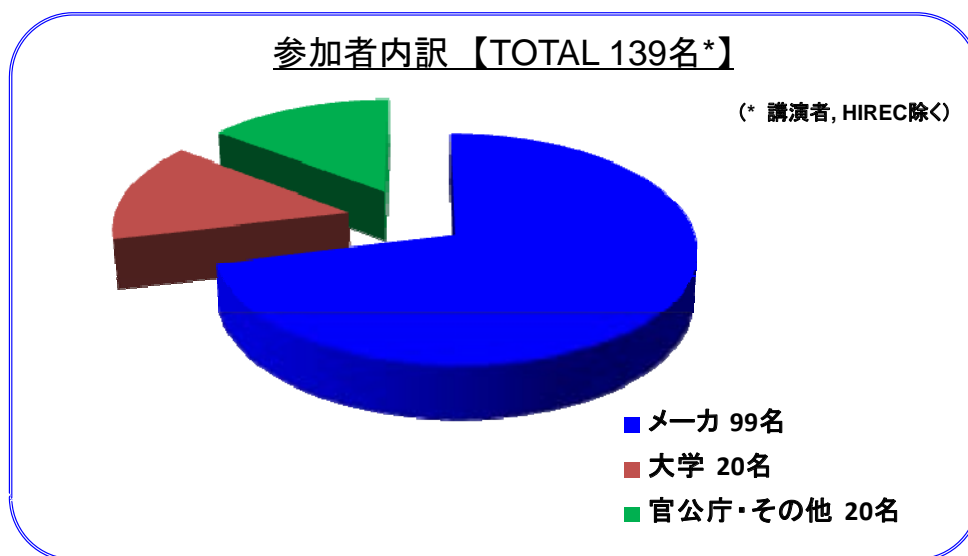
- 13:00 “開催挨拶及び本勉強会の趣旨説明” 宮崎(HIREC)
- 13:30 “半導体デバイスの宇宙放射線効果基礎” 高橋(日大)
- 14:15 “宇宙放射線環境” 松本(JAXA)
- 15:00 “日本における宇宙用半導体デバイス開発” 新藤(JAXA)
- 16:15 “宇宙用放射線試験手法及び施設紹介” 平尾(原子力機構)
- 17:00 “自然界の中性子線に起因する
半導体デバイスのシングルイベント” 伊部(日立)
- 17:45 “閉会挨拶” 久保山(JAXA)
- 18:00 (研究会終了後) “懇親会(大学構内食堂)”

2

3. 参加者



<想定以上の参加申込があったため、期日前に受付を締め切りました>



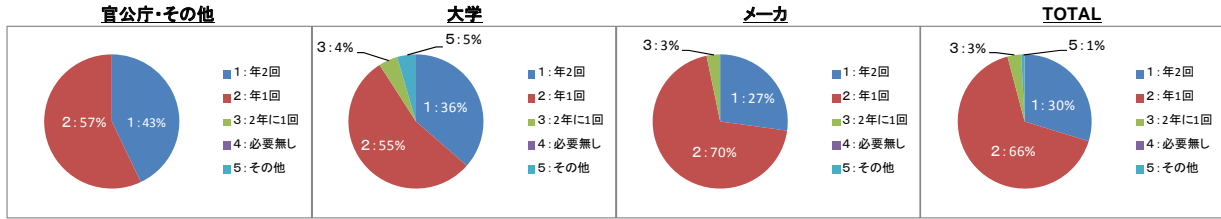
参加者の主な所属

- ・メーカー: 宇宙関連システムメーカー及び部品メーカー、自動車メーカー、部品評価・解析メーカーなど
- ・大学: 日大、大阪府大、筑波大、帝京大など (小型衛星関連大学が主)
- ・官公庁・その他: JAXA、AIST、KEK、次世代宇宙システム技術研究組合など

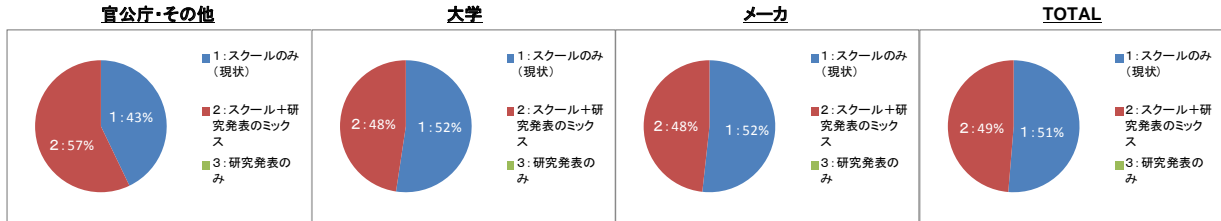
3

4. アンケート集計結果【研究会運営】

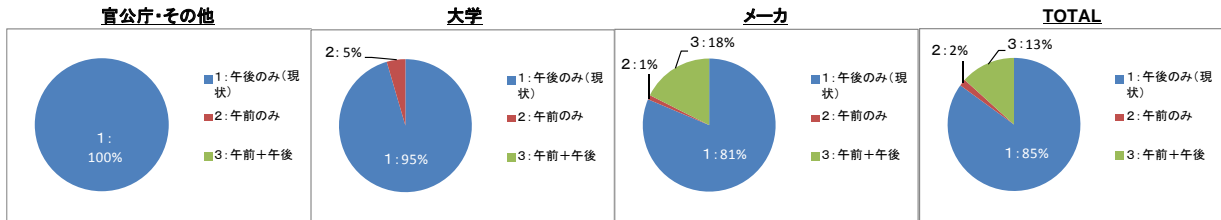
> 研究会の頻度



> 研究会の形式



> 研究会の時間帯

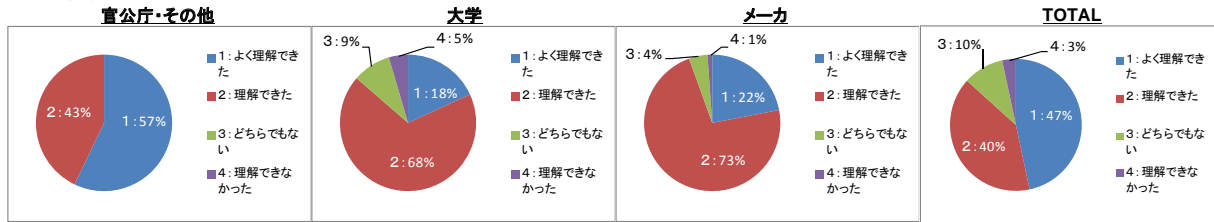


4

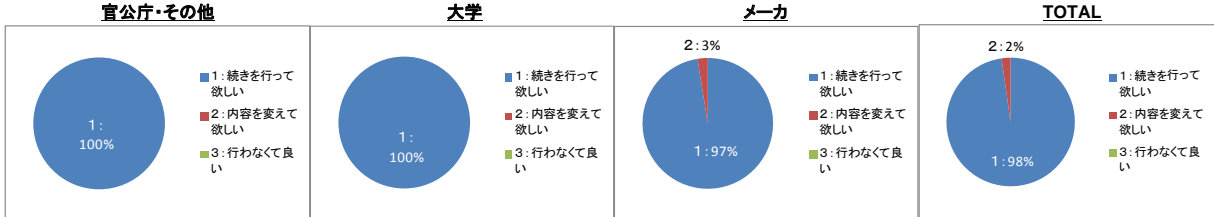
4. アンケート集計結果【講演内容 1】

> 半導体デバイスの宇宙放射線効果基礎

< 理解度 >



< 要望 >



< コメント(理解できなかった内容/具体的要望) 抜粋 >

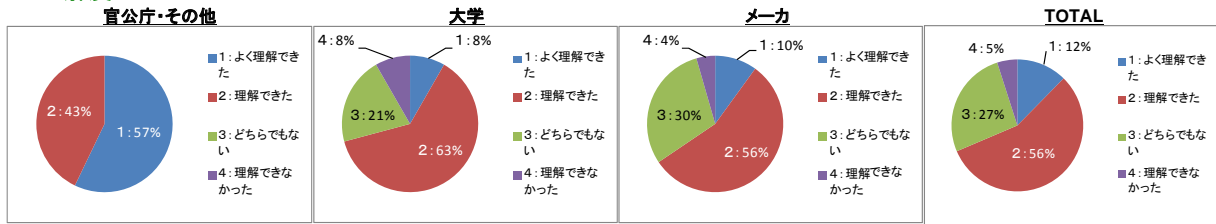
- ✓自分の専門外の話は多少難しく感じるが、基礎的知識がコンパクトに整理されているので良かったです。
- ✓1講義あたりの時間をあと15分程度延ばしてほしい。内容は非常に充実していたが、早足に感じた。
- ✓具体的な内容を織り交ぜての解説があると良い。他の放射線に影響のある機器(例えば太陽電池)の解説
- ✓基本的な知識が無いと理解できないことが多かった。放射線に対する対応策も教えていただきたい。
- ✓現状の入門的内容のセミナーはそのまま残して欲しいと思います(新しい若手開発者のために)
- ✓基礎理解の講演については、例えば午前中の部として、もう少し時間をかけた講演をしてもらいたい。初心者向けに毎年開いてほしい
- ✓宇宙放射線効果の基礎の深掘り。日大高橋先生の話をもっと聞きたい。

5

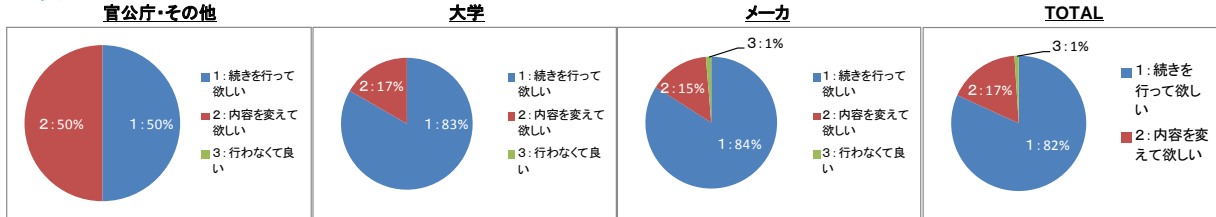
4. アンケート集計結果 【講演内容 2】

> 宇宙放射線環境

< 理解度 >



< 要望 >



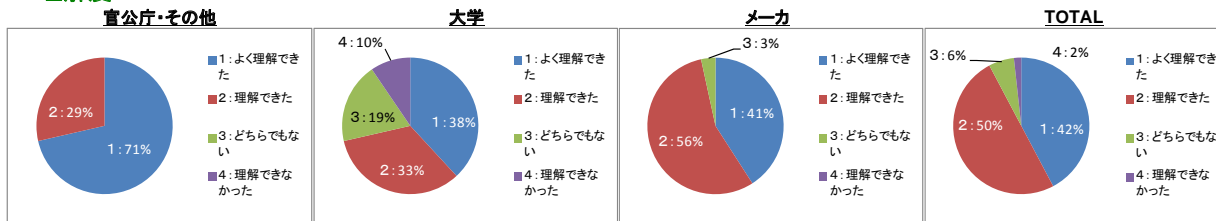
< コメント (理解できなかった内容/具体的要望) 抜粋 >

- ✓ グラフや図の意味するところが、話を聞いても理解しにくかったように思います。専門用語も多い印象でした。
- ✓ 略字 (ALOSとか) は分からない。レベル高すぎる。
- ✓ 全般的に初めて聞く話でした。もう少し基礎的な基本的な部分を説明してほしい
- ✓ 可能なら、JAXAの耐放射線設計手順のデータベースを使用した説明があると分かり易い
- ✓ 最後の「耐放射線設計手順」は、システム開発者の視点から興味があります。別のトピックで、講演があっても良いと思います。
- ✓ 業務に近い分野の内容でしたので、興味を持って聞くことが出来ました。

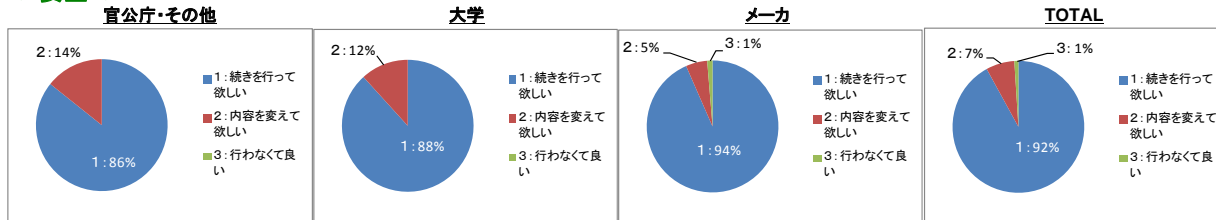
4. アンケート集計結果 【講演内容 3】

> 日本における宇宙用半導体デバイス開発

< 理解度 >



< 要望 >



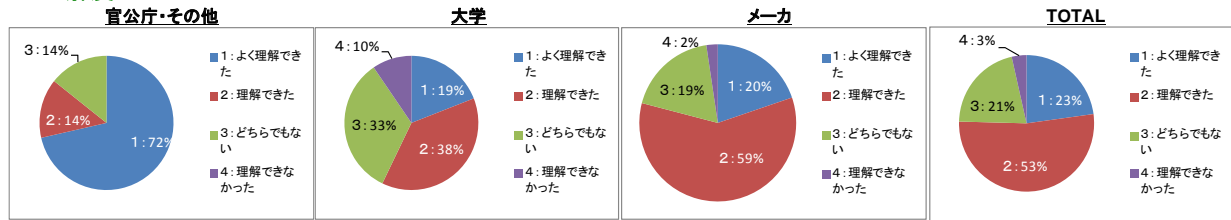
< コメント (理解できなかった内容/具体的要望) 抜粋 >

- ✓ 具体的に私たちが開発するときに、どのような対策をすれば良いのか知りたい
- ✓ 試験手法や施設のことは知らなかったので、新しい情報となりました。
- ✓ MPU以外のデバイスについても講演していただきたい
- ✓ 民生部品の照射試験結果 (スクリーニング結果) や宇宙実証結果などについても紹介していただきたい
- ✓ MPU開発の設計 (耐放射線を加味した) フロー (宇宙用デバイスの開発の具体的な手法)
- ✓ アナログ回路について教えてほしい
- ✓ 内容が広がったので、また聞きたいと思いました。

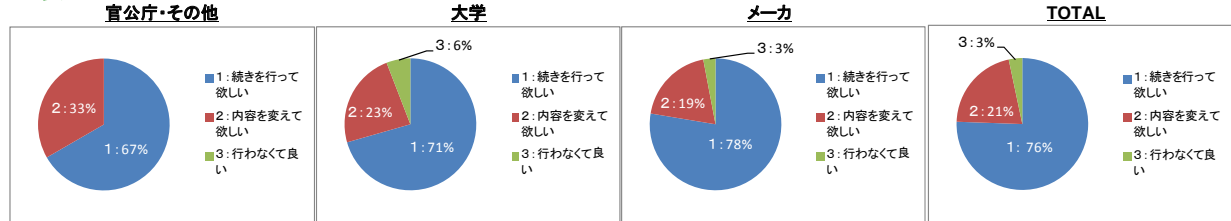
4. アンケート集計結果 【講演内容 4】

> 宇宙放射線試験手法及び施設紹介

< 理解度 >



< 要望 >



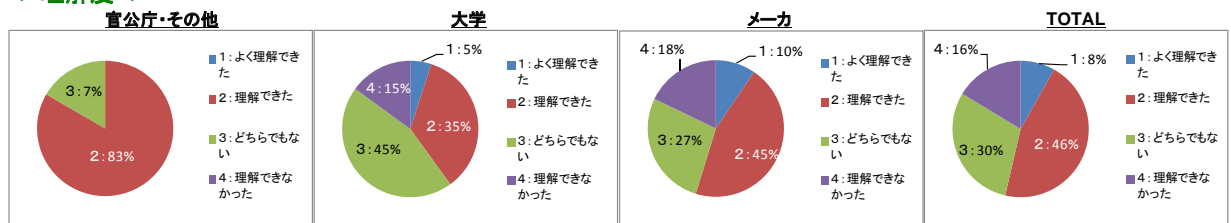
< コメント (理解できなかった内容/具体的要望) 抜粋 >

- ✓宇宙環境と試験環境(条件)の対応付けをどのように考えれば良いのか分からなかった
- ✓公的機関以外の設備の説明
- ✓高崎でツアーをしながら説明していただきたい
- ✓施設間の比較に関する説明をしてほしい
- ✓試験コンフィギュレーション、条件、評価方法についてお願いします。
- ✓初歩的なことから教えて。
- ✓デバイスのTID,SE,DDの具体的な評価方法

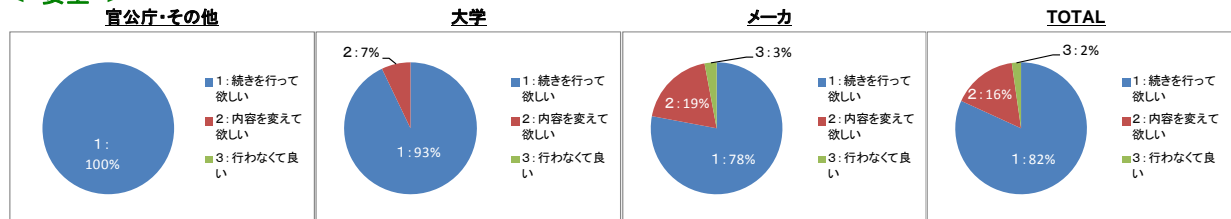
4. アンケート集計結果 【講演内容 5】

> 自然界の中性子線に起因する半導体デバイスのシングルイベント

< 理解度 >



< 要望 >



< コメント (理解できなかった内容/具体的要望) 抜粋 >

- ✓初心者だったので、後半が良く分からない部分が多かった
- ✓進行が少し早かったように思えた。専門的な用語も軽く説明が欲しい。
- ✓全般的に初めて聞く話で少し難しかった
- ✓地上で反映すべき項目と、宇宙でも考慮すべき項目を明確にして欲しい
- ✓今後も最先端プロセスについて成果を是非
- ✓現在のデバイスにどのように応用されているか(いくのか)を講演していただければと思う

5. 会場写真



10

6. 今後の予定について



- ✓アンケート集計の結果、研究会の頻度・形式・時間帯については、現状通りで良いとの意見が多かった。

- ✓また、初心者を対象とした本研究会を今後も継続して欲しいとの意見が多数あることから、来年度も引き続き、現状のスタイルで開催したいと考えている。

- ✓放射線委員会 委員の皆様におかれましては、本研究会の運営や内容などについて、ご相談させていただきたく、今後ともご協力の程、よろしくお願い申し上げます。

11

添付 6-3

最新デバイスの耐放射線性強化技術に関する検討委員会の 成果と意義

(副題:宇宙用半導体デバイスの放射線の影響に関する
世界動向の把握と今後の見通し)

【取扱注意】
HIREC-TD-E11131

最新デバイスの耐放射線性強化技術に関する検討委員会の成果と意義

副題：宇宙用半導体デバイスの放射線の影響に関する世界動向の把握と今後の見通し

1. 目的

この資料は、JAXA 殿から調査委託を受けた半導体デバイスに対する放射線の影響に関してその概要をまとめ、今後の調査作業の方向を概観することを目的とする。

2. 期間

平成21年度から23年度までの3年間

3. 調査範囲

当該委員会で宇宙用半導体デバイスの放射線の影響に関する世界動向を調査する上で、関連する学会やシンポジウムで発表された論文を検討した結果、本分野において世界最高峰の国際学会である NSREC (Nuclear and Space Radiation Effects Conference) を調査対象とした。平成21年度～平成23年度において当該委員会で検討した論文を TID, SEU, SET, SEB/SEL の現象別にまとめたものを表-1 に示す。

表-1 に示すように、トータルドーズ効果とシングルイベント効果に関する論文を概ね均等に、またデバイスタイプも SOI デバイス、バルクデバイス、FPGA、FLASH MEMORY、パワーデバイスなど様々な種類のものを調査できるように調整した。

表-1 当該委員会で調査した論文の現象別まとめ

現象		平成21年度	平成22年度	平成23年度
トータルドーズ効果	TID	7件	4件	4件
シングルイベント効果	SEU	2件	4件	3件
	SET	5件	5件	3件
	SEB/SEL	0件	1件	2件

【取扱注意】
HIREC-TD-E11131

4. 調査の概要

(1) 半導体デバイスの宇宙放射線影響について

宇宙機等に搭載される半導体デバイスは、様々な放射線に曝される。半導体デバイスの放射線照射効果は、大まかに電離効果と変位損傷効果に分類されるが、ここでは変位損傷効果については触れない。電離効果は、放射線によって半導体中の電子が励起されて伝導電子や正孔を生じ、その結果、デバイスの動作状態が変化する効果である。これは、さらにシングルイベント効果とトータルドーズ効果に分類できる。シングルイベント効果は、高エネルギー放射線が半導体デバイスに入射して過渡的に高密度の電子・正孔対を発生し、誤動作や損傷を引き起こす現象である。例えばメモリ素子の記憶情報を反転させるシングルイベントアップセット (SEU)、信号ライン等にノイズを発生させるシングルイベントトランジェント (SET)、CMOS の寄生サイリスタが動作することにより大電流が流れるシングルイベントラッチアップ (SEL)、パワー素子の破壊を引き起こすシングルイベントバーンアウト (SEB) などの現象がある。トータルドーズ効果 (TID) は、MOS デバイスを構成する絶縁膜中の電荷蓄積や絶縁膜・半導体界面での界面準位の発生が原因となって生ずる特性劣化である。

以下、放射線劣化現象 (TID、SEU、SET、SEB/SEL) ごとに調査概要をまとめる。

(2) TID

LSI は益々微細化されてきており、宇宙用の LSI もこの傾向は、民生の分野と全く変わりはない。新しい TID 現象が報告されている。そのため、軌道上で受けるであろう放射線環境に対する耐性の評価の基準は、まず TID に依存し、今後も変わることはないと判断される。

宇宙で使用する LSI の選定の基本は TID でありこれに関する情報の集約、公表は、宇宙プロジェクトの発展のために必須である。今後もこの作業を継続することが望まれる。

(3) SEU

電子機器の設計の流れは、アナログからデジタル化であり、データ処理のコンピュータ化は益々発展する。そのためデジタル信号を処理する電子回路の反転現象は、宇宙用電子機器の設計の困難性を如実に示しており、TID と共に半導体の耐放射線評価の中心である。この LSI の反転現象は、SEU として評価され、LSI 選定の基本であることに今後

【取扱注意】
HIREC-TD-E11131

も変わりはない。ただし、SEU 耐性は、LSI の微細化により低下する傾向にあるため、今後どのような技術、試験、設備、等々何が起きるか、どう対策するか、宇宙ばかりではなく、地上の電子機器でも油断できない問題であり、人材、教育、投資とあらゆる面から政策として考慮しなければならない問題である。この調査においても膨大な論文、基準、提案がなされており、この作業の継続性は、是非政策面から配慮方をお願いしたい。

(4) SET

この現象に関する論文は、ここ数年で飛躍的に増加した。これは LSI の微細化及び高速化に伴い SET が無視できなくなってきたことに起因する。RHBD 技術による SET 対策手法の一つとして、DICE 回路（冗長設計の一種で、1 箇所のノードが反転しても残りのノードが正しいデータに修正する回路）が有力であるが、ナノスケールデバイスでは、MNT（1 個の粒子が複数ノードに入射することによって生ずる複数ノードの誤動作）が発生するため DICE 回路のみでは防ぐことができないという報告がある。この調査においても SEU と同じく膨大な論文、基準、提案がなされており、継続的に調査する必要がある。

(5) SEB/SEL

SEB および SEL は、1 度発生するとデバイスが損傷するハードエラーであり、致命的な問題となる。SEB はパワー MOSFET に代表されるパワー素子で発生するため、放射線評価する際には使用するイオンのエネルギー・飛程に注意する必要がある。SEL は CMOS 構造特有の寄生サイリスタが動作することにより大電流が流れるものであり、電源を OFF しない限り電流が流れ続ける。最近の論文では 20K 程度の極低温下において SEL が初めて発見された報告があり、SEB と共に、今後の動向、対策等について継続的に調査し、機敏に対応していく必要がある。

(6) 地表・大気圏における半導体デバイスの中性子故障

半導体デバイスの放射線劣化は、宇宙特有の問題であり地上ではほとんど無視されてきていたが、10 年程前から宇宙から降り注ぐ中性子（宇宙線起因中性子）によるソフトエラーが問題視されている。これは、LSI の微細化により放射線に対する感受性が低下したためである。また、ソフトエラーのみではなく地上用パワー半導体の宇宙線起因中

【取扱注意】
HIREC-TD-E11131

性子によるハードエラー（故障）も問題になっており、放射線効果について地上分野も宇宙分野と同じように対策が必要不可欠になっている。航空機は以前より中性子ソフトエラーは問題になっているが、今後、ロケットでも問題視されると予想される。近年、中性子に関する学会やシンポジウムが、多数立ち上がっており、今後の動向を継続的に調査する必要がある。

5. 今後の課題

以上放射線問題に関し、過去 3 年分の調査結果を概観したが、毎日と言って良いほど技術は進歩し、また新たな事象、現象、データが生起しており、毎年の論文調査、分析、見通しがめまぐるしく変わってきている。今年がこんな情報がと言った瞬間、ではこれを具体的にはどう対応し、我々の研究、情報の活用、設計への対策、半導体の開発への反映、データの整理、標準化の作業への的確に対応することが必須で、今後も部品政策上の対応をお願いしたい。また、地上分野では中性子の問題が顕在化しており、宇宙分野のみではなく航空機・ロケットを含む地上分野の技術動向についても調査し、地上分野との技術交流を図りお互いこの問題に対する対策を練っていく必要があると考える。従って、今後も当該調査を継続的に実施するとともに、この調査結果を生かし、TID, SEU/SET の評価作業の維持、またハードエラーである SEB/SEL の研究作業への積極的な参加、等の支援体制の継続に期待したい。

-以上-

